

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5150675号
(P5150675)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int.Cl. F I
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 D
 HO 1 L 29/78 (2006.01)

請求項の数 8 (全 16 頁)

<p>(21) 出願番号 特願2010-71060 (P2010-71060) (22) 出願日 平成22年3月25日(2010.3.25) (65) 公開番号 特開2011-204924 (P2011-204924A) (43) 公開日 平成23年10月13日(2011.10.13) 審査請求日 平成24年2月13日(2012.2.13)</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100108062 弁理士 日向寺 雅彦 (72) 発明者 小島 万司 東京都港区芝浦一丁目1番1号 株式会社 東芝内 (72) 発明者 末代 知子 東京都港区芝浦一丁目1番1号 株式会社 東芝内 審査官 宇多川 勉</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型のソース領域が設けられた第2導電型のベース領域と、
 前記ベース領域に隣接する第1導電型のドリフト領域と、
 前記ドリフト領域の表面から内部にかけて設けられた絶縁体層と、
 前記ソース領域に対向して前記ベース領域および前記絶縁体層を挟んで前記ドリフト領域の表面に設けられた、第1導電型のドレイン領域と、
 前記ベース領域の表面に設けられたゲート酸化膜と、
 前記ゲート酸化膜上に設けられたゲート電極と、
 前記ソース領域に接続された第1の主電極と、
 前記ドレイン領域に接続された第2の主電極と、
 を備え、

前記ソース領域と前記ドレイン領域とは、前記ベース領域の表面に対して垂直な方向からみて少なくともライン状に平行に延在しており、

前記絶縁体層と前記ベース領域とにより挟まれた部分の前記ドリフト領域の長さは、前記平行に延在している方向に対して垂直な方向の長さよりも、前記平行に延在している方向の長さのほうが短いことを特徴とする半導体装置。

【請求項2】

活性領域と、前記活性領域外に設けられた終端領域と、を有する半導体素子を含む半導体装置であり、

第 1 導電型のソース領域が設けられた第 2 導電型のベース領域と、
前記ベース領域を挟んで前記ソース領域に対向して設けられた第 1 導電型のドリフト領域と、

前記ドリフト領域の表面から内部にかけて設けられた絶縁体層と、
前記ソース領域に対向して前記ベース領域および前記絶縁体層を挟んで前記ドリフト領域の表面に設けられた、第 1 導電型のドレイン領域と、
前記ベース領域の表面に設けられたゲート酸化膜と、
前記ゲート酸化膜上に設けられたゲート電極と、
前記ソース領域に接続された第 1 の主電極と、
前記ドレイン領域に接続された第 2 の主電極と、
を備え、

10

前記ベース領域の表面に対して垂直な方向からみて、
前記ベース領域は、前記ドリフト領域および前記絶縁体層により取り囲まれ、
前記ソース領域と前記ドレイン領域とは、前記活性領域においてライン状に第 1 の方向に平行に延在し、前記第 1 の方向に対して垂直な方向の第 2 の方向に並び、

前記絶縁体層と前記ベース領域とにより挟まれる方向においてその挟まれた部分の前記ドリフト領域の長さは、前記活性領域における前記第 2 の方向に挟まれた部分の長さよりも、前記終端領域における前記第 1 の方向に挟まれた部分の長さの方が短いことを特徴とする半導体装置。

【請求項 3】

20

活性領域と、前記活性領域外に設けられた終端領域と、を有する半導体素子を含む半導体装置であり、

第 1 導電型のソース領域が設けられた第 2 導電型のベース領域と、
前記ベース領域を挟んで前記ソース領域に対向して設けられた第 1 導電型のドリフト領域と、

前記ドリフト領域の表面から内部にかけて設けられた絶縁体層と、
前記ソース領域に対向して前記ベース領域および前記絶縁体層を挟んで前記ドリフト領域の表面に設けられた、第 1 導電型のドレイン領域と、
前記ベース領域の表面に設けられたゲート酸化膜と、
前記ゲート酸化膜上に設けられたゲート電極と、
前記ソース領域に接続された第 1 の主電極と、
前記ドレイン領域に接続された第 2 の主電極と、
を備え、

30

前記ベース領域の表面に対して垂直な方向からみて、
前記ベース領域は、前記ドリフト領域、前記絶縁体層、および前記ドレイン領域を取り囲み、

前記ソース領域と前記ドレイン領域とは、前記活性領域においてライン状に第 1 の方向に平行に延在し、前記第 1 の方向に対して垂直な方向の第 2 の方向に並び、

前記絶縁体層と前記ベース領域とにより挟まれる方向においてその挟まれた部分の前記ドリフト領域の長さは、前記活性領域における前記第 2 の方向に挟まれた部分の長さよりも、前記終端領域における前記第 1 の方向に挟まれた部分の長さの方が短いことを特徴とする半導体装置。

40

【請求項 4】

前記平行に延在している方向における前記絶縁体層と前記ベース領域とにより挟まれた前記ドリフト領域の長さは、1.8 ミクロン (μm) 以下であることを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記ソース領域と前記ドレイン領域とは、前記ベース領域の表面に対して垂直な方向からみて少なくともライン状に平行に延在し、かつ交互に繰り返して配置されていることを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

50

【請求項 6】

前記ドレイン領域は、前記ベース領域の表面に対して垂直な方向からみて前記ソース領域を取り囲むように設けられたことを特徴とする請求項 1、2、4、5のいずれか1つに記載の半導体装置。

【請求項 7】

前記ソース領域は、前記ベース領域の表面に対して垂直な方向からみて前記ドレイン領域を取り囲むように設けられたことを特徴とする請求項 1、3、4、5のいずれか1つに記載の半導体装置。

【請求項 8】

前記ベース領域または前記ドリフト領域の隅は、前記ベース領域の表面に対して垂直な方向からみて面取されているか、または曲面とされていることを特徴とする請求項 1 ~ 7のいずれか1つに記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

パワー MOS (Metal Oxide Semiconductor) 電界効果トランジスタのひとつとして、横型の DMOS (Double Diffused Metal Oxide Semiconductor) 電界効果トランジスタ

20

がある (例えば、特許文献 1 参照)。

【0003】

DMOS 電界効果トランジスタでは、一般的に、ドリフト領域の長さ (ドリフト長) を延ばすことで、素子の耐圧を向上させる方策がとられる。また、素子のレイアウトとして、素子の内部領域 (素子活性領域) よりも、素子終端領域の耐圧を向上させる方策がとられることが多い。これは素子特性に関わる内部領域 (素子活性領域) の設計を綿密に行っても、素子特性に影響を与えない素子終端部分において素子耐圧が低下する可能性がある

と、素子特性のコントロールが困難になるためである。しかし、素子終端領域の耐圧を向上させるために、上記のごとく、ドリフト長を長くする施策を取ると、横型の DMOS 電界効果トランジスタにおいては、素子面積が増加する

30

という問題があった。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 88369 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、上記の課題を解決することにある。

【課題を解決するための手段】

40

【0006】

本発明の一態様によれば、第 1 導電型のソース領域が設けられた第 2 導電型のベース領域と、前記ベース領域に隣接する第 1 導電型のドリフト領域と、前記ドリフト領域の表面から内部にかけて設けられた絶縁体層と、前記ソース領域に対向して前記ベース領域および前記絶縁体層を挟んで前記ドリフト領域の表面に設けられた、第 1 導電型のドレイン領域と、前記ベース領域の表面に設けられたゲート酸化膜と、前記ゲート酸化膜上に設けられたゲート電極と、前記ソース領域に接続された第 1 の主電極と、前記ドレイン領域に接続された第 2 の主電極と、を備え、前記ソース領域と前記ドレイン領域とは、前記ベース領域の表面に対して垂直な方向からみて少なくともライン状に平行に延在しており、前記絶縁体層と前記ベース領域とにより挟まれた部分の前記ドリフト領域の長さは、前記平行

50

に延在している方向に対して垂直な方向の長さよりも、前記平行に延在している方向の長さのほうが短いことを特徴とする半導体装置が提供される。

また、本発明の一態様によれば、活性領域と、前記活性領域外に設けられた終端領域と、を有する半導体素子を含む半導体装置であり、第1導電型のソース領域が設けられた第2導電型のベース領域と、前記ベース領域を挟んで前記ソース領域に対向して設けられた第1導電型のドリフト領域と、前記ドリフト領域の表面から内部にかけて設けられた絶縁体層と、前記ソース領域に対向して前記ベース領域および前記絶縁体層を挟んで前記ドリフト領域の表面に設けられた、第1導電型のドレイン領域と、前記ベース領域の表面に設けられたゲート酸化膜と、前記ゲート酸化膜上に設けられたゲート電極と、前記ソース領域に接続された第1の主電極と、前記ドレイン領域に接続された第2の主電極と、を備え、前記ベース領域の表面に対して垂直な方向からみて、前記ベース領域は、前記ドリフト領域および前記絶縁体層により取り囲まれ、前記ソース領域と前記ドレイン領域とは、前記活性領域においてライン状に第1の方向に平行に延在し、前記第1の方向に対して垂直な方向の第2の方向に並び、前記絶縁体層と前記ベース領域とにより挟まれる方向においてその挟まれた部分の前記ドリフト領域の長さは、前記活性領域における前記第2の方向に挟まれた部分の長さよりも、前記終端領域における前記第1の方向に挟まれた部分の長さの方が短いことを特徴とする半導体装置が提供される。

10

また、本発明の一態様によれば、活性領域と、前記活性領域外に設けられた終端領域と、を有する半導体素子を含む半導体装置であり、第1導電型のソース領域が設けられた第2導電型のベース領域と、前記ベース領域を挟んで前記ソース領域に対向して設けられた第1導電型のドリフト領域と、前記ドリフト領域の表面から内部にかけて設けられた絶縁体層と、前記ソース領域に対向して前記ベース領域および前記絶縁体層を挟んで前記ドリフト領域の表面に設けられた、第1導電型のドレイン領域と、前記ベース領域の表面に設けられたゲート酸化膜と、前記ゲート酸化膜上に設けられたゲート電極と、前記ソース領域に接続された第1の主電極と、前記ドレイン領域に接続された第2の主電極と、を備え、前記ベース領域の表面に対して垂直な方向からみて、前記ベース領域は、前記ドリフト領域、前記絶縁体層、および前記ドレイン領域を取り囲み、前記ソース領域と前記ドレイン領域とは、前記活性領域においてライン状に第1の方向に平行に延在し、前記第1の方向に対して垂直な方向の第2の方向に並び、前記絶縁体層と前記ベース領域とにより挟まれる方向においてその挟まれた部分の前記ドリフト領域の長さは、前記活性領域における前記第2の方向に挟まれた部分の長さよりも、前記終端領域における前記第1の方向に挟まれた部分の長さの方が短いことを特徴とする半導体装置が提供される。

20

30

【発明の効果】

【0007】

本発明によれば、素子面積を増大させることなく、素子終端領域の耐圧が向上可能な半導体装置が実現する。

【図面の簡単な説明】

【0008】

【図1】本実施の形態に係る半導体装置の要部平面図である。

【図2】本実施の形態に係る半導体装置の要部断面図である。

40

【図3】ソース-ドレイン間耐圧と、ベース領域とSTI領域とにより挟まれた部分のドリフト領域の長さとの関係を説明する図である。

【図4】本実施の形態に係る半導体装置の要部平面図である。

【図5】本実施の形態に係る半導体装置の要部断面図である。

【図6】本実施の形態に係る半導体装置の要部断面図である。

【図7】本実施の形態に係る半導体装置の要部平面図である。

【図8】本実施の形態に係る半導体装置の要部平面図である。

【発明を実施するための形態】

【0009】

以下、図面を参照しつつ、本発明の実施の形態について説明する。

50

(第1の実施の形態)

図1は、本実施の形態に係る半導体装置の要部平面図である。

図2は、本実施の形態に係る半導体装置の要部断面図である。ここで、図2(a)には、図1のA-A'断面が示され、図2(b)には、図1のB-B'断面が示され、図2(c)には、図1のC-C'断面が示されている。なお、図1では、半導体装置1の内部構造を説明する都合上、図2に示した層間絶縁膜40、ソース電極31およびドレイン電極33が表示されていない。

【0010】

図1および図2に示す半導体装置1は、横型のDMOSであり、第1導電型の半導体層11nと、半導体層11nの表面に設けられた、第2導電型のベース領域12と、ベース領域12の表面に設けられた、第1導電型のソース領域13と、半導体層10の表面から内部にかけて設けられ、ベース領域12に隣接する第1導電型のドリフト領域15と、ドリフト領域15の表面に設けられた、第1導電型のドレイン領域14と、を備える。本実施の形態では、例えば、第1導電型をn形とし、第2導電型をp形とする。さらに、半導体装置1は、ドレイン領域14外のドリフト領域15の表面から内部にかけて設けられた絶縁体層であるSTI(Shallow Trench Isolation)領域16と、ベース領域12の通電経路を制御する制御電極であるゲート電極20と、ソース領域に接続された第1の主電極であるソース電極31と、ドレイン領域14に接続された第2の主電極であるドレイン電極33と、を備える。このような半導体装置1は、例えばパワー用デバイス(同期整流回路装置等)の素子として用いられる。

【0011】

まず、平面図(図1)を用いて半導体装置1の概要について説明する。

図1に示すように、半導体装置1の平面(主面)内において、ソース領域13がライン状に延在している。ソース領域13内には、例えば、ソース領域13とは導電型が異なるバックゲート領域13cが周期的に配置されている。ソース領域13には、ソースコンタクト領域30を介してソース電極31が接続されている。バックゲート領域13cには、バックゲートコンタクト領域34を介してソース電極31が接続されている。本実施の形態では、バックゲート領域13cをソース領域13に含めて、ソース領域13およびバックゲート領域13cをソース領域と呼称する。

【0012】

また、半導体装置1の平面内において、ソース領域13に対し略平行になるように、ドレイン領域14がライン状に延在している。ドレイン領域14には、ドレインコンタクト領域32を介してドレイン電極33が接続されている。ライン状のソース領域13とドレイン領域14とは、略平行に互いに対向して延在している方向に対して略垂直な方向に交互に繰り返し配置されている。この交互に配置された方向は、矢印Pで表示されている。そして、ソース領域13を取り囲むようにゲート電極20が配置されている。

【0013】

半導体装置1では、ソース領域13とドレイン領域14により挟まれた領域を半導体装置1の素子活性領域90と称し、素子活性領域90以外の領域を半導体装置1の素子終端領域91と称する。すなわち、素子活性領域90においては、ソース領域13とドレイン領域14とが略平行に互いに対向し、ソース領域13とドレイン領域14との間に、ゲート電極20が配置されている。ゲート電極20の電位をゲートコンタクト領域23を通じて制御することにより、ソース・ドレイン間の通電をオンさせたり、オフさせたりすることができる。

【0014】

半導体装置1の断面図(図2)を用い、半導体装置1の構造について詳細に説明する。図2に示された半導体装置1の領域は、図2(a)、(b)において素子活性領域90であり、図2(c)において素子終端領域91である。

図2に示すように、半導体装置1においては、例えば、N⁺形の半導体層(単結晶シリコン基板)10の上に、エピタキシャル成長させたN⁻形の半導体層11nが設けられて

10

20

30

40

50

いる。半導体層 11n については、N⁻形のウェル領域に置き換えてもよい。本実施の形態では、N⁻形の半導体層 11n を例に実施の形態を説明する。

【0015】

半導体層 11n の表面には、P 形のベース領域 12 が設けられている。ベース領域 12 は、P 形ボディ領域あるいは P 形ウェル領域と呼称してもよい。ベース領域 12 の表面には、N⁺形のソース領域 13 と、ソース領域 13 に隣接する P⁺形のバックゲート領域 13c が設けられている（図 2（a）、（b）参照）。このほか、半導体層 11n の表面には、ベース領域 12 とは離隔して、N⁺形のドレイン領域 14 が設けられている。ソース領域 13 およびドレイン領域 14 は、半導体層 10 の表面に対して垂直な方向からみてライン状に延在している（図 1 参照）。ソース領域 13 およびバックゲート領域 13c の上には、シリサイド層 18 が設けられている。ドレイン領域 14 の上には、シリサイド層 19 が設けられている。

10

【0016】

ドリフト領域 15 の表面から内部にかけては、絶縁体層である STI 領域 16 が設けられている。STI 領域 16 の底面は、ドレイン領域 14 の底面より下方に位置している。ドレイン領域 14 側の STI 領域 16 の側面の一部は、ドレイン領域 14 に接している。すなわち、STI 領域 16 の側面および底面は、ドリフト領域 15 およびドレイン領域 14 により取り囲まれている。ソース領域 13 に対向してベース領域 12 および STI 領域 16 を挟んでドレイン領域 14 が設けられている。半導体装置 1 の上方からみて、ソース領域 13 は、STI 領域 16 により取り囲まれている（図 1 参照）。

20

【0017】

ソース領域 13（または、バックゲート領域 13c）と STI 領域 16 との間のベース領域 12、ベース領域 12 と STI 領域 16 との間のドリフト領域 15、および STI 領域 16 の一部の直上域には、ゲート電極 20 が設けられている。ゲート電極 20 は、図 1 に例示するゲートコンタクト領域 23 に接続されている。ゲート電極 20 と、ベース領域 12、ドリフト領域 15 および STI 領域 16 との間には、ゲート酸化膜 21 が設けられている。ゲート酸化膜 21 上には、ゲート電極 20 が設けられ、ゲート電極 20 の上には、シリサイド層 22 が設けられている。

【0018】

本実施の形態では、ソース領域 13 から STI 領域 16 に向かう方向のゲート電極 20 の長さをゲート長とする。前記ゲート長に略直交するゲート長さをゲート幅とする。半導体装置 1 のゲート長は、例えば、10 μm 以下である。

30

【0019】

また、本実施の形態では、ベース領域 12 と STI 領域 16 とが対向する距離を、d1（図 2（a））、d2（図 2（b））、d3（図 2（c））とする。d1、d2、d3 は、ベース領域 12 と STI 領域 16 とにより挟まれた部分のドリフト領域 15 の長さである。半導体装置 1 においては、距離 d1、d2 については略等しく構成され、距離 d3 については距離 d1、d2 よりも短く構成されている。

【0020】

このように、ソース領域 13 とドレイン領域 14 とは、半導体層 10 の表面に対して垂直な方向からみて、少なくともライン状に略平行に延在している。絶縁体層である STI 領域 16 とベース領域 12 とにより挟まれた部分のドリフト領域の長さ d は、前記略平行に延在している方向に対して略垂直な方向の長さ d1、d2 よりも、前記略平行に延在している方向の長さ d3 のほうが短い。換言すれば、絶縁体層である STI 領域 16 とベース領域 12 とにより挟まれた部分のドリフト領域 15 の長さ d は、ソース領域 13 とドレイン領域 14 とが交互に繰り返す方向（矢印 P）に対して略平行な方向の長さ d1、d2 よりも、その交互に繰り返す方向に対して略垂直な方向の長さ d3 のほうが短い。つまり、素子終端領域 91 の距離 d3 は、素子活性領域 90 の距離 d1、d2 よりも短く構成されている。

40

このような構成でも、半導体装置 1 は高いソース - ドレイン間耐圧 (BV_{ds}) を有

50

する。

【0021】

なお、ソース領域13とソースコンタクト領域30との間には、シリサイド層18が介在する。バックゲート領域13cと、バックゲートコンタクト領域34との間には、シリサイド層18が介在する。ドレイン領域14とドレインコンタクト領域32との間には、シリサイド層19が介在するソース領域13（または、バックゲート領域13c）と、ドレイン領域14と、ゲート電極20と、ゲート電極20から表出するSTI領域16との上には、層間絶縁膜40が設けられている。

【0022】

ソース領域13およびバックゲート領域13cと、ドリフト領域15との間のベース領域12の表面には、DMOSの閾値電圧(V_{th})を調整するために、ベース領域12とは不純物濃度が異なるインプラ領域（不図示）が設けられている。もしくは、ベース領域12によって閾値電圧を調整するように設計してもよい。

【0023】

半導体装置1においては、各々のソースコンタクト領域30が共通のソース電極31により並列に接続され、各々のドレインコンタクト領域32が共通のドレイン電極33により並列に接続されている（図示しない）。すなわち、ベース領域12、ソース領域13、ドレイン領域14、ドリフト領域15およびゲート電極20を含む1つの単位MOSFETが配線（図示しない）によって複数接続され、半導体装置1内には大電流を通電させることができる。

【0024】

次に、半導体装置1の作用効果について説明する。

半導体装置1のソース領域13とゲート電極20との電位差を閾値より低い電圧（例えば0V）にし、ソース領域13に対し、ドレイン領域14に正の電圧（逆バイアス電圧）を印加する。すると、ゲート電極20の下側のドリフト領域15とベース領域12との接合部分（pn接合界面）からドリフト領域15側およびベース領域12側に空乏層が延びる。

【0025】

本実施の形態に係る半導体装置1では、上述した逆バイアス電圧を印加した場合、STI領域16とベース領域12とにより挟まれた部分のドリフト領域15が完全空乏化するようにドリフト領域15の不純物濃度（ドーザ量）が調整されている。例えば、図2（a）（b）に示す距離d1、d2間のドリフト領域15は、上述した逆バイアス電圧を印加すると完全に空乏化される。図2（c）に示す距離d3間のドリフト領域15も、図2（a）、（b）に示すドリフト領域15と同部位なので、上述した逆バイアス電圧が印加されると、完全に空乏化する。空乏化した空乏層は、誘電体層として近似できる。

【0026】

従って、印加された逆バイアス電圧は、ドリフト領域15に生じた空乏層と、ドリフト領域15に隣接するSTI領域（絶縁層）16によって分担される。この際、ドリフト領域15の長さdが短くなるほど、絶縁層であるSTI領域16に負担させる逆バイアス電圧の割合が高くなる。半導体装置1では、半導体層よりも、絶縁層であるSTI領域16のほうが耐圧が高いため、空乏層とSTI領域16とが連通している場合、ドリフト領域15の長さdをより短くすれば、STI領域16に印加される電圧の分担割合が高くなる。そこで、本実施の形態に係る半導体装置1では、STI領域16とベース領域12とにより挟まれた素子終端領域91におけるドリフト領域15の長さd3を長くして、耐圧を向上させるのではなく、逆に、素子終端領域91におけるSTI領域16とベース領域12とにより挟まれた部分のドリフト領域15の長さd3を、素子活性領域90におけるSTI領域16とベース領域12とにより挟まれた部分のドリフト領域の長さd1、d2よりも短くし、ソース-ドレイン間耐圧(BV_{dss})をより増加させている。

【0027】

図3は、ソース-ドレイン間耐圧(BV_{dss})と、ベース領域とSTI領域とにより

10

20

30

40

50

挟まれた部分のドリフト領域の長さとの関係を説明する図である。この結果は、発明者により実験シミュレーションによって求められたものである。

図3の横軸は、ベース領域12とSTI領域16とにより挟まれた部分のドリフト領域15の長さ d ($d_1 \sim d_3$)であり、縦軸は、ソース-ドレイン間耐圧 (BV_{dss}) である。

【0028】

図3(a)は、ドリフト領域15の不純物のドーズ量を(1): 1.0×10^{12} ($/cm^2$)、(2): 3.0×10^{12} ($/cm^2$)、(3): 5.5×10^{12} ($/cm^2$)、(4): 9.0×10^{12} ($/cm^2$)として場合の長さ d と BV_{dss} の関係をシミュレーションしたグラフである。このグラフによれば、ドリフト領域15の不純物のドーズ量に関わらず、少なくとも長さが $1.8 \mu m$ 以下の領域においては、長さ d が短くなるほど、 BV_{dss} が大きくなることが判る。これは、逆バイアス電圧の印加の割合が空乏層(誘電体層)と、STI領域16とによって分担されるため、長さ d が短くなるほど、耐圧の高いSTI領域16(絶縁層)に負担させる逆バイアス電圧の割合が高くなったものと考えられる。

10

【0029】

通常、 BV_{dss} を向上させる手段としては、ベース領域12とSTI領域16とにより挟まれた部分のドリフト領域15の長さ d をより長くすることが考えられる。これは、長さ d をより長くすることにより、ベース領域12とSTI領域16とにより挟まれた部分のドリフト領域15内の電圧勾配が緩和して、 BV_{dss} が増加する作用を利用した方法である。しかしながら、この方策では、長さ d が長くなるので、素子面積が増大するという弊害がある。

20

【0030】

これに対し、半導体装置1では、長さ d をより長くして、 BV_{dss} を増加させるのではなく、STI領域16とベース領域12とにより挟まれた部分のドリフト領域15の長さを短くして、ソース-ドレイン間耐圧 (BV_{dss}) を増加させている。

本実施の形態に係る半導体装置1では、素子特性に影響を及ぼす素子活性領域90の距離 d_1 、 d_2 が素子特性の条件から所定の値に決定された場合、図3(b)に示すように、素子特性に影響を及ぼさない素子終端領域91の距離 d_3 が距離 d_1 、 d_2 よりも短くなるように設計されている。換言すれば、STI領域16とベース領域12とにより挟まれた部分のドリフト領域15の長さにおいて、ソース領域13とドレイン領域14とが交互に繰り返す方向に対して略平行な方向よりも、その交互に繰り返す方向に対して略垂直な方向において短く構成されている。

30

【0031】

その結果、素子終端領域91の面積を増加させることなく、素子終端領域91の BV_{dss} は、素子活性領域90の BV_{dss} よりも高くすることができる。このような構造であれば、素子活性領域90において、ブレイクダウンが起きる前に、素子動作に関係のない素子終端領域91においてブレイクダウンが起き難くなる。

【0032】

本実施の形態に係る半導体装置1では、距離 d (d_1 、 d_2 、 d_3)を $1.8 \mu m$ 以下に設定して、素子面積の増大を抑制しつつ、素子の耐圧を向上させている。そして、半導体装置1のソース-ドレイン間に電圧を印加して、ソース領域13とゲート電極20との電位差を閾値以上にすれば、図2(a)(b)に示すベース領域12の表面にはチャンネル層が形成され、ソース-ドレイン間に電流を流すことができる。

40

【0033】

なお、ベース領域12とSTI領域16とにより挟まれた部分のドリフト領域15の長さ d ($d_1 \sim d_3$)を短くしすぎると、この部分のドリフト領域の電流経路が狭められ、オン抵抗 (R_{onA})が増加する現象が生じることがあるが、上記長さ d を短くするのは素子特性に影響を及ぼさない素子終端領域91のみなので素子全体のオン抵抗 (R_{onA})を増加させてしまうことはない。

50

続いて、本実施の形態の変形例について説明する。以下の説明では、同一の部材には同一位置の符号を付し、一度説明した部材、その部材の作用効果については、必要に応じて説明を省略する。

【0034】

(第2の実施の形態)

図4は、本実施の形態に係る半導体装置の要部平面図である。

図5は、本実施の形態に係る半導体装置の要部断面図である。ここで、図5(a)には、図4のA-A'断面が示され、図5(b)には、図4のB-B'断面が示され、図5(c)には、図4のC-C'断面が示されている。なお、図4では、半導体装置2の内部構造を説明する都合上、図5に示した層間絶縁膜40、ソース電極31およびドレイン電極33が表示されていない。

10

【0035】

半導体装置2の基本構成は、半導体装置1と同じである。ただし、半導体装置2においては、ドレイン領域14は、半導体層10の表面に対して垂直な方向からみて、ソース領域13、ゲート電極20等を取り囲むように配置されている。以下、半導体装置2について説明する。

【0036】

まず、図4を用いて半導体装置2について説明する。

半導体装置2においては、その平面内において、ソース領域13がライン状に延在している。ソース領域13内には、例えば、ソース領域13とは導電型が異なるバックゲート領域13cが周期的に配置されている。また、半導体装置2の平面内において、ソース領域13に対し素子活性領域90の部分において互いに対向して略平行になるように、ドレイン領域14がライン状に延在している。さらに、ドレイン領域14は、半導体層10の表面に対して垂直な方向からみて、ソース領域13、ゲート電極20等を取り囲むように配置されている。ソース領域13とドレイン領域14とは、略平行に互いに対向して延在している方向に対して略垂直な方向に、交互に配置されている。半導体装置2のゲート長は、例えば、10 μ m以下である。

20

【0037】

図5を用いて、半導体装置2の構造について詳細に説明する。

図5(a)、(b)の構成は、図2(a)、(b)の構成と同じなので説明を省略する。図5(c)においては、例えば、半導体層10の上に、半導体層11nが設けられている。この半導体層11nの表面には、ベース領域12が設けられている。ベース領域12の表面には、ソース領域13が設けられている。図5(c)では、ドレイン領域14をゲート電極20を囲むように引き回した都合上、ベース領域12とは離隔して配置されたドレイン領域14が表示されている。

30

【0038】

ベース領域12とドレイン領域14との間には、ドリフト領域15が設けられている。ドリフト領域15の底面は、半導体層10側にベース領域12の底面より下方に位置している。ドリフト領域15内には、STI領域16が設けられている。STI領域16の底面は、ドレイン領域14の底面より下方に位置している。ドレイン領域14側のSTI領域16の側面の一部は、ドレイン領域14に接している。STI領域16の側面および底面は、ドリフト領域15およびドレイン領域14により取り囲まれている。そして、ソース・ドレイン間に電圧を印加し、ゲート電極20の電位をゲートコンタクト領域23を通じて制御することにより、ソース・ドレイン間の通電をオンさせたり、オフさせたりすることができる。

40

【0039】

半導体装置2においても、距離d1、d2については、1.8 μ m以下で略等しく構成され、距離d3については距離d1、d2よりも短く構成されている。

このような構成でも、半導体装置1と同様の作用効果により半導体装置2は高いソース・ドレイン間耐圧(BV_{dss})を有する。さらに、ソース領域13が延在する方向の距

50

離がより減少する。このように、半導体装置 2 においても、STI 領域 16 とベース領域 12 とにより挟まれた素子終端領域 91 におけるドリフト領域 15 の長さ d_3 を長くして、耐圧を向上させるのではなく、素子終端領域 91 における STI 領域 16 とベース領域 12 とにより挟まれた部分のドリフト領域 15 の長さ d_3 を、素子活性領域 90 における STI 領域 16 とベース領域 12 とにより挟まれた部分のドリフト領域の長さ d_1 、 d_2 よりも短くし、ソース - ドレイン間耐圧 (BV_{dss}) をより増加させている。つまり、半導体装置 2 においても、素子面積を増大させることなく、素子終端領域 91 の耐圧が向上する。

【0040】

さらに、半導体装置 2 では、ドレイン領域 14 をゲート電極 20 を囲むように引き回した都合上、半導体装置 1 よりも主電極間を流れる電流が大きくなる。

10

【0041】

なお、半導体装置 2 では、図 5 (c) に示す距離 d_3 が狭くなり、C - C' 断面におけるソース - ドレイン間のオン抵抗が増加する場合もある。しかし、半導体装置 2 のオン時の通電経路は、平行に配列されたソース領域 13 とドレイン領域 14 との間が主経路になる。従って、C - C' 断面におけるソース - ドレイン間のオン抵抗増加は問題にならない。

【0042】

(第 3 の実施の形態)

図 6 は、本実施の形態に係る半導体装置の要部断面図である。ここで、図 6 (a) は、図 1 の A - A' 断面に相当する図であり、図 6 (b) は、図 1 の B - B' 断面に相当する図であり、図 6 (c) は、図 1 の C - C' 断面に相当する図である。

20

【0043】

半導体装置 3 では、半導体装置 1、2 の N⁻ 形の半導体層 11n に代えて、半導体層 110 の上に、第 2 の導電型である P⁻ 形の半導体層 11p が設けられている。半導体層 11p は、例えば、エピタキシャル成長により形成してもよく、ウェル領域としてもよい。半導体装置 3 では、この半導体層 11p がリサーフ (RESURF: Reduced Surface Field) 層として機能する。

【0044】

このようリサーフ構造を有する半導体装置 3 によれば、ソース領域 13 とゲート電極 20 との電位差を閾値より低い電圧にし、ソース領域 13 に対し、ドレイン領域 14 に正の電圧を印加すると、ゲート電極 20 の下側のドリフト領域 15 と、ベース領域 12 および半導体層 11p との接合部分からドリフト領域 15 側およびベース領域 12 側および半導体層 11p 側に空乏層が延び、さらに STI 領域 16 の下方のドリフト領域 15 と半導体層 11p との接合部分からもドリフト領域 15 側および半導体層 11p 側に空乏層が延びる。

30

【0045】

半導体装置 3 においても、STI 領域 16 とベース領域 12 とにより挟まれた素子終端領域 91 におけるドリフト領域 15 の長さ d_3 を長くして、耐圧を向上させるのではなく、素子終端領域 91 における STI 領域 16 とベース領域 12 とにより挟まれた部分のドリフト領域 15 の長さ d_3 を、素子活性領域 90 における STI 領域 16 とベース領域 12 とにより挟まれた部分のドリフト領域の長さ d_1 、 d_2 よりも短くし、ソース - ドレイン間耐圧 (BV_{dss}) をより増加させている。距離 d_1 、 d_2 については、 $1.8 \mu\text{m}$ 以下で略等しく構成され、距離 d_3 については距離 d_1 、 d_2 よりも短く構成されている。つまり、半導体装置 3 においても、素子面積を増大させることなく、素子終端領域 91 の耐圧が向上する。

40

【0046】

特に、半導体装置 3 では、リサーフ構造により半導体装置 1、2 よりも空乏層が拡がり易くなるため、ドリフト領域 15 の不純物濃度を半導体装置 1、2 よりも高くすることができる。これにより、半導体装置 3 では、ソース - ドレイン間のオン抵抗をより低減させ

50

ることができる。

【0047】

(第4の実施の形態)

図7は、本実施の形態に係る半導体装置の要部平面図である。

図7に示す半導体装置4a、4bの基本構造は、半導体装置2と同じとしている。半導体装置4a、4bの平面(主面)内において、ソース領域13がライン状に延在している。ソース領域13内には、例えば、ソース領域13とは導電型が異なるバックゲート領域13cが周期的に配置されている。ソース領域13には、ソースコンタクト領域30を介してソース電極31が接続されている。バックゲート領域13cには、バックゲートコンタクト領域34を介してソース電極31が接続されている。

10

【0048】

また、半導体装置4a、4bの平面内において、ソース領域13に対し略平行になるように、ドレイン領域14がライン状に延在している。ドレイン領域14には、ドレインコンタクト領域32を介してドレイン電極33が接続されている。ライン状のソース領域13とドレイン領域14とは、交互に配置されている。そして、ソース領域13を取り囲むようにゲート電極20が配置されている。

【0049】

半導体装置4aでは、半導体層10の表面に対して垂直な方向からみて、破線95に示すベース領域12およびドリフト領域15の隅(端部)の側面がいわゆる面取りをされている(図7(a)参照)。あるいは、半導体装置4bでは、破線95に示すベース領域12およびドリフト領域15の隅(端部)の側面は、半導体層10の表面に対して垂直な方向からみて、曲面になっている(図7(b)参照)。

20

【0050】

半導体装置4a、4bにおいても、STI領域16とベース領域12とにより挟まれた素子終端領域91におけるドリフト領域15の長さ d_3 を長くして、耐圧を向上させるのではなく、素子終端領域91におけるSTI領域16とベース領域12とにより挟まれた部分のドリフト領域15の長さ d_3 を、素子活性領域90におけるSTI領域16とベース領域12とにより挟まれた部分のドリフト領域の長さ d_1 、 d_2 よりも短くし、ソース・ドレイン間耐圧(BV_{ds})をより増加させている。半導体装置4a、4bにおいても、距離 d_1 、 d_2 については $1.8\mu\text{m}$ 以下で略等しく構成され、距離 d_3 については距離 d_1 、 d_2 よりも短く構成されている。つまり、半導体装置4a、4bにおいても、素子面積を増大させることなく、素子終端領域91の耐圧が向上する。

30

【0051】

特に、半導体装置4aでは、ベース領域12およびドリフト領域15の隅(端部)の側面がいわゆる面取りをされ、半導体装置4bでは、ベース領域12およびドリフト領域15の隅(端部)の側面が曲面になっているので、ベース領域12およびドリフト領域15の隅(端部)における電界集中が抑制されて、素子終端領域91におけるソース・ドレイン間耐圧(BV_{ds})はさらに向上する。

【0052】

(第5の実施の形態)

上述した半導体装置の構成では、ソース領域13をゲート電極20が囲むようなレイアウトを用いて説明したが、ドレイン領域14をゲート電極20が囲むようなレイアウトにしても、同様の効果が得られる。

40

【0053】

例えば、図8は、本実施の形態に係る半導体装置の要部平面図である。

半導体装置5においては、その平面内において、ドレイン領域14がライン状に延在している。ソース領域13内には、例えば、ソース領域13とは導電型が異なるバックゲート領域13cが周期的に配置されている。ドレイン領域14は、半導体層10の表面に対して垂直な方向からみて、ソース領域13、ゲート電極20によって取り囲まれている。すなわち、ソース領域13は、半導体層10の表面に対して垂直な方向からみてドレイン

50

領域 1 4 を取り囲むように設けられている。ソース領域 1 3 とドレイン領域 1 4 とは、交互に配置されている。

【 0 0 5 4 】

この際、ベース領域 1 2 と S T I 領域 1 6 とにより挟まれた部分のドリフト領域 1 5 の長さ d については、素子終端領域における d_3 を短くし、素子終端領域 9 1 の耐圧を向上させるような関係にしておく。すなわち、半導体装置 5 においても、S T I 領域 1 6 とベース領域 1 2 とにより挟まれた素子終端領域 9 1 におけるドリフト領域 1 5 の長さ d_3 を長くして、耐圧を向上させるのではなく、素子終端領域 9 1 における S T I 領域 1 6 とベース領域 1 2 とにより挟まれた部分のドリフト領域 1 5 の長さ d_3 を、素子活性領域 9 0 における S T I 領域 1 6 とベース領域 1 2 とにより挟まれた部分のドリフト領域の長さ d_1 、 d_2 よりも短くし、ソース - ドレイン間耐圧 ($B V_{d s s}$) をより増加させている。半導体装置 5 においても、距離 d_1 、 d_2 については $1.8 \mu m$ 以下で略等しく構成され、距離 d_3 については距離 d_1 、 d_2 よりも短く構成されている。つまり、半導体装置 5 においても、素子面積を増大させることなく、素子終端領域 9 1 の耐圧が向上する。このような構成でも、素子面積を増加させることなく、素子終端領域 9 1 の耐圧を向上させることが可能となる。

10

【 0 0 5 5 】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明はこれらの具体例に限定されるものではない。すなわち、これら具体例に、当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、前述した各具体例が備える各要素およびその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。

20

【 0 0 5 6 】

また、本実施の形態では、第 1 導電型を N 形とし、第 2 導電型を P 形とした場合について説明したが、第 1 導電型を P 形とし、第 2 導電型を N 形とする構造についても実施の形態に含まれ、同様の効果を得る。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【 0 0 5 7 】

また、前述した各実施の形態が備える各要素は、技術的に可能な限りにおいて複合させることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

30

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【符号の説明】

【 0 0 5 8 】

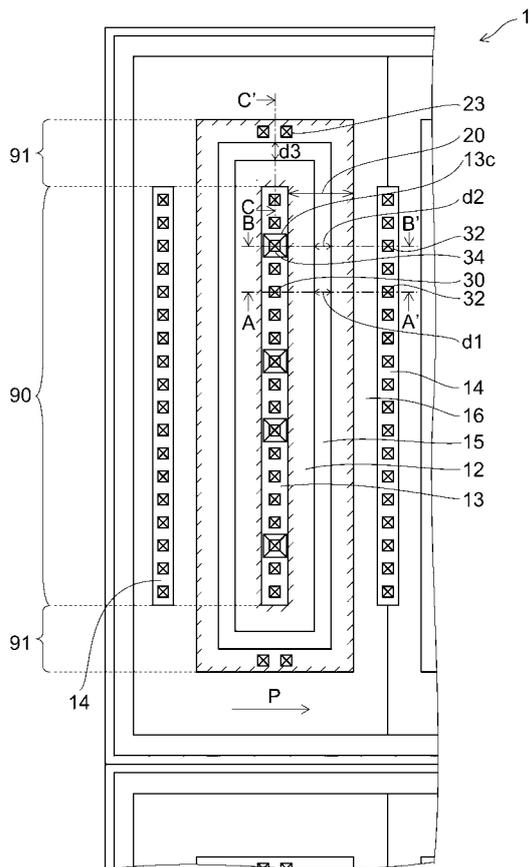
- 1、2、3、4、5 半導体装置
- 1 0 半導体層
- 1 1 n、1 1 p 半導体層
- 1 2 ベース領域
- 1 3 ソース領域
- 1 3 c バックゲート領域
- 1 4 ドレイン領域
- 1 5 ドリフト領域
- 1 6 S T I 領域
- 1 8、1 9、2 2 シリサイド層
- 2 0 ゲート電極
- 2 1 ゲート酸化膜
- 2 3 ゲートコンタクト領域
- 3 0 ソースコンタクト領域

40

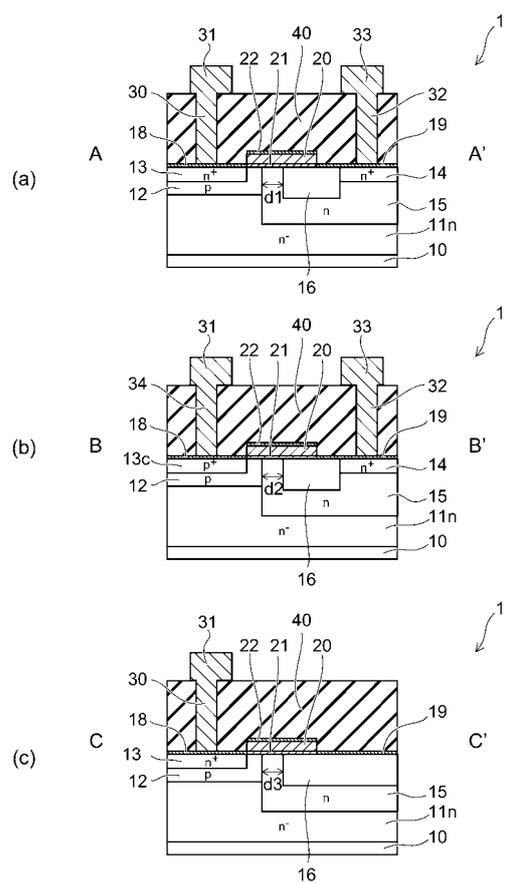
50

- 3 1 ソース電極
- 3 3 ドレイン電極
- 3 2 ドレインコンタクト領域
- 3 4 バックゲートコンタクト領域
- 4 0 層間絶縁膜
- 9 0 素子活性領域
- 9 1 素子終端領域
- 9 5 破線

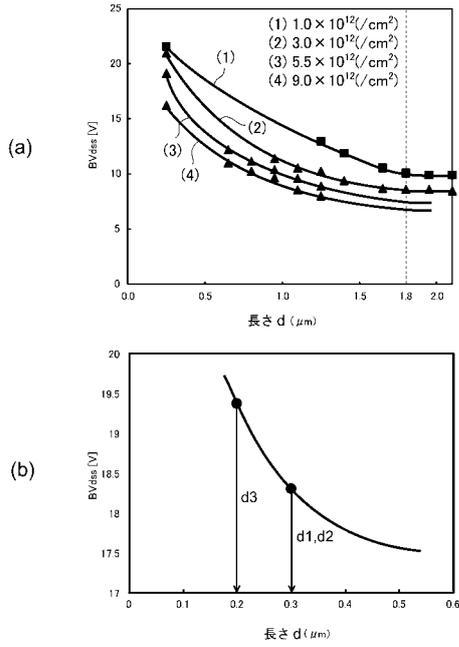
【図1】



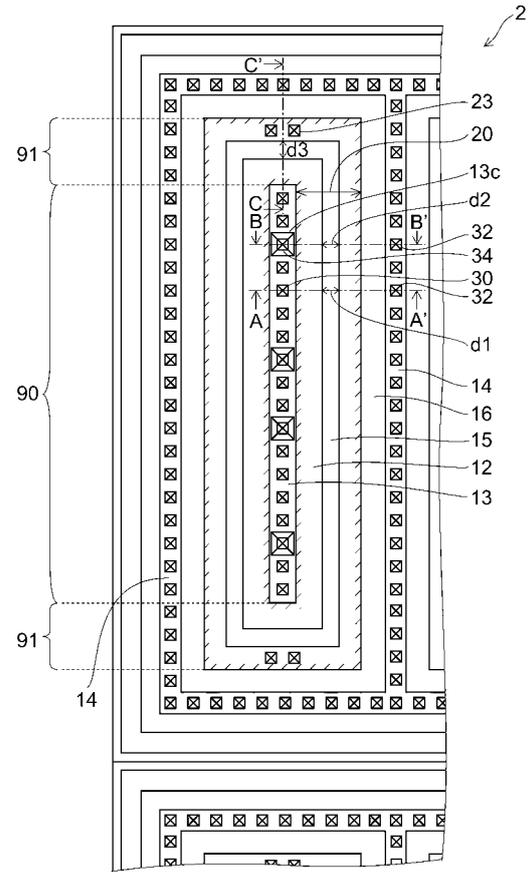
【図2】



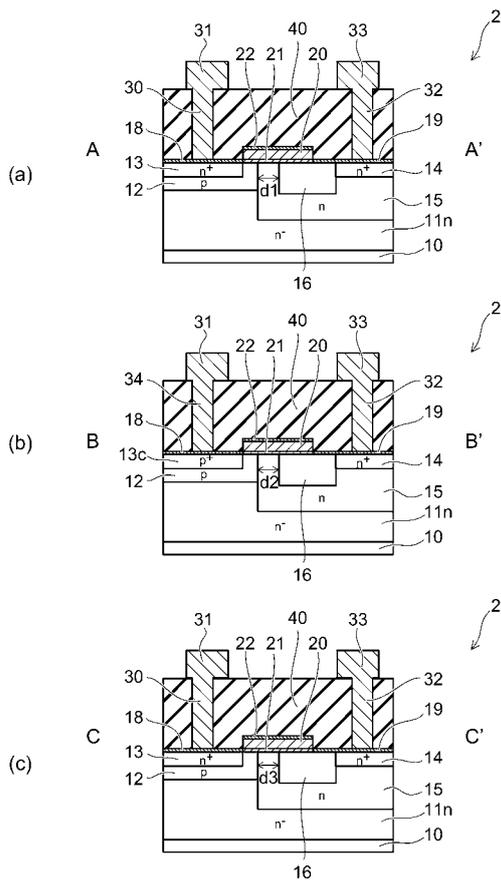
【図3】



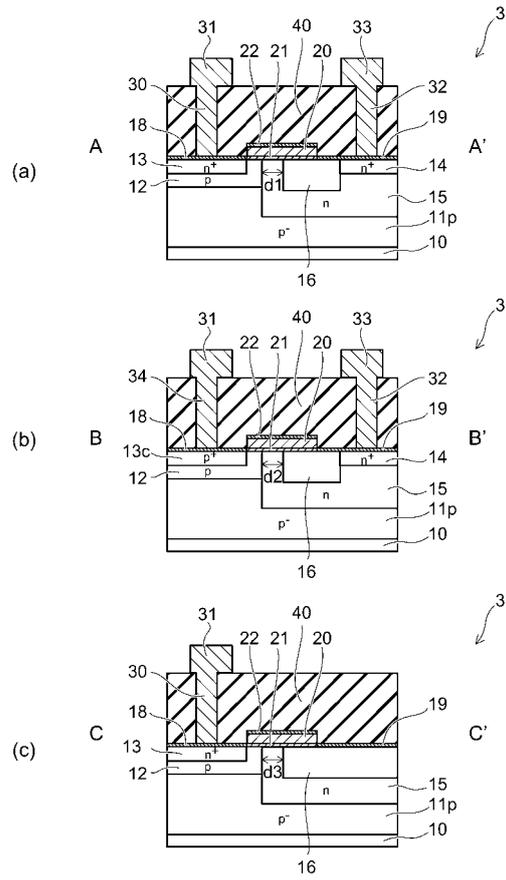
【図4】



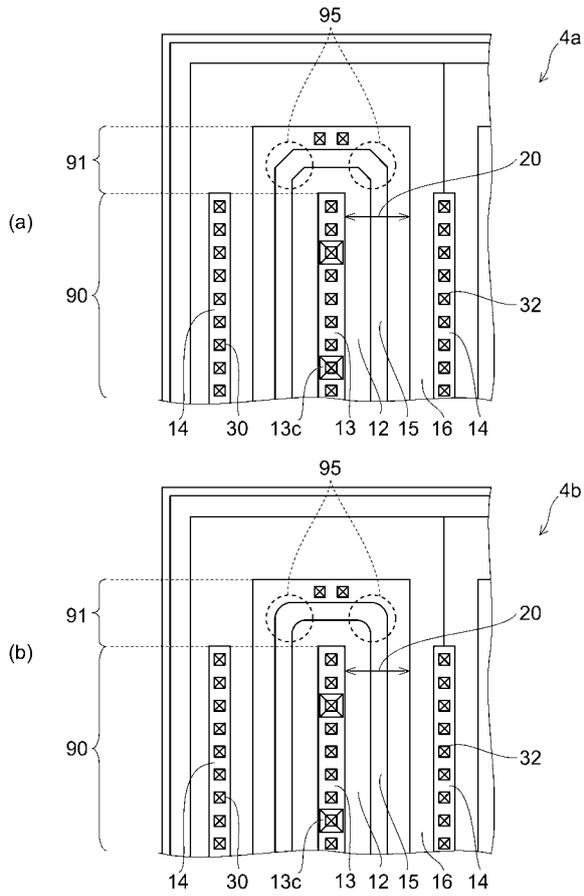
【図5】



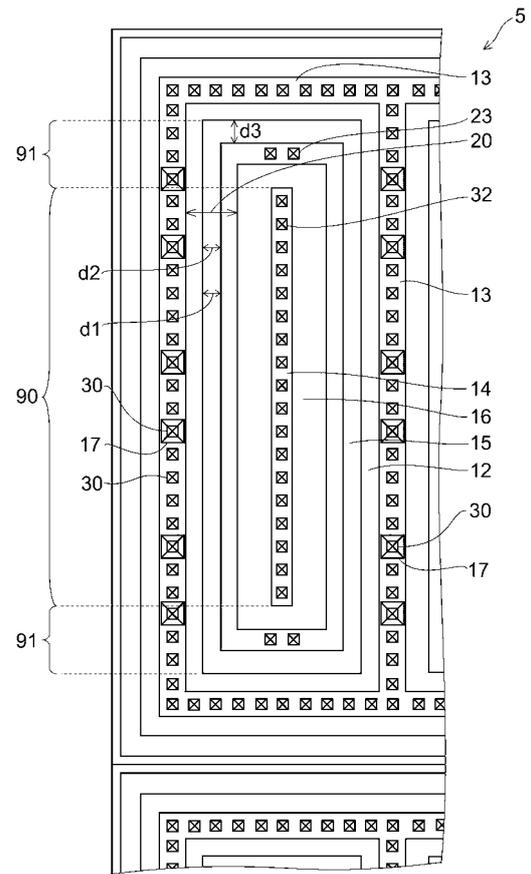
【図6】



【 7 】



【 8 】



フロントページの続き

(56)参考文献 特開2003-249646(JP,A)
特開2006-173357(JP,A)
特開2010-258226(JP,A)
特開2007-073942(JP,A)
特開2009-170671(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78