

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-227272
(P2006-227272A)

(43) 公開日 平成18年8月31日(2006.8.31)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 575	5C006
G09G 3/20 (2006.01)	G09G 3/20 612F	5C080
	G09G 3/20 623F	
	G09G 3/20 641Q	

審査請求 有 請求項の数 12 O L (全 29 頁)

(21) 出願番号 特願2005-40442 (P2005-40442)
(22) 出願日 平成17年2月17日 (2005.2.17)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100090479
弁理士 井上 一
(74) 代理人 100090387
弁理士 布施 行夫
(74) 代理人 100090398
弁理士 大淵 美千栄
(74) 代理人 100101649
弁理士 伊奈 達也
(74) 代理人 100104710
弁理士 竹腰 昇

最終頁に続く

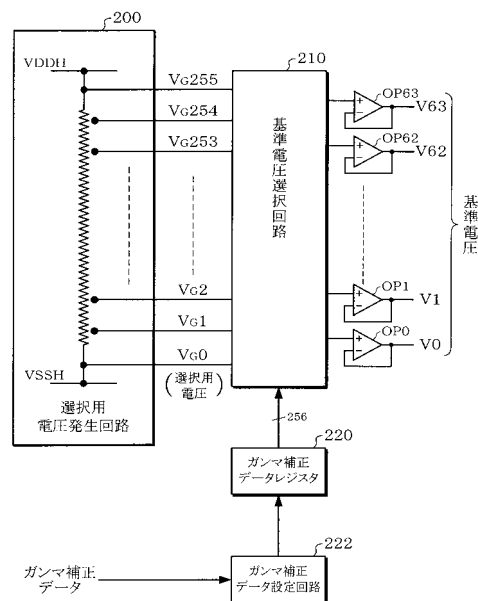
(54) 【発明の名称】 基準電圧発生回路、表示ドライバ、電気光学装置及び電子機器

(57) 【要約】

【課題】 低消費電力で高精度なガンマ補正を実現させる基準電圧発生回路、表示ドライバ、電気光学装置及び電子機器を提供する。

【解決手段】 基準電圧発生回路54は、シリアルに入力されたガンマ補正データを所与のビット数のパラレルデータに変換するシリアル/パラレル変換回路230と、パラレルデータの各ビットの信号レベルを変換するレベルシフタ232と、上記ビット数単位に、ガンマ補正データが設定されるガンマ補正データレジスタ220と、ガンマ補正データレジスタ220に設定された前記ガンマ補正データに基づいて、電位の高い順又は電位の低い順に並ぶ第1～第L(Lは3以上の整数)の選択用電圧の中から選択されたK種類の選択用電圧を、電位の高い順又は電位の低い順に第1～第K(KはLより小さい自然数)の基準電圧として出力する基準電圧選択回路210を含む。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

ガンマ補正を行うための複数の基準電圧を発生する基準電圧発生回路であって、
シリアルに入力されたガンマ補正データを所与のビット数のパラレルデータに変換する
シリアル/パラレル変換回路と、

前記パラレルデータの各ビットの信号レベルを変換するレベルシフトと、

前記ビット数単位に、前記レベルシフトによって信号レベルが変換された前記ガンマ補
正データが設定されるガンマ補正データレジスタと、

前記ガンマ補正データレジスタに設定された前記ガンマ補正データに基づいて、電位の
高い順又は電位の低い順に並ぶ第 1 ~ 第 L (L は 3 以上の整数) の選択用電圧の中から選
択された K 種類の選択用電圧を、電位の高い順又は電位の低い順に第 1 ~ 第 K (K は L より
小さい自然数) の基準電圧として出力する基準電圧選択回路とを含むことを特徴とする
基準電圧発生回路。

10

【請求項 2】

請求項 1 において、

各フリップフロップが直列に接続された複数のフリップフロップを有し、クロックに同
期してシフト動作を行って前記ビット数毎にシフト出力を出力するシフトレジスタを含み

、
前記ガンマ補正データの各ビットのデータが前記クロックに同期して入力され、

前記ビット数毎に出力されるシフト出力に基づいて、前記レベルシフトによって信号レ
ベルが変換された前記ガンマ補正データを前記ガンマ補正データレジスタに設定すること
を特徴とする基準電圧発生回路。

20

【請求項 3】

請求項 1 において、

前記ガンマ補正データレジスタの書き込み領域を指定するためのアドレスを生成するア
ドレス生成回路を含み、

前記アドレス生成回路によって生成されたアドレスに基づいて、前記レベルシフトによ
って信号レベルが変換された前記ガンマ補正データを前記ガンマ補正データレジスタに設
定することを特徴とする基準電圧発生回路。

【請求項 4】

30

請求項 1 乃至 3 のいずれかにおいて、

前記基準電圧選択回路によって選択された前記 K 種類の選択用電圧の各選択用電圧が各
インピーダンス変換回路の入力に供給される第 1 ~ 第 K のインピーダンス変換回路を含み

、
前記第 1 ~ 第 K のインピーダンス変換回路の出力を、前記第 1 ~ 第 K の基準電圧として
出力することを特徴とする基準電圧発生回路。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記ガンマ補正データは、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示す
L ビットのデータであることを特徴とする基準電圧発生回路。

40

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記基準電圧選択回路が、

第 1 の選択用電圧を前記第 1 の基準電圧として出力するための第 1 のスイッチ素子と、

第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子と、

第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子と、

第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子とを

含み、

前記第 1 のスイッチ素子が、

50

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定されたことを条件に、前記第1の選択用電圧を前記第1の基準電圧として出力し、

前記第2のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりイネーブルに設定されたことを条件に、前記第2の選択用電圧を前記第1の基準電圧として出力し、

前記第3のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりイネーブルに設定されたことを条件に、前記第2の選択用電圧を前記第2の基準電圧として出力し、

10

前記第4のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第3のビットのデータによりイネーブルに設定されたことを条件に、前記第3の選択用電圧を前記第2の基準電圧として出力し、

前記基準電圧選択回路が、

前記第1～第Kの基準電圧のうち少なくとも前記第1及び第2の基準電圧を出力することを特徴とする基準電圧発生回路。

【請求項7】

請求項6において、

20

各スイッチセルが、第1～第4のスイッチ素子の各スイッチ素子を有する第1～第4のスイッチセルを含み、

前記第1のスイッチセルが、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定されたとき、前記第2のスイッチセルへのディセーブル信号をアクティブにすると共に、前記第3のスイッチセルへのイネーブル信号をアクティブにし、

前記ガンマ補正データの第1のビットのデータによりディセーブルに設定されたとき、前記第2のスイッチセルへのディセーブル信号を非アクティブにすると共に、前記第3のスイッチセルへのイネーブル信号を非アクティブにし、

前記第2のスイッチセルが、

30

前記ガンマ補正データの第2のビットのデータによりイネーブルに設定され、且つ前記第1のスイッチセルからのディセーブル信号が非アクティブであることを条件に前記第2の選択用電圧を前記第1の基準電圧として出力すると共に、前記第4のスイッチセルへのイネーブル信号をアクティブにし、

それ以外ときには、前記第4のスイッチセルへのイネーブル信号を非アクティブにし、

前記第3のスイッチセルが、

前記ガンマ補正データの第2のビットのデータによりイネーブルに設定され、且つ前記第1のスイッチセルからのイネーブル信号がアクティブであることを条件に前記第2の選択用電圧を前記第2の基準電圧として出力すると共に、前記第4のスイッチセルへのディセーブル信号をアクティブにし、

40

それ以外ときには、前記第4のスイッチセルへのディセーブル信号を非アクティブにし、

前記第4のスイッチセルが、

前記ガンマ補正データの第3のビットのデータによりイネーブルに設定され、且つ前記第3のスイッチセルからのディセーブル信号が非アクティブであり、且つ前記第2のスイッチセルからのイネーブル信号がアクティブであることを条件に前記第3の選択用電圧を前記第2の基準電圧として出力することを特徴とする基準電圧発生回路。

【請求項8】

請求項1乃至5のいずれかにおいて、

50

前記基準電圧選択回路が、
 前記第 1 の選択用電圧を前記第 1 の基準電圧として出力するための第 1 のスイッチ素子を有する第 1 のスイッチセルと、
 前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子を有する第 2 のスイッチセルと、
 前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子を有する第 3 のスイッチセルと、
 前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子を有する第 4 のスイッチセルとを含み、
 前記第 1 のスイッチセルは、
 前記ガンマ補正データの第 1 のビットのデータが供給されると共に、前記第 2 及び第 3 のスイッチセルに対してイネーブル信号を出力し、
 前記第 2 のスイッチセルは、
 前記ガンマ補正データの第 2 のビットのデータが供給されると共に、前記第 3 及び第 4 のスイッチセルに対してイネーブル信号を出力し、
 前記第 3 のスイッチセルは、
 前記ガンマ補正データの第 2 のビットのデータが供給されると共に、前記第 4 のスイッチセルに対してイネーブル信号を出力し、
 前記第 4 のスイッチセルは、
 前記ガンマ補正データの第 3 のビットのデータが供給され、
 前記基準電圧選択回路が、
 前記第 1 ~ 第 K の基準電圧のうち少なくとも前記第 1 及び第 2 の基準電圧を出力することを特徴とする基準電圧発生回路。

10

20

【請求項 9】

電気光学装置の複数のデータ線を駆動するための表示ドライバであって、
 請求項 1 乃至 8 のいずれか記載の基準電圧発生回路と、
 前記基準電圧発生回路からの前記第 1 ~ 第 K の基準電圧の中から、階調データに対応した基準電圧を選択し、データ電圧として出力する電圧選択回路と、
 前記データ電圧に基づいて前記データ線を駆動する駆動回路とを含むことを特徴とする表示ドライバ。

30

【請求項 10】

複数の走査線と、
 複数のデータ線と、
 前記複数の走査線の 1 つと前記複数のデータ線の 1 つとにより特定される画素電極と、
 前記複数の走査線を走査する走査ドライバと、
 前記複数のデータ線を駆動する請求項 9 記載の表示ドライバとを含むことを特徴とする電気光学装置。

【請求項 11】

請求項 9 記載の表示ドライバを含むことを特徴とする電子機器。

【請求項 12】

請求項 10 記載の電気光学装置を含むことを特徴とする電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基準電圧発生回路、表示ドライバ、電気光学装置及び電子機器に関する。

【背景技術】

【0002】

液晶表示 (Liquid Crystal Display: LCD) パネルに代表される電気光学装置は、携帯型の電子機器に搭載されることが多くなる一方で、多階調化による色調豊富な画像表示が要求される。

50

【0003】

一般に、画像表示を行うための映像信号は、表示装置の表示特性に応じてガンマ補正が行われる。電気光学装置を例にとれば、複数の基準電圧の中から、階調値を定める階調データに対応した基準電圧が選択され、この選択された基準電圧に基づいて画素の透過率を変化させる。そのため、ガンマ補正は、各基準電圧の電圧レベルを変化させることで実現される。

【0004】

このような各基準電圧は、特許文献1～特許文献4に開示されているように、ラダー抵抗回路の両端の電圧を、該ラダー抵抗回路を構成する複数の抵抗素子により分割された電圧として生成される。従って、各抵抗素子の抵抗値を変更することで各基準電圧の電圧レベルを変化させることができる。

10

【特許文献1】特開2003-233354号公報

【特許文献2】特開2003-233355号公報

【特許文献3】特開2003-233356号公報

【特許文献4】特開2003-233357号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、LCDパネルの高精細化及び多様化によって、より高精度なガンマ補正が要求される場合がある。この場合、ラダー抵抗回路を構成する複数の抵抗素子の各抵抗素子の抵抗値を変化させるだけでは、高精度に基準電圧を発生させることが難しい。特に、LCDパネルの種類が変わった場合に、簡素な構成で、LCDパネルに応じた高精度な基準電圧を発生させることが困難である。そのため、複数種類のガンマ補正を実現させるための制御及び構成が複雑になるという問題がある。

20

【0006】

更に、ガンマ補正を制御するためのガンマ補正データを基準電圧発生回路に設定することが考えられる。例えば、階調レベル数の増加に伴いガンマ補正データのビット数が増えると、ガンマ補正データの設定に時間を要するようになり、ガンマ補正データの設定に伴う電力消費が多くなったりする。このためガンマ補正データのビット数が増加した場合であっても、低消費電力でガンマ補正データを設定できることが望ましい。

30

【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その第1の目的とするところは、簡素な構成で、高精度なガンマ補正を実現させるための基準電圧発生回路、表示ドライバ、電気光学装置及び電子機器を提供することにある。

【0008】

また本発明の第2の目的は、低消費電力で、高精度なガンマ補正を行うためのガンマ補正データを設定できる基準電圧発生回路、表示ドライバ、電気光学装置及び電子機器を提供することにある。

【課題を解決するための手段】

【0009】

上記課題を解決するために本発明は、
ガンマ補正を行うための複数の基準電圧を発生する基準電圧発生回路であって、
シリアルに入力されたガンマ補正データを所与のビット数のパラレルデータに変換するシリアル/パラレル変換回路と、
前記パラレルデータの各ビットの信号レベルを変換するレベルシフトと、
前記ビット数単位に、前記レベルシフトによって信号レベルが変換された前記ガンマ補正データが設定されるガンマ補正データレジスタと、
前記ガンマ補正データレジスタに設定された前記ガンマ補正データに基づいて、電位の高い順又は電位の低い順に並ぶ第1～第L（Lは3以上の整数）の選択用電圧の中から選択されたK種類の選択用電圧を、電位の高い順又は電位の低い順に第1～第K（KはLよ

40

50

り小さい自然数)の基準電圧として出力する基準電圧選択回路とを含む基準電圧発生回路に関係する。

【0010】

また本発明に係る基準電圧発生回路では、

各フリップフロップが直列に接続された複数のフリップフロップを有し、クロックに同期してシフト動作を行って前記ビット数毎にシフト出力を出力するシフトレジスタを含み

、前記ガンマ補正データの各ビットのデータが前記クロックに同期して入力され、

前記ビット数毎に出力されるシフト出力に基づいて、前記レベルシフタによって信号レベルが変換された前記ガンマ補正データを前記ガンマ補正データレジスタに設定することができる。

10

【0011】

また本発明に係る基準電圧発生回路では、

前記ガンマ補正データレジスタの書き込み領域を指定するためのアドレスを生成するアドレス生成回路を含み、

前記アドレス生成回路によって生成されたアドレスに基づいて、前記レベルシフタによって信号レベルが変換された前記ガンマ補正データを前記ガンマ補正データレジスタに設定することができる。

【0012】

上記のいずれかの発明によれば、シリアルに入力されるガンマ補正データをパラレルに変換後、ガンマ補正データに設定できるようになる。そのため、ガンマ補正データのビット数分のクロックを発生させて、ガンマ補正データレジスタに高速に書き込み制御を行うことなく、より少ないクロック数だけクロックを発生させてガンマ補正データレジスタに低速に書き込み制御を行うことができるようになる。そのため、ガンマ補正データの設定に伴う電力消費を大幅に削減できるようになる。

20

【0013】

しかもレベルシフタでは、パラレルデータのビット数分の信号レベルを変換すればよいため、回路規模の増大を抑えることができる。

【0014】

また本発明に係る基準電圧発生回路では、

前記基準電圧選択回路によって選択された前記K種類の選択用電圧の各選択用電圧が各インピーダンス変換回路の入力に供給される第1～第Kのインピーダンス変換回路を含み

30

、前記第1～第Kのインピーダンス変換回路の出力を、前記第1～第Kの基準電圧として出力することができる。

【0015】

本発明によれば、上記の効果に加えて、選択用電圧発生回路の電源線からのインピーダンスが増大することに起因する、基準電圧が供給される信号線の充電時間が長くなることを抑えることができる。

【0016】

また本発明に係る基準電圧発生回路では、

前記ガンマ補正データは、

各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示すLビットのデータであってもよい。

40

【0017】

また本発明に係る基準電圧発生回路では、

前記基準電圧選択回路が、

第1の選択用電圧を前記第1の基準電圧として出力するための第1のスイッチ素子と、

第2の選択用電圧を前記第1の基準電圧として出力するための第2のスイッチ素子と、

第2の選択用電圧を前記第2の基準電圧として出力するための第3のスイッチ素子と、

50

第3の選択用電圧を前記第2の基準電圧として出力するための第4のスイッチ素子とを含み、

前記第1のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定されたことを条件に、前記第1の選択用電圧を前記第1の基準電圧として出力し、

前記第2のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりイネーブルに設定されたことを条件に、前記第2の選択用電圧を前記第1の基準電圧として出力し、

前記第3のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりイネーブルに設定されたことを条件に、前記第2の選択用電圧を前記第2の基準電圧として出力し、

前記第4のスイッチ素子が、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定され、且つ前記ガンマ補正データの第2のビットのデータによりディセーブルに設定され、且つ前記ガンマ補正データの第3のビットのデータによりイネーブルに設定されたことを条件に、前記第3の選択用電圧を前記第2の基準電圧として出力し、

前記基準電圧選択回路が、

前記第1～第Kの基準電圧のうち少なくとも前記第1及び第2の基準電圧を出力することができる。

10

20

【0018】

また本発明に係る基準電圧発生回路では、

各スイッチセルが、第1～第4のスイッチ素子の各スイッチ素子を有する第1～第4のスイッチセルを含み、

前記第1のスイッチセルが、

前記ガンマ補正データの第1のビットのデータによりイネーブルに設定されたとき、前記第2のスイッチセルへのディセーブル信号をアクティブにすると共に、前記第3のスイッチセルへのイネーブル信号をアクティブにし、

前記ガンマ補正データの第1のビットのデータによりディセーブルに設定されたとき、前記第2のスイッチセルへのディセーブル信号を非アクティブにすると共に、前記第3のスイッチセルへのイネーブル信号を非アクティブにし、

30

前記第2のスイッチセルが、

前記ガンマ補正データの第2のビットのデータによりイネーブルに設定され、且つ前記第1のスイッチセルからのディセーブル信号が非アクティブであることを条件に前記第2の選択用電圧を前記第1の基準電圧として出力すると共に、前記第4のスイッチセルへのイネーブル信号をアクティブにし、

それ以外のときには、前記第4のスイッチセルへのイネーブル信号を非アクティブにし、

前記第3のスイッチセルが、

前記ガンマ補正データの第2のビットのデータによりイネーブルに設定され、且つ前記第1のスイッチセルからのイネーブル信号がアクティブであることを条件に前記第2の選択用電圧を前記第2の基準電圧として出力すると共に、前記第4のスイッチセルへのディセーブル信号をアクティブにし、

40

それ以外のときには、前記第4のスイッチセルへのディセーブル信号を非アクティブにし、

前記第4のスイッチセルが、

前記ガンマ補正データの第3のビットのデータによりイネーブルに設定され、且つ前記第3のスイッチセルからのディセーブル信号が非アクティブであり、且つ前記第2のスイッチセルからのイネーブル信号がアクティブであることを条件に前記第3の選択用電圧を

50

前記第 2 の基準電圧として出力することができる。

【0019】

また本発明に係る基準電圧発生回路では、

前記基準電圧選択回路が、

前記第 1 の選択用電圧を前記第 1 の基準電圧として出力するための第 1 のスイッチ素子を有する第 1 のスイッチセルと、

前記第 2 の選択用電圧を前記第 1 の基準電圧として出力するための第 2 のスイッチ素子を有する第 2 のスイッチセルと、

前記第 2 の選択用電圧を前記第 2 の基準電圧として出力するための第 3 のスイッチ素子を有する第 3 のスイッチセルと、

前記第 3 の選択用電圧を前記第 2 の基準電圧として出力するための第 4 のスイッチ素子を有する第 4 のスイッチセルとを含み、

前記第 1 のスイッチセルは、

前記ガンマ補正データの第 1 のビットのデータが供給されると共に、前記第 2 及び第 3 のスイッチセルに対してイネーブル信号を出力し、

前記第 2 のスイッチセルは、

前記ガンマ補正データの第 2 のビットのデータが供給されると共に、前記第 3 及び第 4 のスイッチセルに対してイネーブル信号を出力し、

前記第 3 のスイッチセルは、

前記ガンマ補正データの第 2 のビットのデータが供給されると共に、前記第 4 のスイッチセルに対してイネーブル信号を出力し、

前記第 4 のスイッチセルは、

前記ガンマ補正データの第 3 のビットのデータが供給され、

前記基準電圧選択回路が、

前記第 1 ~ 第 K の基準電圧のうち少なくとも前記第 1 及び第 2 の基準電圧を出力することができる。

【0020】

これらのいずれかの発明によれば、上記の効果に加えて、第 1 ~ 第 4 のスイッチ素子を少なくとも含み、第 1 の選択用電圧を第 2 の基準電圧として出力するためのスイッチ素子を不要にできるようになる。更に、第 1 及び第 2 の基準電圧のみを出力する場合には、第 3 の選択用電圧を第 1 の基準電圧として出力するためのスイッチ素子についても不要にできるようになる。従って、高精度なガンマ補正を実現するための基準電圧を、簡素な構成で選択できる基準電圧選択回路を提供できるようになる。

【0021】

また本発明は、

電気光学装置の複数のデータ線を駆動するための表示ドライバであって、

上記のいずれか記載の基準電圧発生回路と、

前記基準電圧発生回路からの前記第 1 ~ 第 K の基準電圧の中から、階調データに対応した基準電圧を選択し、データ電圧として出力する電圧選択回路と、

前記データ電圧に基づいて前記データ線を駆動する駆動回路とを含む表示ドライバに係る。

【0022】

本発明によれば、低消費電力で、且つ簡素な構成で、高精度なガンマ補正を実現させる表示ドライバを提供できる。

【0023】

また本発明は、

複数の走査線と、

複数のデータ線と、

前記複数の走査線の 1 つと前記複数のデータ線の 1 つとにより特定される画素電極と、

前記複数の走査線を走査する走査ドライバと、

10

20

30

40

50

前記複数のデータ線を駆動する上記記載の表示ドライバとを含む電気光学装置に係する。

【0024】

本発明によれば、低消費電力で、且つ簡素な構成で、高精度なガンマ補正を実現させる電気光学装置を提供できる。

【0025】

また本発明は、上記記載の表示ドライバを含む電子機器に係する。

【0026】

また本発明は、上記記載の電気光学装置を含む電子機器に係する。

【0027】

これらの発明によれば、低消費電力で、且つ簡素な構成で、高精度なガンマ補正を実現させる基準電圧発生回路を含む電子機器を提供できる。

【発明を実施するための最良の形態】

【0028】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0029】

1. 液晶表示装置

図1に、本実施形態におけるアクティブマトリクス型の液晶表示装置の構成の概要を示す。ここでは、アクティブマトリクス型の液晶表示装置について説明するが、単純マトリクス型の液晶表示装置についても、本実施形態における基準電圧選択回路を含むデータドライバ（表示ドライバ）を適用できる。

【0030】

液晶表示装置10は、LCDパネル（広義には表示パネル、更に広義には電気光学装置）20を含む。LCDパネル20は、例えばガラス基板上に形成される。このガラス基板上には、Y方向に複数配列されそれぞれX方向に伸びる走査線（ゲートライン）GL1～GLM（Mは2以上の整数）と、X方向に複数配列されそれぞれY方向に伸びるデータ線（ソースライン）DL1～DLN（Nは2以上の整数）とが配置されている。また、走査線GLm（ $1 \leq m \leq M$ 、mは整数、以下同様。）とデータ線DLn（ $1 \leq n \leq N$ 、nは整数、以下同様。）との交差位置に対応して、画素領域（画素）が設けられ、該画素領域に薄膜トランジスタ（Thin Film Transistor：以下、TFTと略す。）22mnが配置されている。

【0031】

TFT22mnのゲートは、走査線GLnに接続されている。TFT22mnのソースは、データ線DLnに接続されている。TFT22mnのドレインは、画素電極26mnに接続されている。画素電極26mnと、これに対向する対向電極28mnとの間に液晶が封入され、液晶容量（広義には液晶素子）24mnが形成される。画素電極26mnと対向電極28mnとの間の印加電圧に応じて画素の透過率が変化している。対向電極28mnには、対向電極電圧Vcomが供給される。

【0032】

このようなLCDパネル20は、例えば画素電極及びTFTが形成された第1の基板と、対向電極が形成された第2の基板とを貼り合わせ、両基板の間に電気光学材料としての液晶を封入させることで形成される。

【0033】

液晶表示装置10は、データドライバ（広義には表示ドライバ）30を含む。データドライバ30は、階調データに基づいて、LCDパネル20のデータ線DL1～DLNを駆動する。

【0034】

液晶表示装置10は、ゲートドライバ（広義には走査ドライバ）32を含むことができ

10

20

30

40

50

る。ゲートドライバ32は、一垂直走査期間内に、LCDパネル20の走査線GL1~GLMを走査する。

【0035】

液晶表示装置10は、電源回路100を含むことができる。電源回路100は、データ線の駆動に必要な電圧を生成し、これらをデータドライバ30に対して供給する。電源回路100は、例えばデータドライバ30のデータ線の駆動に必要な電源電圧VDDH、VSSHや、データドライバ30のロジック部の電圧を生成する。

【0036】

また電源回路100は、走査線の走査に必要な電圧を生成し、これをゲートドライバ32に対して供給する。

【0037】

更に電源回路100は、対向電極電圧Vcomを生成する。電源回路100は、データドライバ30によって生成された極性反転信号POLのタイミングに合わせて、高電位側電圧VCOMHと低電位側電圧VCOMLとを周期的に繰り返す対向電極電圧Vcomを、LCDパネル20の対向電極に出力する。

【0038】

液晶表示装置10は、表示コントローラ38を含むことができる。表示コントローラ38は、図示しない中央処理装置(Central Processing Unit:以下、CPUと略す。)等のホストにより設定された内容に従って、データドライバ30、ゲートドライバ32、電源回路100を制御する。例えば、表示コントローラ38は、データドライバ30及びゲートドライバ32に対し、動作モードの設定、内部で生成した垂直同期信号や水平同期信号の供給を行う。本実施形態では、ガンマ補正データが、データドライバ30の外部に設けられた不揮発性メモリから初期化処理において読み込まれるようになっているが、表示コントローラ38が、データドライバ30に対してガンマ補正データを供給し、種々のガンマ補正を実現できるようにしてもよい。

【0039】

なお図1では、液晶表示装置10に電源回路100又は表示コントローラ38を含めて構成するようにしているが、これらのうち少なくとも1つを液晶表示装置10の外部に設けて構成するようにしてもよい。或いは、液晶表示装置10に、ホストを含めるように構成することも可能である。

【0040】

また、データドライバ30は、ゲートドライバ32及び電源回路100のうち少なくとも1つを内蔵してもよい。

【0041】

更にまた、データドライバ30、ゲートドライバ32、表示コントローラ38及び電源回路100の一部又は全部をLCDパネル20上に形成してもよい。例えば図2では、LCDパネル20上に、データドライバ30及びゲートドライバ32が形成されている。このようにLCDパネル20は、複数のデータ線と、複数の走査線と、複数の走査線の各走査線及び複数のデータ線の各データ線とに接続された複数のスイッチ素子と、複数のデータ線を駆動する表示ドライバとを含むように構成することができる。LCDパネル20の画素形成領域80に、複数の画素が形成されている。

【0042】

2. ゲートドライバ

図3に、図1のゲートドライバ32の構成例を示す。

【0043】

ゲートドライバ32は、シフトレジスタ40、レベルシフタ42、出力バッファ44を含む。

【0044】

シフトレジスタ40は、各走査線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ40は、クロック信号CPVに同期してスタートパ

10

20

30

40

50

ルス信号 S T V をフリップフロップに保持すると、順次クロック信号 C P V に同期して隣接するフリップフロップにスタートパルス信号 S T V をシフトする。ここで入力されるクロック信号 C P V は水平同期信号であり、スタートパルス信号 S T V は垂直同期信号である。

【 0 0 4 5 】

レベルシフタ 4 2 は、シフトレジスタ 4 0 からの電圧のレベルを、 L C D パネル 2 0 の液晶素子と T F T のトランジスタ能力とに応じた電圧のレベルにシフトする。この電圧レベルとしては、例えば 2 0 V ~ 5 0 V の高い電圧レベルが必要になる。

【 0 0 4 6 】

出力バッファ 4 4 は、レベルシフタ 4 2 によってシフトされた走査電圧をバッファリングして走査線に出力し、走査線を駆動する。 10

【 0 0 4 7 】

3 . データドライバ

図 4 に、図 1 のデータドライバ 3 0 の構成例のブロック図を示す。図 4 では、1 ドット当たりの階調データのビット数が 6 であるものとして説明するが、本発明が階調データのビット数に限定されるものではない。

【 0 0 4 8 】

データドライバ 3 0 は、データラッチ 5 0 、ラインラッチ 5 2 、基準電圧発生回路 5 4 、 D A C (Digital / Analog Converter) (広義には、電圧選択回路) 5 6 、駆動回路 5 8 を含む。 20

【 0 0 4 9 】

データドライバ 3 0 には、画素単位 (又は 1 ドット単位) でシリアルに階調データが入力される。この階調データは、ドットクロック信号 D C L K に同期して入力される。ドットクロック信号 D C L K は、表示コントローラ 3 8 から供給される。図 4 では、説明の簡略化のため、1 ドット単位で階調データが入力されるものとする。

【 0 0 5 0 】

データラッチ 5 0 は、ドットクロック信号 D C L K に同期して、取り込み開始信号をシフトし、そのシフト出力に同期して、階調データをラッチすることで、例えば一水平走査分の階調データを取り込む。

【 0 0 5 1 】

ラインラッチ 5 2 は、データラッチ 5 0 にラッチされた一水平走査分の階調データを、水平同期信号 H S Y N C の変化タイミングでラッチする。 30

【 0 0 5 2 】

基準電圧発生回路 5 4 は、各基準電圧が各階調データに対応する複数の基準電圧を生成する。より具体的には、基準電圧発生回路 5 4 は、電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 K (K は 2 以上の整数) の基準電圧を発生させる。この場合に、基準電圧発生回路 5 4 は、電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 L (L は K より大きい整数) の選択用電圧を一旦生成し、 L ビットのガンマ補正データに基づいて第 1 ~ 第 L の選択用電圧の中から選択された K 種類の選択用電圧を、電位の高い順又は電位の低い順に第 1 ~ 第 K の基準電圧として出力する。ここで、ガンマ補正データの各ビットのデータが、各選択用電圧に対応しており、各選択用電圧を各基準電圧として出力するか否かを示す。 40

【 0 0 5 3 】

以下では、 L が 2 5 6 、 K が 6 4 であるものとして説明する。この場合、基準電圧発生回路 5 4 は、高電位側電源電圧 V D D H と低電位側電源電圧 V S S H とに基づいて、各基準電圧が 6 ビットの各階調データに対応する複数の基準電圧 V 0 ~ V 6 3 を生成する。この際、基準電圧発生回路 5 4 では、高電位側電源電圧 V D D H と低電位側電源電圧 V S S H との間の電圧が分割された複数の選択用電圧 V G 0 ~ V G 2 5 5 が生成され、ガンマ補正データに基づいて、複数の選択用電圧 V G 0 ~ V G 2 5 5 のの中から選択された 6 4 種類の選択用電圧が基準電圧 V 0 ~ V 6 3 として出力される。

【 0 0 5 4 】

D A C 5 6 は、ラインラッチ 5 2 から出力される階調データに対応したデータ電圧を、出力線ごとに生成する。より具体的には、D A C 5 6 は、基準電圧発生回路 5 4 によって生成された複数の基準電圧 $V_0 \sim V_{63}$ の中から、ラインラッチ 5 2 から出力された 1 出力線分の階調データに対応した基準電圧を選択し、選択した基準電圧をデータ電圧として出力する。

【 0 0 5 5 】

駆動回路 5 8 は、各出力線が L C D パネル 2 0 の各データ線に接続される複数の出力線を駆動する。より具体的には、駆動回路 5 8 は、D A C 5 6 によって出力線毎に生成されたデータ電圧に基づいて、各出力線を駆動する。即ち、駆動回路 5 8 は、階調データに基づいて選択された基準電圧をデータ電圧として、該データ電圧に基づいてデータ線を駆動する。駆動回路 5 8 は、出力線毎に設けられたボルテージフォロワ接続された演算増幅器を有し、該演算増幅器が D A C 5 6 からのデータ電圧に基づいて各出力線を駆動する。

10

【 0 0 5 6 】

図 5 に、基準電圧発生回路 5 4、D A C 5 6、駆動回路 5 8 の構成の概要を示す。ここでは、駆動回路 5 8 のうち、データ線 D L 1 と電氣的に接続される出力線 O L - 1 を駆動する構成のみを示すが、他の出力線についても同様である。

【 0 0 5 7 】

基準電圧発生回路 5 4 は、高電位側電源電圧 V_{DDH} 及び低電位側電源電圧 V_{SSH} の間の電圧を抵抗回路により分割した複数の電圧を、基準電圧 $V_0 \sim V_{63}$ として出力する。なお、極性反転駆動の場合、実際には極性が正の場合と負の場合とで電圧が対称とならないため、正極性用の基準電圧と、負極性用の基準電圧とが生成される。図 5 では、その一方を示している。

20

【 0 0 5 8 】

D A C 5 6 - 1 は、ROM デコーダ回路により実現することができる。D A C 5 6 - 1 は、6 ビットの階調データに基づいて、基準電圧 $V_0 \sim V_{63}$ のうちいずれか 1 つを選択して選択電圧 V_s として演算増幅器 D R V - 1 に出力する。なお、他の演算増幅器 D R V - 2 ~ D R V - N についても、同様に、対応する 6 ビットの階調データに基づいて選択された電圧が出力される。

【 0 0 5 9 】

D A C 5 6 - 1 は、反転回路 5 7 - 1 を含む。反転回路 5 7 - 1 は、極性反転信号 P O L に基づいて階調データを反転する。そして、D A C 5 6 - 1 には、6 ビットの階調データ D 0 ~ D 5 と、6 ビットの反転階調データ X D 0 ~ X D 5 とが入力される。反転階調データ X D 0 ~ X D 5 は、階調データ D 0 ~ D 5 をそれぞれビット反転したものである。そして、D A C 5 6 - 1 において、基準電圧発生回路 5 4 により生成された多値の基準電圧 $V_0 \sim V_{63}$ のうちのいずれか 1 つが階調データに基づいて選択される。

30

【 0 0 6 0 】

例えば極性反転信号 P O L の論理レベルが「H」のとき、6 ビットの階調データ D 0 ~ D 5 「0 0 0 0 1 0」(= 2) に対応して、基準電圧 V_2 が選択される。また例えば極性反転信号 P O L の論理レベルが「L」のとき、階調データ D 0 ~ D 5 を反転した反転階調データ X D 0 ~ X D 5 を用いて基準電圧を選択する。即ち、反転階調データ X D 0 ~ X D 5 が「1 1 1 1 0 1」(= 6 1) となり、基準電圧 V_{61} が選択される。

40

【 0 0 6 1 】

このようにして D A C 5 6 - 1 により選択された選択電圧 V_s は、演算増幅器 D R V - 1 に供給される。

【 0 0 6 2 】

そして、演算増幅器 D R V - 1 は、選択電圧 V_s に基づいて出力線 O L - 1 を駆動する。また、電源回路 1 0 0 は、上述したように、極性反転信号 P O L に同期して対向電極の電圧を変化させる。こうして、液晶に印加される電圧の極性を反転させて駆動する。

【 0 0 6 3 】

図 4 では、データドライバ 3 0 の内部又は外部に設けられた不揮発性メモリとしての E

50

EEPROM (Electrically Erasable Programmable Read Only Memory) に、予めガンマ補正データが保存されている。EEPROMは、データを電气的に書き換えできる。データドライバ30は、リセット後に開始される所定の初期化処理中にEEPROM120からガンマ補正データを読み込むようになっている。

【0064】

図6に、EEPROM120の構成の概要を示す。

【0065】

EEPROM120には、アドレス/データ分割バスと、クロックラインとが接続される。アドレス/データ分割バス及びクロックラインとは、データドライバ30に接続される。

【0066】

図7に、EEPROM120の読み出し制御の一例のタイミング図を示す。

【0067】

データドライバ30は、例えばアドレス/データ分割バスにアドレスデータAを出力すると共に、クロックラインにクロック1パルスを出力することで、EEPROM120にアドレスデータAを設定することができる。このアドレスデータAは、データドライバ30が読み出す制御データ(例えばガンマ補正データ等)が保存されるEEPROM120のメモリ空間上のアドレスである。

【0068】

データドライバ30は、その後、クロックラインに順次クロックを供給する。EEPROM120では、取り込まれたアドレスデータAをクロックに同期してインクリメントする。そして、アドレスデータAに対応する記憶データ(制御データ)が、クロックラインのクロックに同期してアドレス/データ分割バスに出力される。

【0069】

本実施形態では、初期化処理中に、データドライバ30が図7で説明したようにEEPROM120からガンマ補正データを読み出し、基準電圧発生回路54が内蔵するガンマ補正データレジスタに該ガンマ補正データを設定する。

【0070】

4. 基準電圧発生回路

図8に、本実施形態における基準電圧発生回路54の構成例のブロック図を示す。

【0071】

基準電圧発生回路54は、選択用電圧発生回路200と、基準電圧選択回路210と、ガンマ補正データレジスタ220と、ガンマ補正データ設定回路222とを含む。

【0072】

選択用電圧発生回路200は、両端に高電位側電源電圧 V_{DDH} 及び低電位側電源電圧 V_{SSH} が供給されるラダー抵抗回路を含む。このラダー抵抗回路は、直列に接続された複数の抵抗素子を有する。そして、抵抗素子同士が電气的に接続されるノードを出力ノードとして、該出力ノードから選択用電圧を出力する。なお各抵抗素子の抵抗値は、ホスト又は表示コントローラ38からの制御によって変更できることが望ましい。

【0073】

こうして選択用電圧発生回路200は、電位の低い順に並ぶ選択用電圧 $V_{G0} \sim V_{G255}$ (第1～第Lの選択用電圧)を出力する。なお、選択用電圧発生回路200は、電位の高い順に並ぶ選択用電圧 $V_{G0} \sim V_{G255}$ を出力するようにしてもよい。

【0074】

ガンマ補正データレジスタ220には、各ビットのデータが各選択用電圧に対応付けられ、基準電圧として出力するか否かを示すLビットのガンマ補正データが設定される。

【0075】

図9に、本実施形態のガンマ補正データの説明図を示す。

【0076】

選択用電圧がL種類の場合、ガンマ補正データはLビット構成である。従って、図8に

10

20

30

40

50

おけるガンマ補正データは256ビット構成である。ガンマ補正データの各ビットのデータは、各選択用電圧を基準電圧として出力するか否かを示す。本実施形態では、ビットのデータが「1」のときは当該ビットに対応する選択用電圧を基準電圧として出力することを示し、ビットのデータが「0」のときは当該ビットに対応する選択用電圧を基準電圧として出力しないことを示す。従って、256ビット構成のガンマ補正データは、256ビットのうちいずれかの64ビットだけが「1」で、残りが「0」であるデータとなる。

【0077】

図9では、ガンマ補正データの最上位ビットである255ビット目のデータがREG255となり、・・・、ガンマ補正データの最下位ビットである0ビット目のデータがREG0となる。

【0078】

図8において、ガンマ補正データ設定回路222は、1ビットずつシリアルに入力されるガンマ補正データを8ビット構成の平行データに変換し、該平行データをガンマ補正データレジスタ220に設定する制御を行う。こうすることで、ガンマ補正データが256ビットで構成されていても、平行データを32回ガンマ補正データレジスタ220に設定すればよい。従って、例えば256クロックのライトパルスでガンマ補正データレジスタ220に高速に書き込み制御を行うことなく、32クロックのライトパルスでガンマ補正データレジスタ220に低速に書き込み制御を行えばよい。そのため、ガンマ補正データの設定に伴う電力消費を大幅に削減できるようになる。

【0079】

図10に、図8のガンマ補正データレジスタ220及びガンマ補正データ設定回路222の構成例を示す。

【0080】

ガンマ補正データ設定回路222は、シリアル/平行変換回路230、レベルシフタ232、234、238、シフトレジスタ236を含むことができる。

【0081】

シリアル/平行変換回路230は、1ビットずつシリアルに入力されたガンマ補正データを、8ビットの平行データに変換する。レベルシフタ232は、平行データの各ビットの信号レベルを変換する。即ち、小振幅のロジック電源電圧の間を振幅する平行データの各ビットの信号レベルを、大振幅の液晶駆動電源電圧の間を振幅させるように変換する。

【0082】

シフトレジスタ236は、各フリップフロップが直列に接続された複数のフリップフロップを有し、ガンマ補正データの各ビットのデータの入力同期クロックとしてのクロックCLKに同期したシフト動作を行って、8ビット毎にシフト出力SFO1、SFO2、・・・、SFO32を出力する。従って、シフトレジスタ236は、256個のフリップフロップが直列に接続されたものということができる。このシフトレジスタ236は、所与のスタートパルスをクロックCLKに同期してシフトさせる。図10では、レベルシフタ234が、クロックCLKの信号レベルを変換した後にシフトレジスタ236に入力される。

【0083】

レベルシフタ238は、ライトパルスの信号レベルを変換する。信号レベルが変換されたライトパルスが、シフト出力SFO1、SFO2、・・・、SFO32によりマスク制御される。マスク制御後の信号により、レベルシフタ232の出力が、ガンマ補正データレジスタ220に8ビットずつ設定される。

【0084】

図11に、図10のガンマ補正データ設定回路222の動作例のタイミング図を示す。

【0085】

即ち、シリアルに入力されるガンマ補正データが8ビットの平行データに変換される。そしてガンマ補正データの8ビット毎にシフト出力が出力され、ガンマ補正データレ

10

20

30

40

50

ジスタ 220 に 8 ビットずつ設定される。

【0086】

図 8 において、基準電圧選択回路 210 は、ガンマ補正データに基づいて選択用電圧 $V_G 0 \sim V_G 255$ (第 1 ~ 第 L の選択用電圧) の中から選択された 64 (= K) 種類の選択用電圧を、電位の低い順に基準電圧 $V_0 \sim V_{63}$ (第 1 ~ 第 K の基準電圧) として出力する。なお、基準電圧選択回路 210 は、電位の高い順に並ぶ基準電圧 $V_0 \sim V_{63}$ を出力するようにしてもよい。

【0087】

なお基準電圧発生回路 54 は、各インピーダンス変換回路の入力に第 1 ~ 第 K の基準電圧の各基準電圧が供給される第 1 ~ 第 K のインピーダンス変換回路を含むことが望ましい。即ち、図 8 の基準電圧発生回路 54 が、基準電圧選択回路 210 の出力がその入力に供給されるインピーダンス変換回路 OP0、OP1、・・・、OP63 を含むことが望ましい。このインピーダンス変換回路は、例えばボルテージフォロワ接続された演算増幅器により構成される。従って、各インピーダンス変換回路 OP0 ~ OP63 によってインピーダンス変換されて、DAC56 に各基準電圧が供給されることになる。このため、選択用電圧発生回路の高電位側又は低電位側電源電圧が供給される信号線から基準電圧選択回路 210 や DAC56 を経路とするインピーダンスが増大することに起因する各信号線の充電時間が長くなることを抑えることができる。

【0088】

図 12 に、図 8 の基準電圧選択回路の動作例の説明図を示す。

【0089】

図 12 では、ガンマ補正データの最下位ビットが「0」、下位 2 ビット目が「1」、下位 3 ビット目が「1」、・・・、最上位ビットが「1」である。ガンマ補正データの最下位ビットが「0」であるため、当該ビットに対応する選択用電圧 $V_G 0$ は基準電圧として出力されない。

【0090】

一方、ガンマ補正データの下位 2 ビット目が「1」であるため、当該ビットに対応する選択用電圧 $V_G 1$ は基準電圧として出力される。従って、選択用電圧 $V_G 1$ が、基準電圧 V_0 として出力される。

【0091】

ガンマ補正データの下位 3 ビット目が「1」であるため、当該ビットに対応する選択用電圧 $V_G 2$ は基準電圧として出力される。従って、選択用電圧 $V_G 2$ が、基準電圧 V_1 として出力される。

【0092】

同様に、ガンマ補正データの上位 2 ビット目が「0」であるため、当該ビットに対応する選択用電圧 $V_G 254$ は基準電圧として出力されない。これに対して、ガンマ補正データの最上位ビットが「1」であるため、当該ビットに対応する選択用電圧 $V_G 255$ は基準電圧として出力される。従って、選択用電圧 $V_G 255$ が、基準電圧 V_{63} として出力される。

【0093】

こうすることで、基準電圧発生回路 54 が、電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 L の選択用電圧の中から選択された K 種類の選択用電圧を、電位の高い順又は電位の低い順に並ぶ第 1 ~ 第 K の基準電圧として発生させることができる。

【0094】

図 13 に、ガンマ特性の説明図を示す。

【0095】

図 13 は、横軸に基準電圧、縦軸に画素の透過率を示す。上述のように、本実施形態では、基準電圧 V_x の電圧レベルを選択用電圧の中から選択して、複数種類の電圧レベルを出力させることができる。従って、LCD パネルの種類に応じた木目細かいガンマ補正を実現できる。

10

20

30

40

50

【0096】

また選択用電圧発生回路200のラダー抵抗回路を構成する各抵抗素子の抵抗値を可変制御できるようにすることで、基準電圧発生回路54が出力する複数の基準電圧 $V_0 \sim V_6$ の電圧レベルを多様化できる。

【0097】

4.1 基準電圧選択回路

次に、本実施形態の基準電圧選択回路210について説明する。基準電圧選択回路210は、電位の降順又は昇順に並ぶK種類の選択用電圧の中から選択されたL種類の選択用電圧を、電位の降順又は昇順に並ぶL種類の基準電圧として出力する。そのため、基準電圧選択回路210の機能を単純に回路で実現しようとする、回路規模が大きくなってしま

10

【0098】

図14に、本実施形態の比較例における基準電圧選択回路210の構成例のブロック図を示す。

【0099】

比較例では、基準電圧毎に、256入力1出力のセレクタが設けられている。この場合、各セレクタは、ガンマ補正データに基づいて選択用電圧 $V_G 0 \sim V_G 255$ のうちの1つを選択することになる。

【0100】

従って、基準電圧の種類を増加させる毎に、256入力1出力のセレクタを追加する必要が生じ、基準電圧選択回路210のみならず、基準電圧発生回路54の回路規模の増大を招き、消費電力を増大させることにもなる。

20

【0101】

そこで、本実施形態では、以下に説明するように、基準電圧選択回路210の機能をスイッチマトリクス構成で実現させるようにしている。こうすることで、基準電圧選択回路210の回路規模の増大を抑えることができるようになる。しかも、比較例と比べて、選択用電圧の種類や基準電圧の種類が増加しても、基準電圧選択回路210の回路規模の増大が少なく済む。

【0102】

図15に、本実施形態における基準電圧選択回路210の構成例のブロック図を示す。ここでは、説明の簡略化のため、選択用電圧が3種類($V_G 0$ 、 $V_G 1$ 、 $V_G 2$)、基準電圧が2種類(V_0 、 V_1)であるものとする。選択用電圧が3種類以上で、且つ基準電圧が2種類以上の基準電圧選択回路210は、図15の構成を必ず含む。従って、本実施形態において、電位の高い順又は電位の低い順に並ぶ第1～第Kの基準電圧を発生させる基準電圧発生回路54は、図15に示すように第1～第Kの基準電圧のうち少なくとも第1及び第2の基準電圧を出力する基準電圧選択回路を含むことができる。

30

【0103】

図15の基準電圧選択回路は、3ビットのガンマ補正データに基づいて、電位の高い順又は電位の低い順に並ぶ第1～第3の選択用電圧 $V_G 0 \sim V_G 2$ の中から、電位の高い順又は低い順に並ぶ第1及び第2の基準電圧 V_0 、 V_1 を選択する。

40

【0104】

この基準電圧選択回路は、第1～第4のスイッチ素子 $SW 1 \sim SW 4$ を含む。第1のスイッチ素子 $SW 1$ は、第1の選択用電圧 $V_G 0$ を第1の基準電圧 V_0 として出力するためのスイッチ回路である。第2のスイッチ素子 $SW 2$ は、第2の選択用電圧 $V_G 1$ を第1の基準電圧 V_0 として出力するためのスイッチ回路である。第3のスイッチ素子 $SW 3$ は、第2の選択用電圧 $V_G 1$ を第2の基準電圧 V_1 として出力するためのスイッチ回路である。第4のスイッチ素子 $SW 4$ は、第3の選択用電圧 $V_G 2$ を第2の基準電圧 V_1 として出力するためのスイッチ回路である。各スイッチ回路は、各選択用電圧が供給される信号線と各基準電圧が出力される信号線とを電氣的に接続又は遮断することができる。

【0105】

50

そして、第1のスイッチ素子SW1は、ガンマ補正データの第1のビットのデータREG0によりイネーブルに設定されたことを条件に、第1の選択用電圧 V_G0 を第1の基準電圧 $V0$ として出力する。第2のスイッチ素子SW2は、ガンマ補正データの第1のビットのデータREG0によりディセーブルに設定され、且つガンマ補正データの第2のビットのデータREG1によりイネーブルに設定されたことを条件に、第2の選択用電圧 V_G1 を第1の基準電圧 $V0$ として出力する。第3のスイッチ素子SW3は、ガンマ補正データの第1のビットのデータREG0によりイネーブルに設定され、且つガンマ補正データの第2のビットのデータREG1によりイネーブルに設定されたことを条件に、第2の選択用電圧 V_G1 を第2の基準電圧 $V1$ として出力する。第4のスイッチ素子SW4は、ガンマ補正データの第1のビットのデータREG0によりイネーブルに設定され、且つガンマ補正データの第2のビットのデータREG1によりディセーブルに設定され、且つガンマ補正データの第3のビットのデータREG2によりイネーブルに設定されたことを条件に、第3の選択用電圧 V_G2 を第2の基準電圧 $V1$ として出力する。

10

【0106】

なお図15の基準電圧選択回路は、各スイッチセルが第1～第4のスイッチ素子SW1～SW4の各スイッチ素子を有する第1～第4のスイッチセルSC1～SC4を含むことができる。そして、各スイッチセルは、他のスイッチセルから供給されるイネーブル信号及びディセーブル信号に基づいて、内蔵するスイッチ素子のオンオフ制御を行うと共に、別のスイッチセルにイネーブル信号及びディセーブル信号を出力する。

【0107】

図16(A)、図16(B)に、スイッチセルが他のスイッチセルに出力するイネーブル信号及びディセーブル信号を説明する図を示す。図16(A)、図16(B)では、4種類の選択用電圧から3種類の基準電圧を選択する例を示している。

20

【0108】

図16(A)において、例えばガンマ補正データの第1のビットのデータREG0により第1のスイッチセルSC1がイネーブルに設定されたとき、第1のスイッチセルSC1は、第2のスイッチセルSC2へのディセーブル信号disをアクティブにし、第3のスイッチセルへのイネーブル信号enableをアクティブにする。

【0109】

第2のスイッチセルSC2は、第1のスイッチセルSC1からのディセーブル信号disを用いて、第2のスイッチセルSC2が内蔵する第2のスイッチ素子SW2のオンオフ制御を行う。同様に、第3のスイッチセルSC3は、第1のスイッチセルSC1からのイネーブル信号enableを用いて、第3のスイッチセルSC3が内蔵する第3のスイッチ素子SW3のオンオフ制御を行う。

30

【0110】

これに対して、図16(B)において、例えばガンマ補正データの第1のビットのデータREG0により第1のスイッチセルSC1がディセーブルに設定されたとき、第1のスイッチセルSC1は、第2のスイッチセルSC2へのディセーブル信号disを非アクティブにし、第3のスイッチセルへのイネーブル信号enableを非アクティブにする。

【0111】

この場合も図16(A)と同様に、第2のスイッチセルSC2は、第1のスイッチセルSC1からのディセーブル信号disを用いて、第2のスイッチセルSC2が内蔵する第2のスイッチ素子SW2のオンオフ制御を行う。また第3のスイッチセルSC3は、第1のスイッチセルSC1からのイネーブル信号enableを用いて、第3のスイッチセルSC3が内蔵する第3のスイッチ素子SW3のオンオフ制御を行う。

40

【0112】

より具体的には、第1のスイッチセルSC1は、ガンマ補正データの第1のビットのデータREG0によりイネーブルに設定されたとき、第2のスイッチセルSC2へのディセーブル信号disをアクティブにすると共に、第3のスイッチセルSC3へのイネーブル信号enableをアクティブにする。また、第1のスイッチセルSC1は、ガンマ補正

50

データの第1のビットのデータREG0によりディセーブルに設定されたとき、第2のスイッチセルSC2へのディセーブル信号disを非アクティブにすると共に、第3のスイッチセルSC3へのイネーブル信号enableを非アクティブにする。

【0113】

第2のスイッチセルSC2は、ガンマ補正データの第2のビットのデータREG1によりイネーブルに設定され、且つ第1のスイッチセルSC1からのディセーブル信号disが非アクティブであることを条件に第2の選択用電圧 V_G1 を第1の基準電圧 V_0 として出力すると共に、第4のスイッチセルSC4へのイネーブル信号enableをアクティブにする。それ以外するとき、第2のスイッチセルSC2は、第4のスイッチセルSC4へのイネーブル信号enableを非アクティブにする。

10

【0114】

第3のスイッチセルSC3は、ガンマ補正データの第2のビットのデータREG1によりイネーブルに設定され、且つ第1のスイッチセルSC1からのイネーブル信号enableがアクティブであることを条件に第2の選択用電圧 V_G1 を第2の基準電圧 V_1 として出力すると共に、第4のスイッチセルSC4へのディセーブル信号disをアクティブにする。それ以外するとき、第3のスイッチセルSC3は、第4のスイッチセルSC4へのディセーブル信号disを非アクティブにする。

【0115】

第4のスイッチセルSC4は、ガンマ補正データの第3のビットのデータREG2によりイネーブルに設定され、且つ第3のスイッチセルSC3からのディセーブル信号disが非アクティブであり、且つ第2のスイッチセルSC2からのイネーブル信号enableがアクティブであることを条件に第3の選択用電圧 V_G2 を第2の基準電圧 V_1 として出力する。

20

【0116】

このようにイネーブル信号及びディセーブル信号を伝搬させることで、1つのスイッチセルを繰り返し接続するだけで済み、基準電圧選択回路の設計や、その変更が容易になる。なお、このディセーブル信号をイネーブル信号として伝搬させるようにしてもよいことは言うまでもない。

【0117】

図17に、図15の基準電圧選択回路の動作例を示す。

30

【0118】

図17に示すように、図15の基準電圧選択回路は、電位の高い順又は電位の低い順に並ぶ第1～第3の選択用電圧 $V_G0 \sim V_G2$ が、3ビットのガンマ補正データにより「1」が設定されたビットのデータに基づいて、電位の高い順又は電位の低い順に並ぶ第1及び第2の基準電圧 V_0 、 V_1 を出力する。

【0119】

このようなスイッチ素子又は該スイッチ素子を含むスイッチセルを採用して、上記のように信号（イネーブル信号、ディセーブル信号）を伝搬させることで、スイッチマトリクス構成で基準電圧選択回路を実現した場合であってもスイッチ素子又はスイッチセルの数を削減できる。

40

【0120】

一般に、スイッチマトリクス構成で第1～第3の選択用電圧 $V_G1 \sim V_G2$ から第1及び第2の基準電圧 V_0 、 V_1 を選択する回路を実現する場合、6（ $= 3 \times 2$ ）個のスイッチ素子又はスイッチセルが必要となる。

【0121】

これに対して、電位の高い順又は低い順に2つの基準電圧を出力するという特性を考慮すると、第3の選択用電圧 V_G2 が第1の基準電圧 V_0 として出力されることはない。同様に、第1の選択用電圧 V_G0 が第2の基準電圧 V_1 として出力されることはない。従って、図15の場合、スイッチ素子SW10（スイッチ素子SW10を含むスイッチセルSC10）及びスイッチ素子SW11（スイッチ素子SW11を含むスイッチセルSC11

50

)を省略できる。

【0122】

本実施形態では、基準電圧選択回路が、電位の高い順又は電位の低い順に並ぶ第1～第Lの選択用電圧の中から、電位の高い順又は電位の低い順に並ぶ第1～第Kの基準電圧を選択する。このため、本実施形態の場合には、1つの基準電圧を出力するために $(L - K + 1)$ 個のスイッチセルが必要とされる。そのため、この基準電圧選択回路は、 $K \times (L - K + 1)$ 個のスイッチセルで実現できる。

【0123】

以下では、本実施形態の基準電圧選択回路の具体的な回路構成例について説明する。

【0124】

図18に、本実施形態の基準電圧選択回路の具体的な回路構成例を示す。図18では、Lが16(第1～第16の選択用電圧 $V_{G0} \sim V_{G15}$)で、Kが5(第1～第4の基準電圧 $V_0 \sim V_4$)の構成例を示す。

【0125】

$V_{G < 15 : 0 >}$ が第1～第16の選択用電圧 $V_{G0} \sim V_{G15}$ を示し、 $V_{G < 15 : 0 >}$ の各ビットの信号線に各選択用電圧が供給される。 $V_{< 4 : 0 >}$ が第1～第4の基準電圧 $V_0 \sim V_4$ を示し、 $V_{< 4 : 0 >}$ の各ビットの信号線に各基準電圧が出力される。 $R_{EG < 15 : 0 >}$ は、16ビットのガンマ補正データである。

【0126】

単純にスイッチマトリクス構成を採用した場合、80($= 5 \times 16$)個のスイッチセルが必要となるにも関わらず、本実施形態では、60($= 5 \times (16 - 5 + 1)$)個のスイッチセルで実現できる。これは、上述した理由により、図18の回路部分310、312のスイッチセルを省略できるからである。

【0127】

図19に、図18の回路図の一部の拡大図を示す。

【0128】

図19において、図18と同一部分には同一符号を付し適宜説明を省略する。図19において、例えばスイッチセル $SC1 - 1$ 、 $SC2 - 1$ 、 $SC3 - 1$ 、 $SC4 - 1$ 、・・・、 $SC2 - 1$ 、 $SC2 - 2$ 、・・・のそれぞれは同一構成である。

【0129】

各スイッチセルは、VDD端子、ENHVI端子、ENHI端子、ENVI端子、D端子、ENHO端子、ENV D端子、OUT端子、IN端子を含む。

【0130】

VDD端子は、高電位側の電源電圧VDDを供給するための端子である。このスイッチセルでは低電位側の電源電圧VSSを供給するための端子の図示は省略されている。ENHVI端子は、dir B方向に並ぶセルに供給されるイネーブル信号enableが入力される端子である。ENHI端子は、dir A方向に並ぶセルに供給されるイネーブル信号enable(論理レベルを反転したディセーブル信号disと等価)が入力される端子である。ENV I端子は、dir B方向に並ぶセルに供給されるイネーブル信号enableが入力される端子である。ENHO端子は、dir A方向に並ぶセルに供給されるイネーブル信号enable(論理レベルを反転したディセーブル信号disと等価)が出力される端子である。D端子は、ガンマ補正データのビットのデータが入力される端子である。ENV D端子は、dir B方向に並ぶセルに供給されるイネーブル信号enableを出力するための端子である。OUT端子は、基準電圧を供給するための端子である。IN端子は、選択用電圧が供給される端子である。

【0131】

従って、図19に示すように、基準電圧選択回路は、第1～第4のスイッチセル $SC1 - 1$ 、 $SC2 - 1$ 、 $SC1 - 2$ 、 $SC2 - 2$ を含むことができる。第1のスイッチセル $SC1 - 1$ は、電位の高い順又は電位の低い順に並ぶ第1～第3の選択用電圧のうちの第1の選択用電圧を、電位の高い順又は低い順に並ぶ第1及び第2の基準電圧のうちの第1の

10

20

30

40

50

基準電圧として出力するための第1のスイッチ素子を有する。第2のスイッチセルSC1-2は、第2の選択用電圧を第1の基準電圧として出力するための第2のスイッチ素子を有する。第3のスイッチセルSC1-2は、第2の選択用電圧を第2の基準電圧として出力するための第3のスイッチ素子を有する。第4のスイッチセルSC2-2は、第3の選択用電圧を第2の基準電圧として出力するための第4のスイッチ素子を有する。

【0132】

そして第1のスイッチセルSC1-1には、各ビットのデータが各選択用電圧に対応付けられ基準電圧として出力するか否かを示すLビットのガンマ補正データの第1のビットのデータが供給されると共に、第1のスイッチセルSC1-1は、第2及び第3のスイッチセルSC2-1、SC1-2に対してイネーブル信号を出力する。第2のスイッチセルSC2-1には、ガンマ補正データの第2のビットのデータが供給されると共に、第2のスイッチセルSC2-1は、第3及び第4のスイッチセルSC1-2、SC2-2に対してイネーブル信号を出力する。第3のスイッチセルSC1-2には、ガンマ補正データの第2のビットのデータが供給されると共に、第3のスイッチセルSC1-2は、第4のスイッチセルSC2-2に対してイネーブル信号を出力する。第4のスイッチセルSC2-2には、ガンマ補正データの第3のビットのデータが供給される。

10

【0133】

図19では、上述のディセーブル信号disを、イネーブル信号enableとして出力する。アクティブに設定されたイネーブル信号enableと非アクティブに設定されたディセーブル信号disとが等価であり、非アクティブに設定されたイネーブル信号enableとアクティブに設定されたディセーブル信号disとが等価だからである。

20

【0134】

図20に、図19のスイッチセルの回路構成例を示す。

【0135】

図20では、スイッチ素子SWが、トランスファークロークにより構成される。ENV I端子、D端子及びENHI端子からの入力信号の論理積演算結果が「H」のとき、スイッチ素子SWが導通状態となり、IN端子とOUT端子が同電位となる。該論理積演算結果が「L」のとき、スイッチ素子SWが非導通状態となる。

【0136】

この論理積演算結果とENHVI端子からの入力信号との論理和演算結果が、ENVO端子から出力される。また論理積演算結果とENHVI端子からの入力信号との論理和演算結果の反転結果は、ENHO端子から出力信号となる。

30

【0137】

4.1 変形例

本実施形態のガンマ補正データ設定回路222は、シフトレジスタのシフト出力に同期してパラレルデータをガンマ補正データレジスタ220に設定していたが、本発明はこれに限定されるものではない。

【0138】

本実施形態の変形例におけるガンマ補正データ設定回路400は、ガンマ補正データレジスタの書き込み領域を指定するアドレスに基づいて、上記のパラレルデータをガンマ補正データに設定する。

40

【0139】

図21に、本実施形態の変形例におけるガンマ補正データ設定回路400の構成例のブロック図を示す。図21において図10と同一部分に同一符号を付し、適宜説明を省略する。

【0140】

基準電圧発生回路54は、図8のガンマ補正データ設定回路222に代えて本変形例におけるガンマ補正データ設定回路400を含むことができる。

【0141】

ガンマ補正データ設定回路400は、アドレス生成回路410を含み、アドレス生成回

50

路 4 1 0 によって生成されたアドレスに基づいて、レベルシフタ 2 3 2 によって信号レベルが変換されたガンマ補正データをガンマ補正データレジスタ 2 2 0 に設定することができる。ここでアドレス生成回路 4 1 0 の機能は、ガンマ補正データの各ビットのデータの入力同期クロックとしてのクロック C L K をカウントするカウンタにより実現できる。

【 0 1 4 2 】

ガンマ補正データ設定回路 4 0 0 は、アドレスデコーダ 4 2 0 とレベルシフタ 4 3 0 とを含むことができる。アドレスデコーダ 4 2 0 は、アドレス生成回路 4 1 0 によって生成されたアドレスをデコードし、ガンマ補正データのビットのデータ R E G 0 ~ R E G 7、R E G 1 ~ R E G 1 5、・・・、R E G 2 4 8 ~ R E G 2 5 5 のいずれの領域を書き込み領域とするアドレスかを判別する。アドレスデコーダ 4 2 0 のデコード結果は、レベルシフタ 4 3 0 によってその信号レベルが変換されて、ライトイネーブル信号 W E N 1 ~ W E N 3 2 として出力される。

10

【 0 1 4 3 】

例えばクロック C L K をカウントし、カウント値が 1 ~ 8 の間ではガンマ補正データのビットのデータ R E G 0 ~ R E G 7 の書き込み領域を指定するためにライトイネーブル信号 W E N 1 のみがアクティブとなる。またカウント値が 1 7 ~ 2 4 の間では、ガンマ補正データのビットのデータ R E G 1 6 ~ R E G 2 3 の書き込み領域を指定するためにライトイネーブル信号 W E N 3 のみがアクティブとなる。

【 0 1 4 4 】

ライトイネーブル信号 W E N 1 ~ W E N 3 2 は、レベルシフタ 2 3 8 の出力によりマスク制御される。

20

【 0 1 4 5 】

本変形例によれば、本実施形態と同様に、例えば 2 5 6 クロックのライトパルスでガンマ補正データレジスタ 2 2 0 に高速に書き込み制御を行うことなく、3 2 クロックのライトパルスでガンマ補正データレジスタ 2 2 0 に低速に書き込み制御を行えばよい。そのため、ガンマ補正データの設定に伴う電力消費を大幅に削減できるようになる。

【 0 1 4 6 】

5 . 電子機器

図 2 2 に、本実施形態における電子機器の構成例のブロック図を示す。ここでは、電子機器として、携帯電話機の構成例のブロック図を示す。図 2 2 において、図 1 又は図 2 と同一部分には同一符号を付し、適宜説明を省略する。

30

【 0 1 4 7 】

携帯電話機 9 0 0 は、カメラモジュール 9 1 0 を含む。カメラモジュール 9 1 0 は、C C D カメラを含み、C C D カメラで撮像した画像のデータを、Y U V フォーマットで表示コントローラ 3 8 に供給する。

【 0 1 4 8 】

携帯電話機 9 0 0 は、L C D パネル 2 0 を含む。L C D パネル 2 0 は、データドライバ 3 0 及びゲートドライバ 3 2 によって駆動される。L C D パネル 2 0 は、複数のゲート線、複数のソース線、複数の画素を含む。

【 0 1 4 9 】

表示コントローラ 3 8 は、データドライバ 3 0 及びゲートドライバ 3 2 に接続され、データドライバ 3 0 に対して R G B フォーマットの表示データを供給する。

40

【 0 1 5 0 】

電源回路 1 0 0 は、データドライバ 3 0 及びゲートドライバ 3 2 に接続され、各ドライバに対して、駆動用の電源電圧を供給する。また L C D パネル 2 0 の対向電極に、対向電極電圧 V c o m を供給する。

【 0 1 5 1 】

ホスト 9 4 0 は、表示コントローラ 3 8 に接続される。ホスト 9 4 0 は、表示コントローラ 3 8 を制御する。またホスト 9 4 0 は、アンテナ 9 6 0 を介して受信された表示データを、変復調部 9 5 0 で復調した後、表示コントローラ 3 8 に供給できる。表示コントロ

50

ーラ 38 は、この表示データに基づき、データドライバ 30 及びゲートドライバ 32 により LCD パネル 20 に表示させる。

【0152】

ホスト 940 は、カメラモジュール 910 で生成された表示データを変復調部 950 で変調した後、アンテナ 960 を介して他の通信装置への送信を指示できる。

【0153】

ホスト 940 は、操作入力部 970 からの操作情報に基づいて表示データの送受信処理、カメラモジュール 910 の撮像、LCD パネル 20 の表示処理を行う。

【0154】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の液晶表示パネルの駆動に適用されるものに限らず、エレクトロクミネッセンス、プラズマディスプレイ装置の駆動に適用可能である。

【0155】

また本実施形態では、EEPROM からガンマ補正データを読み込むものとして説明したが、これに限定されるものではなくホストや表示コントローラ等の外部回路からガンマ補正データを読み込むようにしてもよい。

【0156】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【0157】

【図 1】本実施形態における液晶表示装置の構成の概要を示す図。

【図 2】本実施形態における液晶表示装置の他の構成の概要を示す図。

【図 3】図 1 のゲートドライバの構成例を示す図。

【図 4】図 1 のデータドライバの構成例のブロック図。

【図 5】図 4 の基準電圧発生回路、DAC、駆動回路の構成の概要を示す図。

【図 6】本実施形態の EEPROM の概要を示す図。

【図 7】EEPROM の読み出し制御の一例のタイミング図。

【図 8】本実施形態における基準電圧発生回路の構成例のブロック図。

【図 9】本実施形態のガンマ補正データの説明図。

【図 10】図 8 のガンマ補正データレジスタ及びガンマ補正データ設定回路の構成例を示す図。

【図 11】図 10 のガンマ補正データ設定回路の動作例のタイミング図。

【図 12】図 8 の基準電圧選択回路の動作例の説明図。

【図 13】ガンマ特性の説明図。

【図 14】本実施形態の比較例における基準電圧選択回路の構成例のブロック図。

【図 15】本実施形態における基準電圧選択回路の構成例のブロック図。

【図 16】図 16 (A)、図 16 (B) はスイッチセルが他のスイッチセルに出力するイネーブル信号及びディセーブル信号を説明する図。

【図 17】図 15 の基準電圧選択回路の動作例を示す図。

【図 18】本実施形態の基準電圧選択回路の具体的な回路構成例を示す図。

【図 19】図 18 の回路図の一部の拡大図。

【図 20】図 19 のスイッチセルの回路構成例を示す図。

【図 21】本実施形態の変形例におけるガンマ補正データ設定回路の構成例のブロック図。

【図 22】本実施形態における電子機器の構成例のブロック図。

【符号の説明】

【0158】

10

20

30

40

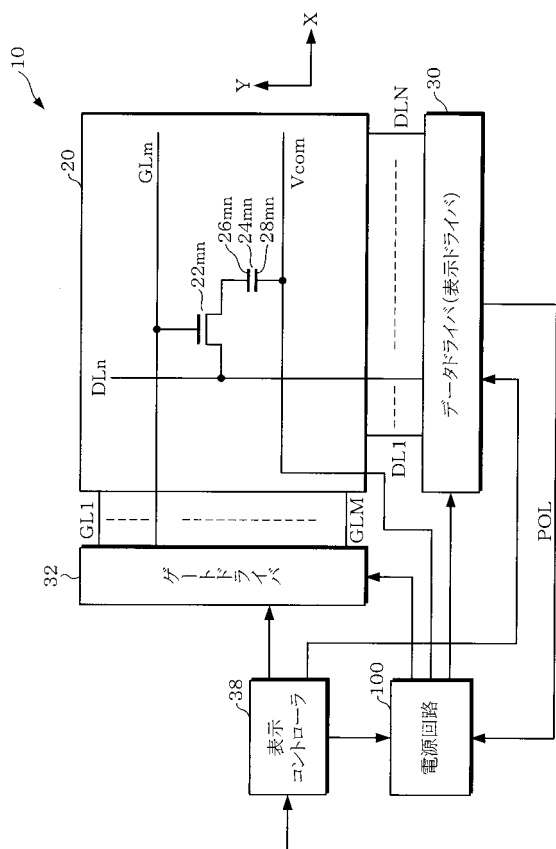
50

- 10 液晶表示装置、 20 LCDパネル、 30 データドライバ、
- 32 ゲートドライバ、 38 表示コントローラ、 40 シフトレジスタ、
- 42 レベルシフタ、 44 出力バッファ、 50 データラッチ、
- 52 ラインラッチ、 54 基準電圧発生回路、 56、56-1 DAC、
- 57-1 反転回路、 58、58-1 駆動回路、 100 電源回路、
- 120 EEPROM、 200 選択用電圧発生回路、 210 基準電圧選択回路、
- 220 ガンマ補正データレジスタ、 222、400 ガンマ補正データ設定回路、
- 230 シリアル/パラレル変換回路、
- 232、234、238、430 レベルシフタ、 236 シフトレジスタ、
- 410 アドレス生成回路、 420 アドレスデコーダ、
- dis ディセーブル信号、 enable イネーブル信号、
- OP0 ~ OP63 インピーダンス変換回路、
- REG0 ガンマ補正データの第1のビットのデータ、
- REG1 ガンマ補正データの第2のビットのデータ、
- REG2 ガンマ補正データの第3のビットのデータ
- SC1 第1のスイッチセル、 SC2 第2のスイッチセル、
- SC3 第3のスイッチセル、 SC4 第4のスイッチセル、
- SW1 第1のスイッチ素子、 SW2 第2のスイッチ素子、
- SW3 第3のスイッチ素子、 SW4 第4のスイッチ素子、
- V0 第1の基準電圧、 V1 第2の基準電圧、 VG0 第1の選択用電圧、
- VG1 第2の選択用電圧、 VG2 第3の選択用電圧

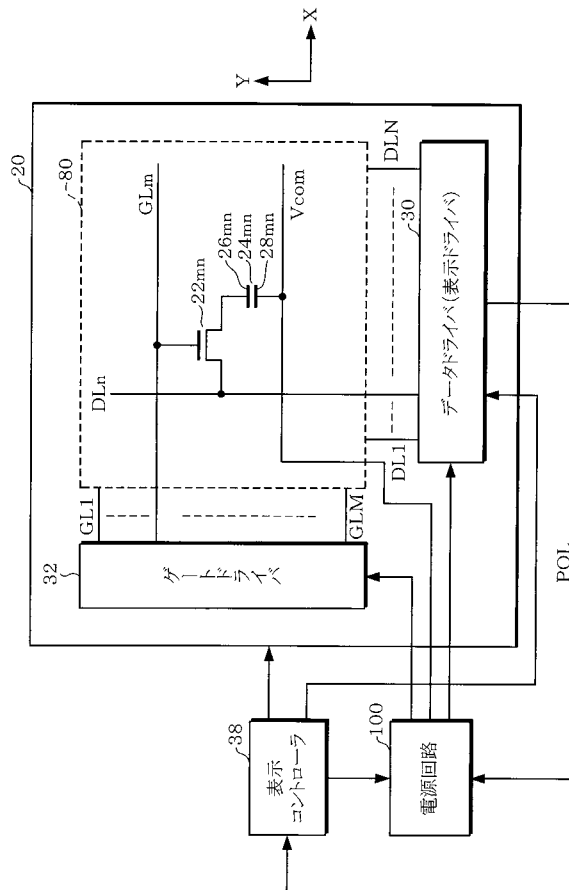
10

20

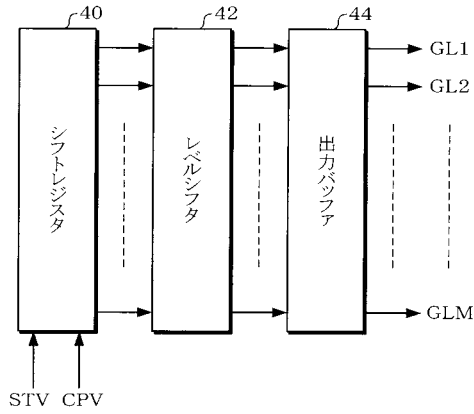
【図1】



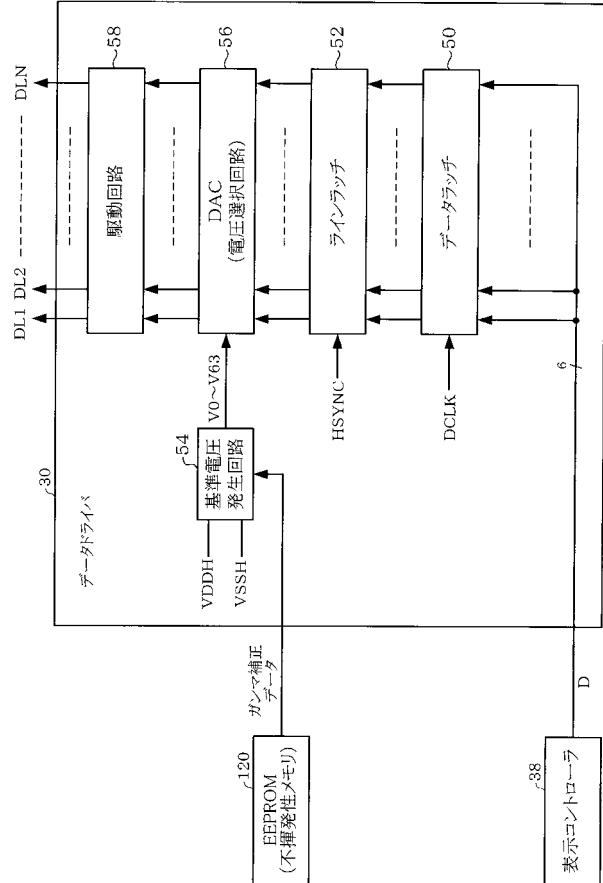
【図2】



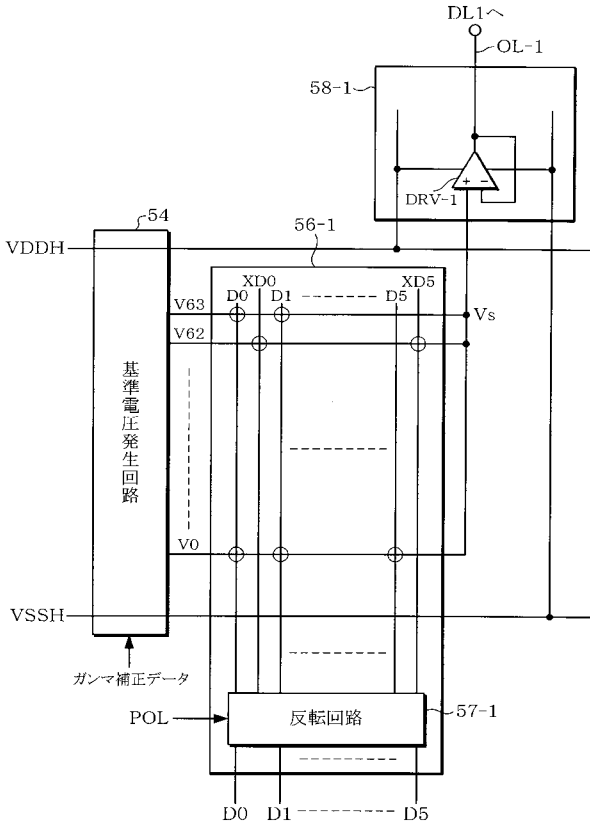
【図3】



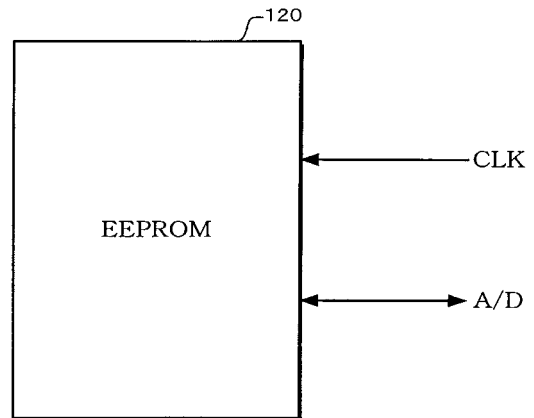
【図4】



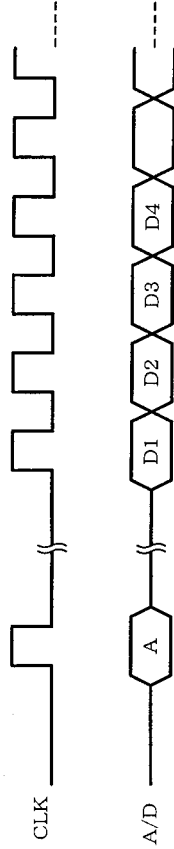
【図5】



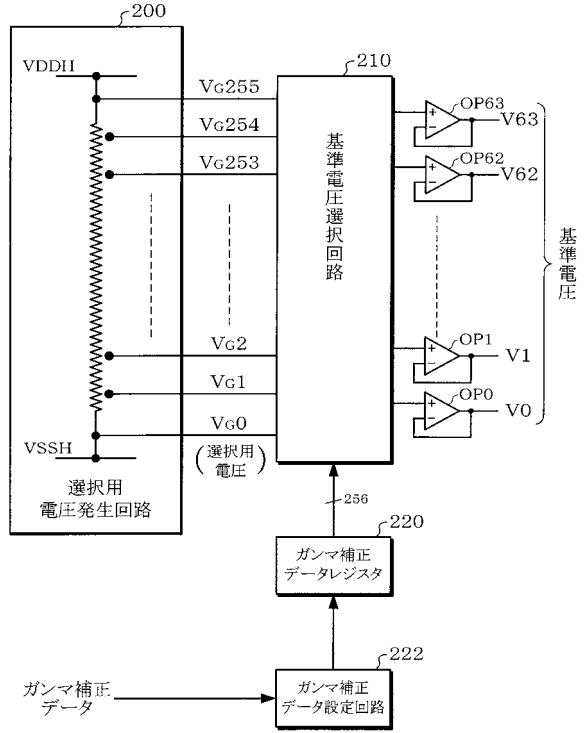
【図6】



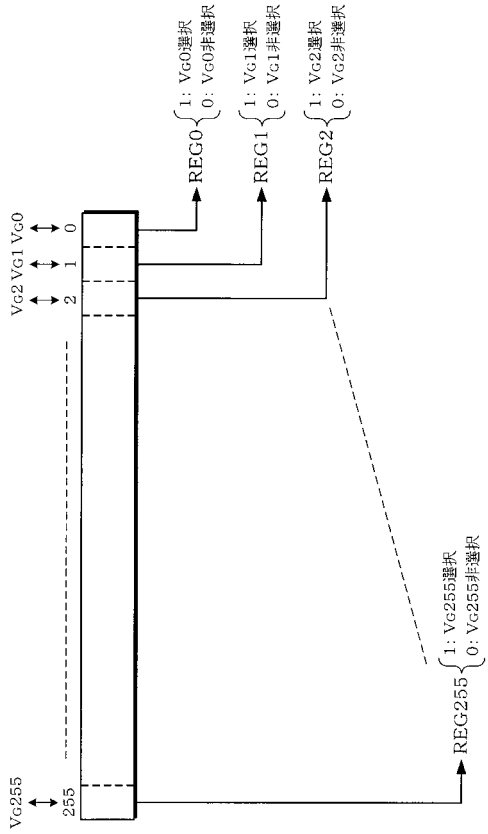
【 図 7 】



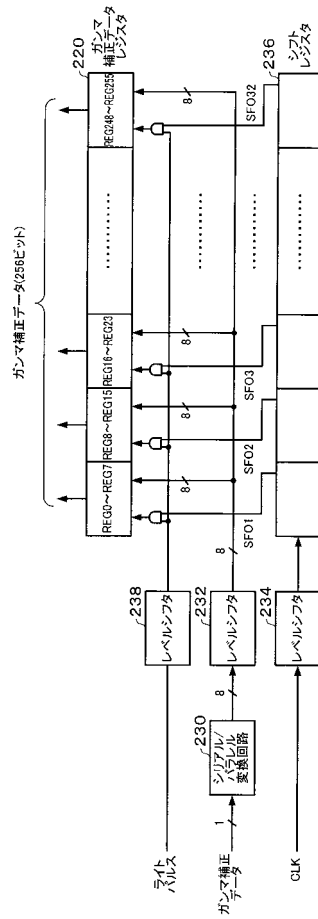
【 図 8 】



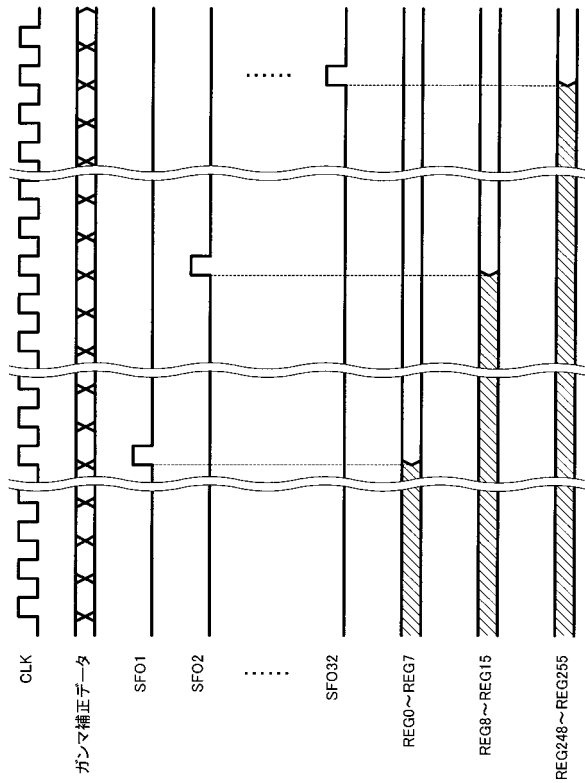
【 図 9 】



【 図 10 】



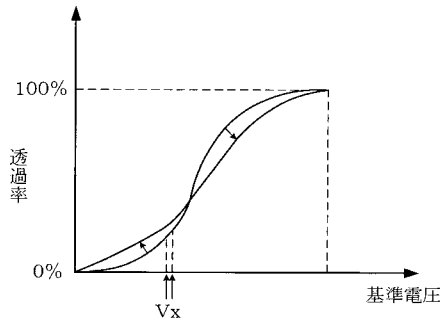
【 図 1 1 】



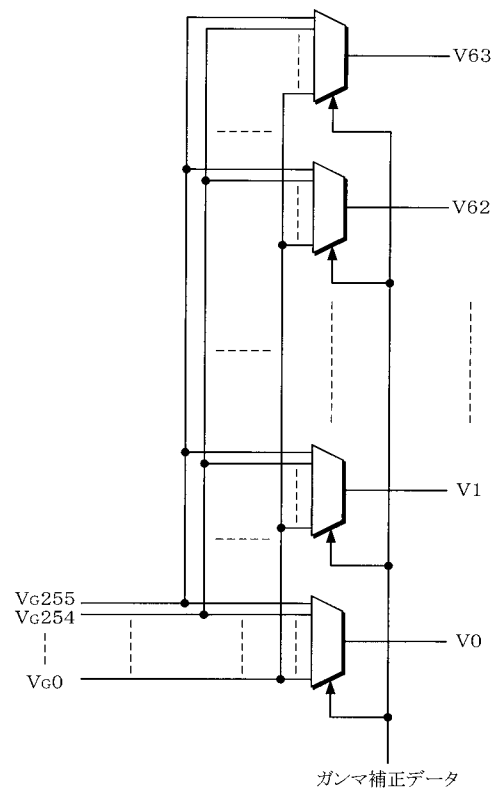
【 図 1 2 】

選択用電圧	ガンマ補正データ	基準電圧
V _{G255}	REG255=1	V ₆₃
V _{G254}	REG254=0	—
V _{G253}	REG253=0	—
V _{G252}	REG252=1	V ₆₂
⋮		
V _{G3}	REG3=0	—
V _{G2}	REG2=1	V ₁
V _{G1}	REG1=1	V ₀
V _{G0}	REG0=0	—

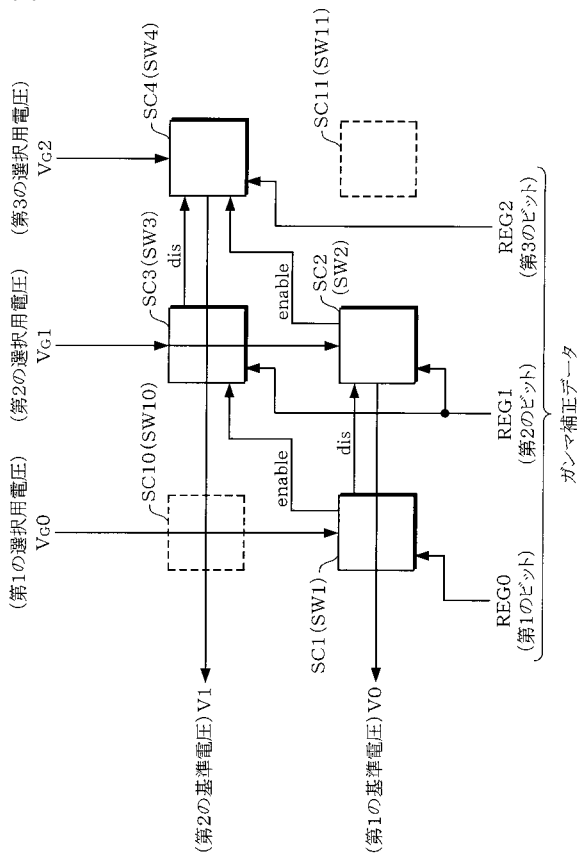
【 図 1 3 】



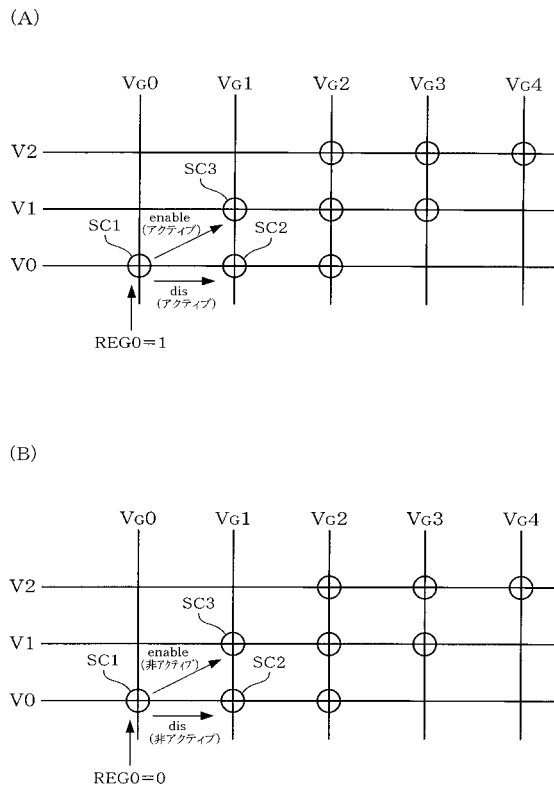
【 図 1 4 】



【 図 1 5 】



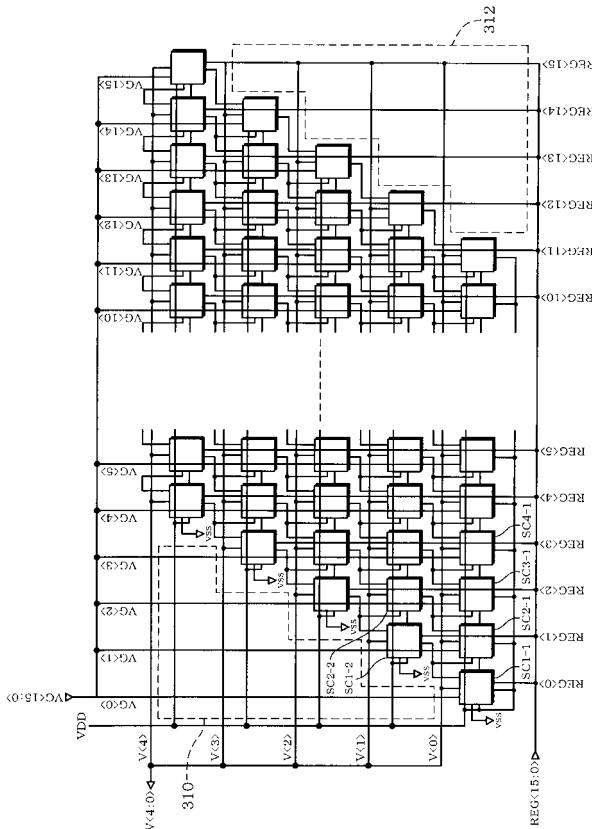
【 図 1 6 】



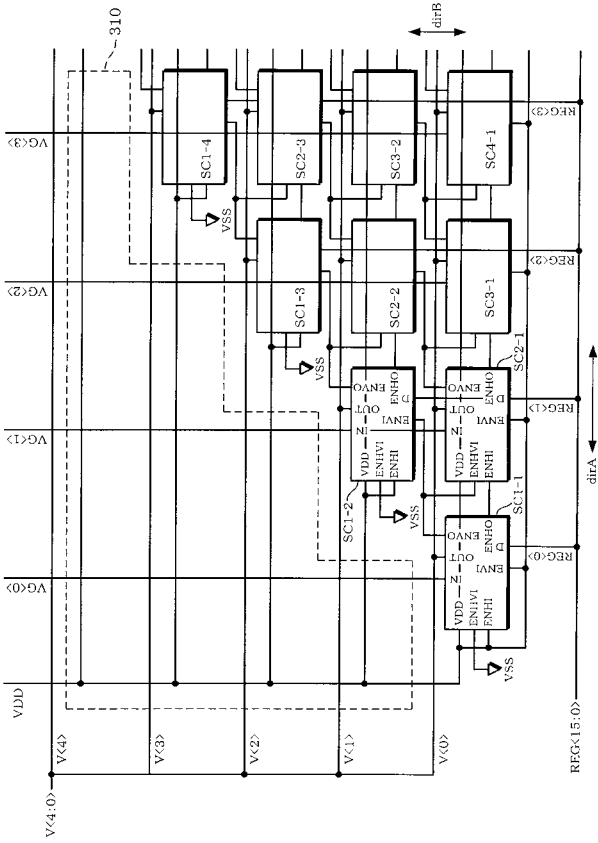
【 図 1 7 】

REG2	REG1	REG0	V1	V0
1	1	0	Vg2	Vg1
1	0	1	Vg2	Vg0
0	1	1	Vg1	Vg0

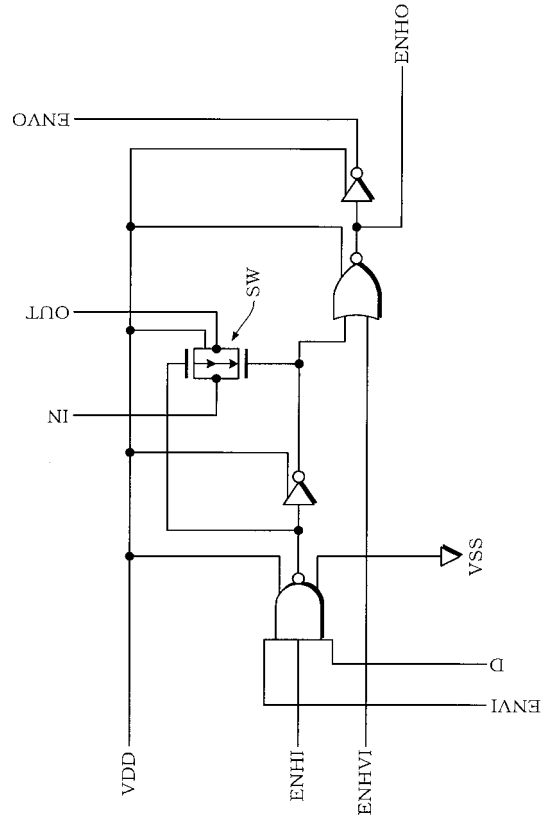
【 図 1 8 】



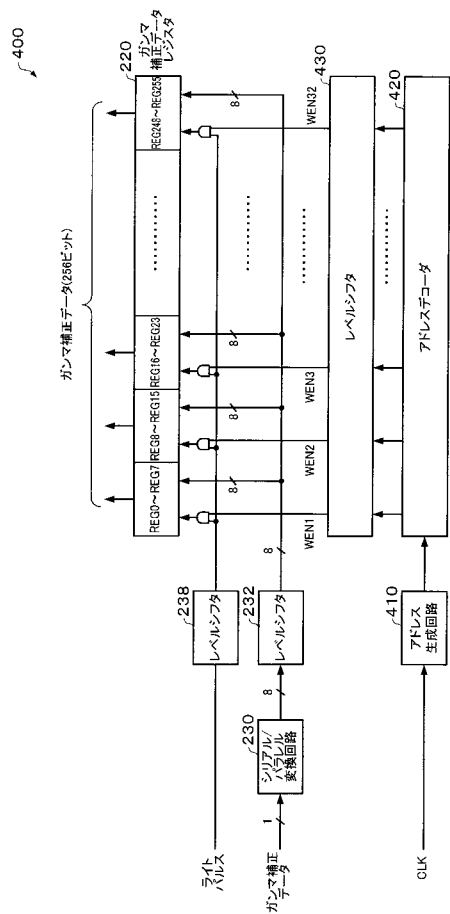
【図19】



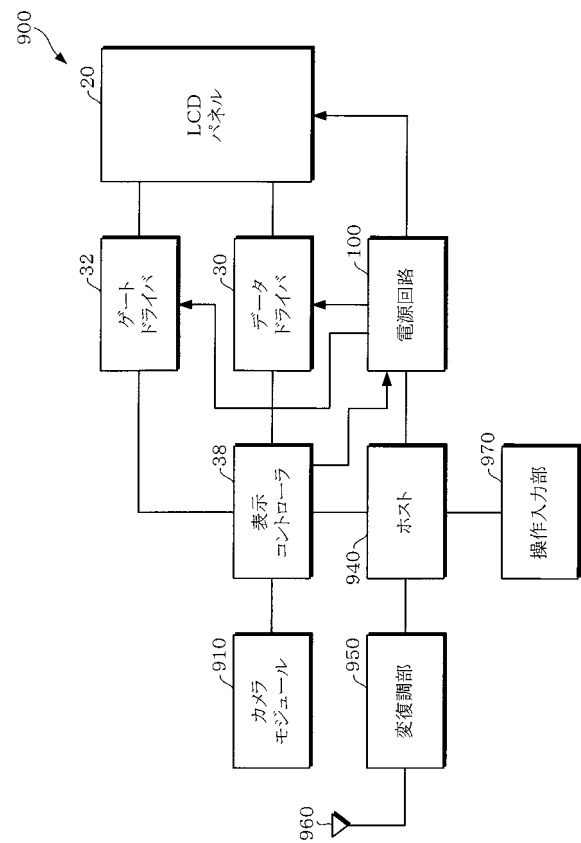
【図20】



【図21】



【図22】



フロントページの続き

(72)発明者 森田 晶

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 2H093 NA53 NA58 NC13 ND06

5C006 AF25 AF46 AF83 BB16 BF03 BF43 FA41 FA56

5C080 AA05 AA06 AA10 BB05 DD01 DD22 EE29 FF11 GG09 JJ02

JJ03 JJ04 JJ05 KK47