

A1

**DEMANDE  
DE BREVET D'INVENTION**

⑫

**N° 83 03421**

---

⑤4 Procédé et dispositif pour une conversion analogique-numérique rapide.

⑤1 Classification internationale (Int. Cl. 3). H 03 K 13/02.

⑫ Date de dépôt ..... 2 mars 1983.

③③ ③② ③① Priorité revendiquée : US, 3 mars 1982, n° 354.204; 31 août 1982, n° 413.422.

④1 Date de la mise à la disposition du  
public de la demande ..... B.O.P.I. — « Listes » n° 36 du 9-9-1983.

---

⑦1 Déposant : Société dite : RCA CORPORATION. — US.

⑦2 Invention de : Donald Jon Sauer et John Armer.

⑦3 Titulaire : *Idem* ⑦1

⑦4 Mandataire : Cabinet Z. Weinstein,  
20, av. de Friedland, 75008 Paris.

La présente invention se rapporte à des convertisseurs analogiques-numériques et en particulier à des convertisseurs analogiques-numériques où les bits du mot numérique sont développés séquentiellement.

5 L'allure à laquelle des signaux analogiques peuvent être convertis en mots numériques correspondants est limitée par la vitesse à laquelle peuvent être faites les comparaisons des signaux. On dispose actuellement de convertisseurs analogiques-numériques (ADC) où des conversions très  
10 rapides sont obtenues par "conversion éclair". Dans un convertisseur éclair, un comparateur est employé pour chaque état possible de sortie et un nombre égal de tensions analogiques de comparaison doit être développé. Ainsi, un ADC à N bits nécessite  $2^N - 1$  comparateurs et  $2^{N-1}$  tensions  
15 de comparaison. Par exemple, un convertisseur éclair à huit bits nécessite 255 comparateurs dont chacun compare le signal analogique à une portion  $m/256$  de la tension de référence (où  $m$  est un nombre entier entre 1 et 255 inclus). Des circuits logiques numériques de combinaison développent  
20 le mot numérique à huit bits résultant des niveaux numériques à la sortie des 255 comparateurs.

Les convertisseurs éclairs développent un nouvel échantillon numérique pour chaque cycle d'une horloge d'échantillonnage. Comme ils nécessitent autant de  
25 comparateurs et de tensions de comparaison, les convertisseurs éclairs ont tendance à nécessiter de très grandes surfaces sur un circuit intégré. Cela a tendance à rendre le circuit intégré plus coûteux et plus difficile à  
produire. De tels convertisseurs analogiques-numériques  
30 éclairs peuvent également nécessiter des quantités sensibles de courant électrique pour fonctionner.

Par ailleurs, des ADC à approximation successive ne nécessitent qu'un comparateur et déterminent le mot numérique à raison d'un bit à la fois. Tandis que les bits  
35 sont déterminés, ils sont appliqués à un convertisseur numérique-analogique (DAC) dans une connexion de contre-réaction pour développer la tension de comparaison pour le

bit suivant. Les ADC à approximation successive sont bien plus lents que les convertisseurs éclairs parce qu'il faut N cycles d'horloge pour chaque conversion complète, avec pour résultat que la fréquence de conversion n'est que de 5  $1/N$  de la fréquence d'horloge.

Par conséquent, il est nécessaire de trouver un ADC, nécessitant moins de comparateurs et de tensions de comparaison tout en produisant encore un nouvel échantillon numérique pour chaque cycle de l'horloge d'échantillonnage.

10 En conséquence, le dispositif de conversion analogique-numérique selon l'invention comprend un dispositif d'échantillonnage, pour produire, à ses sorties, des échantillons d'un signal analogique retardé en réponse à un signal d'horloge. Un dispositif de stockage reçoit les 15 signaux de bits produits par un certain nombre de comparateurs en réponse aux signaux analogiques échantillonnés et aux signaux respectifs de référence. Les signaux de référence sont développés en réponse aux signaux stockés de bits. Un dispositif de sortie développe le mot numérique 20 à partir des signaux de bits développés par les comparateurs.

L'invention sera mieux comprise, et d'autres buts, caractéristiques, détails et avantages de celle-ci apparaîtront plus clairement au cours de la description explicative qui va suivre faite en référence aux dessins 25 schématiques annexés donnés uniquement à titre d'exemple illustrant plusieurs modes de réalisation de l'invention et dans lesquels:

- les figures 1 et 5 sont des schémas partiellement sous forme de schéma-bloc, d'un dispositif selon l'invention; 30

- les figures 2 et 7 montrent des formes d'onde de signaux utiles à la compréhension du fonctionnement des dispositifs des figures 1 et 5, respectivement;

- la figure 3 est un schéma d'une partie du 35 dispositif de la figure 1;

- la figure 4 est un organigramme se rapportant au fonctionnement du dispositif de la figure 1; et

- la figure 6 est un schéma représentant les niveaux d'énergie d'électrons sous une électrode de porte flottante dans le dispositif de la figure 5.

Dans le mode de réalisation donné à titre  
5 d'exemple d'un dispositif comprenant le convertisseur analogique-numérique (ADC) de la présente invention que l'on peut voir sur la figure 1, une conversion analogique-numérique à quatre bits est accomplie dans une période de temps définie par quatre cycles d'un signal d'horloge  
10 d'échantillonnage CS. Pendant tout cycle d'horloge, un mot numérique à quatre bits développé aux bornes de sortie des bits en parallèle B1 à B8 est développé, qui représente la grandeur du signal analogique qui a été appliqué à la borne d'entrée de signaux vidéo analogiques 110 quatre  
15 cycles d'horloge plus tôt dans le temps.

Bien que quatre cycles d'horloge soient requis pour accomplir une conversion numérique-analogique, les échantillons numériques de sortie sont développés aux bornes de sortie B1 à B8 à la fréquence de récurrence du  
20 signal d'horloge. Cela est dû au fait que pendant tout cycle d'horloge, quatre conversions sont accomplies, c'est-à-dire que quatre comparaisons séparées sont faites en parallèle pour développer : le bit le plus important (MSB) de l'échantillon de valeur analogique la plus récente,  
25 le second MSB de l'échantillon de valeur analogique la seconde plus récente, le troisième MSB de l'échantillon de valeur analogique la troisième plus récente et le bit le moins important (LSB) de l'échantillon de la valeur analogique la quatrième plus récente.

30 Le fonctionnement détaillé du ADC de la figure 1 sera décrit en se référant aux formes d'onde de signaux de la figure 2. Le générateur 114 de signaux d'horloge d'échantillonnage développe des signaux d'horloge CS ayant une phase  $\phi_1$  que l'on peut voir sur la figure 2b et une  
35 phase  $\phi_2$  qui est l'inversion de la phase  $\phi_1$ . Une ligne à retard analogique à prises 112 est un dispositif de transfert de charge métal-oxyde semi-conducteur avec au

moins quatre prises de sortie également espacées d'un temps d'horloge d'échantillonnage sur le dispositif.

La ligne à retard 112 échantillonne le signal analogique présent à la borne d'entrée 110 pendant le  
5 temps où le signal d'horloge  $\phi_1$  est haut en chargeant un premier noeud interne à la tension du signal analogique. Quand la phase  $\phi_1$  devient basse et que la phase  $\phi_2$  devient haute, la charge au premier noeud interne est transférée à un second noeud interne .

10 La ligne à retard 112 comprend un certain nombre de ces premier et second noeuds internes le long desquels la charge est transférée en réponse au signal d'horloge CS. Comme chaque prise de sortie reçoit le signal analogique échantillonné de l'un des premiers noeuds internes lorsque  
15 la phase d'horloge  $\phi_1$  est haute et d'un second noeud interne correspondant quand la phase  $\phi_2$  est haute, le signal analogique échantillonné produit à chaque prise de sortie est présent pendant les deux moitiés du cycle d'horloge. L'échantillon de tension analogique "se déplace" à travers  
20 les prises T1 à T4 en réponse à des cycles successifs du signal d'horloge CS.

Par suite, la valeur analogique pendant un premier cycle d'horloge est, en réalité, échantillonnée et maintenue à la première prise T1 pendant ce cycle d'horloge,  
25 à la seconde prise T2 pendant le second cycle, à la troisième prise T3 pendant le troisième cycle d'horloge et ainsi de suite. Le signal analogique donné à titre d'exemple est représenté sur la figure 2a à une valeur de "7" pendant le cycle d'horloge 2, une valeur de "14"  
30 pendant le cycle d'horloge 3 et une valeur de "0" pendant les cycles d'horloge 1 et 4 à 7. La séquence des valeurs échantillonnées correspondant à ce signal analogique est développée à la prise T1, comme le montre la figure 2c, et progresse le long de la ligne à retard 112 jusqu'aux  
35 prises successives T2, T3 et T4, comme le montrent les figures 2d , 2e et 2f respectivement, à des cycles successifs de l'horloge d'échantillonnage CS.

Le LSB de l'échantillon numérique a un poids de  $2^0=1$ , le bit suivant un poids de  $2^1=2$  et ainsi de suite jusqu'au MSB qui a un poids de  $2^3=8$ . Pour la facilité de la description qui suit, des comparateurs C, des registres à décalage SR, des bornes de bits de sortie B et des convertisseurs numériques-analogiques DAC sont désignés par un suffixe numérique correspondant au poids décimal du bit qu'ils sont employés à développer. Par exemple, C8, SR-8, B8 et DAC-8 développent le MSB qui a un poids de 8 dans le système à quatre bits décrit ici à titre d'exemple.

Quatre comparateurs C8, C4, C2 et C1 reçoivent les valeurs analogiques échantillonnées des prises T1, T2, T3 et T4 respectivement, de la ligne à retard 112 à leur borne d'entrée directe. Le comparateur C8 détermine le MSB, C4 le second MSB, C2 le troisième MSB, et C1 le LSB des échantillons numériques. Chaque comparateur reçoit à sa borne d'entrée inverse une tension de comparaison développée à partir d'un mot numérique de comparaison. Pour chaque comparateur, le mot numérique comprend un niveau haut ("1") à la position du bit à déterminer, un niveau bas ("0") pour toutes les positions des bits moins importants (s'il y en a) et la valeur des bits réelle ("1" ou "0") pour toutes les positions des bits plus importants (s'il y en a). Dans le cas présent, les valeurs réelles des bits sont les valeurs des bits d'un mot numérique qui ont été développées pendant des cycles précédents de l'horloge d'échantillonnage comme faisant partie du processus de conversion séquentielle.

A cette fin, les signaux de bits à la sortie du comparateur sont stockés dans des registres à décalage SR-8, SR-4 et SR-2 en réponse au signal d'horloge CS. Ces signaux de bits sont appliqués aux bornes d'entrée de registres à décalage respectifs : le comparateur C8 au registre à décalage à trois étages SR-8, C4 au registre à décalage à deux étages SR-4 et C2 au registre à décalage à un seul étage SR-2. Aucun dispositif de stockage n'est requis pour le LSB qui est développé directement par le comparateur C1.

Chaque bit de l'échantillon numérique est développé

pendant un intervalle d'horloge subséquent dans l'ordre de son importance décroissante, c'est-à-dire le MSB d'abord, puis le second MSB et ainsi de suite jusqu'au LSB. De façon correspondante, la longueur du registre à décalage pour chaque bit augmente d'un étage afin d'augmenter l'importance des bits, c'est-à-dire aucun registre à décalage pour B1 le LSB, un registre à décalage à un étage pour B2 le bit le plus important suivant et ainsi de suite jusqu'à un registre à décalage à trois étages pour B8 le MSB. Par suite, les bits correspondant au même échantillon de valeur analogique sont toujours un nombre égal d'étages de registre à décalage retiré. des bornes de sortie B8, B4, B2 et B1 afin d'y développer un mot d'échantillon numérique à quatre bits en parallèle. Les bornes B8, B4 et B2 relient à la sortie du dernier étage de décalage du registre à décalage associé.

En d'autres termes, le nombre de cycles d'horloge du retard numérique introduit par les registres à décalage respectifs est choisi de façon que le nombre total de cycles d'horloge du retard introduit par la ligne à retard analogique 112 et par les registres à décalage SR soit le même pour chaque bit. Lorsque I est un nombre entier et  $2^I$  est le poids du signal de bits stocké dans le registre à décalage donné, le registre à décalage a I étages de décalage. Par ailleurs, quand J est un nombre entier représentant le nombre de cycles d'horloge du retard associé à une prise de sortie de la ligne à retard 112, la somme I+J pour la prise de la ligne à retard et le registre à décalage associé à tout bit est identique à la somme semblable pour chacun des autres bits. Par exemple, le MSB est retardé de quatre cycles d'horloge comprenant un cycle dans la ligne à retard 112 et trois cycles dans le registre à décalage SR-8; le LSB est retardé de quatre cycles dans la ligne à retard 10 et n'a pas de registre à décalage. C'est-à-dire que la somme I+J est égale à quatre pour le mode de réalisation de la figure 1.

Des tensions de comparaison appliquées aux entrées

inverses des comparateurs C8, C4, C2 et C1 sont développées par des convertisseurs numériques-analogiques DAC-8, DAC-4, DAC-2 et DAC-1, respectivement. Chaque DAC reçoit des valeurs de bit réelles, des "1" et des "0", à ses 5 connexions pondérées d'entrée désignées par 8, 4, 2 et 1 correspondant aux poids des positions des bits respectifs. Chaque DAC reçoit un "1" à sa connexion d'entrée correspondant à la position du bit pour lequel il développe une tension de comparaison, des "0" à ses connexions d'entrée 10 de bits de poids inférieur et les valeurs des bits réelles à ses connexions d'entrée des bits de poids supérieur. Par exemple, DAC-2 développe la tension de comparaison pour le second bit (poids 2). Ainsi, la connexion d'entrée "2" du DAC-2 reçoit un niveau "1" et la connexion d'entrée 15 "1" reçoit un niveau "0". La connexion d'entrée "4" du DAC-2 reçoit la valeur réelle précédemment déterminée du bit de poids 4 de l'avant-dernier étage du registre à décalage SR-4; la connexion d'entrée 8 reçoit la valeur réelle précédemment déterminée du bit de poids 8 de 20 l'avant-dernier étage du SR-8. DAC-8, DAC-4 et DAC-1 sont connectés de façon correspondante.

Le fonctionnement ci-dessus décrit est de plus représenté particulièrement par la figure 2 et par le tableau I ci-dessous qui donne les signaux numériques 25 présents en divers points dans le dispositif de la figure 1.

TABLEAU I

Cycle d'horloge	1	2	3	4	5	6	7
<u>Signaux des bits des comparateurs :</u>							
5	C8	0	0	1	0	0	0
	C4	0	0	1	1	0	0
	C2	0	0	0	1	1	0
	C1	0	0	0	0	1	0
<u>Mots numériques stockés dans les registres à décalage :</u>							
10	SR-8	000	000	000	100	010	001
	SR-4	00	00	00	10	11	01
	SR-2	0	0	0	0	1	1
<u>Mots d'entrée du DAC :</u>							
15	DAC-8	1000	1000	1000	1000	1000	1000
	DAC-4	0100	0100	0100	1100	0100	0100
	DAC-2	0010	0010	0010	0110	1110	0010
	DAC-1	0001	0001	0001	0001	0111	1111
<u>Mot de sortie :</u>							
20	B8, B4, B2, B1	0000	0000	0000	0000	0111	1110

Les comparateurs C8, C4, C2 et C1 produisent respectivement les signaux de sortie des figures 2g, 2h, 2i et 2j en réponse aux échantillons analogiques des figures 2c, 2d, 2e et 2f respectivement pour les cycles d'horloge 1 à 7. Ces signaux de sortie des comparateurs forcent les registres à décalage SR-8, SR-4 et SR-2 à stocker les mots numériques indiqués au tableau I, qui à leur tour produisent les mots d'entrée du DAC également indiqués. Par suite, les mots de sortie d'échantillon numérique indiqués au tableau I sont produits comprenant quatre bits en parallèle. Les figures 2k, 2l, 2m et 2n montrent les formes d'onde aux bornes B8, B4, B2 et B1 correspondant aux mots de sortie du tableau I.

Une forme générale du DAC que l'on emploie avantagement pour le DAC-8, le DAC-4, le DAC-2 et le DAC-1 est un réseau d'échelonnage à résistances pondéré conventionnel

indiqué sur la figure 3. Quand une ou plusieurs des entrées de bits de poids inférieur d'un DAC est connectée en permanence à la masse G pour recevoir un signal à un niveau "0", la partie inférieure de la structure de réseau R-2R peut être simplifiée. Par exemple, lorsque la structure de la figure 3 est employée pour le DAC-2, la résistance pondérée R la plus proche de la masse G et les deux résistances pondérées 2R connectées à l'entrée "1" et à la masse G peuvent être combinées en une seule résistance équivalente ayant un poids de 2R. La plus grande simplification est faite pour le DAC associé au MSB qui devient un simple diviseur de tension employant deux résistances de valeur égale. Le DAC-1 associé au LSB ne peut être amené à une telle simplification.

L'organigramme de la figure 4 montre les étapes du fonctionnement du ADC de la figure 1 décrit ci-dessus. Dans l'intervalle de temps défini par un cycle de l'horloge d'échantillonnage, le signal analogique 200 est d'abord échantillonné et maintenu en 202 et est comparé en 204 à un signal analogique représentatif de la valeur du MSB du mot numérique. Le bit résultant de cette comparaison est stocké en 206. Dans chaque intervalle subséquent de temps, le processus de conversion 202, 204 et ainsi de suite commence de nouveau en 208 pour la grandeur alors présente du signal analogique tandis que le processus de conversion 210, 212 et ainsi de suite continue pour chacune des grandeurs analogiques précédemment échantillonnées et maintenues en 202. Alors, pour chaque mot numérique qui n'est pas encore totalement développé, un signal analogique représentatif de la somme pondérée 210 des bits précédemment produits et stockés et du bit le moins important suivant du mot numérique est développé. Le signal analogique précédemment maintenu en 202 est alors comparé en 212 à la valeur analogique représentative de la somme pondérée.

Si tous les bits d'un mot numérique donné comprenant le LSB n'ont pas encore été développés en 214, la branche NON est suivie. Le bit résultant est stocké en

216 et la séquence des étapes de développement 210 et de comparaison 212 est répétée en 220 pour chaque mot numérique qui est développé. Si tous les bits comprenant le LSB ont été développés en 214, la branche OUI est suivie forçant le mot numérique à être développé en 218 à partir du LSB et les bits précédemment développés et stockés. La séquence se répète en 220 en commençant à l'étape de développement 210 pour chaque mot numérique qui est développé.

10 Comme on l'a indiqué ci-dessus, cette séquence d'étapes est accomplie dans chaque intervalle subséquent de temps. Ainsi, en tout intervalle de temps donné, le MSB d'un mot numérique correspondant à la grandeur analogique présente est développé et le mot numérique complet dont le 15 LSB est développé, est finalement développé. De plus, d'autres mots numériques sont dans divers stades de développement : dans un ADC à N bits, N-2 autres mots numériques sont également développés.

Le mode de réalisation d'un ADC représenté sur la 20 figure 5 emploie une circulation de données par pipeline par des voies de transfert de charge en parallèle dans un dispositif à couplage de charge (CCD) pour la mise en oeuvre de l'algorithme de conversion par approximation successive ci-dessus décrit. La comparaison différentielle 25 de la représentation du signal analogique reçu dans une première voie de transfert de charge à une représentation d'un signal analogique quantifié dans une seconde voie de transfert de charge plus un bit distinct d'essai dans une troisième voie de transfert de charge est facilitée en 30 utilisant un processus de soustraction de charge différentielle à porte flottante. Une batterie de registres à décalage de plus en plus courts est utilisée pour convertir la sortie numérique du ADC sur pipeline des comparateurs en une forme numérique à bits en parallèle.

35 L'algorithme par approximation successive qui dérive d'un niveau standard les échantillons donnant lieu aux composantes négatives de tension sur les électrodes

de détection à porte flottante  $FG_1, FG_2, \dots, FG_N$  sera maintenant décrit en détail en se référant à la figure 5. La composante positive de tension à l'électrode  $FG_1$ , lorsqu'elle fonctionne comme un détecteur à porte flottante, 5 peut être attribuée aux paquets de charges d'amplitude représentative du signal analogique de la source 14 injectés par l'étage d'injection de charge 12. La composante négative de tension à l'électrode  $FG_1$ , quand elle fonctionne comme un détecteur à porte flottante, peut être attribuée 10 aux paquets de charges négatives d'amplitude  $Q_R/2$  qui sont appliqués par le répartiteur de charge 18-1. La réponse de l'amplificateur de comparaison  $SA_1$  au potentiel net à l'électrode  $FG_1$  étant négative indique que l'amplitude d'un signal analogique d'échantillonnage d'un paquet de 15 charges négatives reçu extrait d'un puits de stockage sous l'électrode  $FG_1$  par la voie 16 à la transition d'horloge  $\phi_1$  précédant l'intervalle de détection ne peut dépasser un paquet de charges négatives d'amplitude  $Q_R/2$  introduit dans un puits de stockage sous l'électrode  $FG_1$  par la 20 voie 19-1 à la transition concurrente d'horloge  $\phi_2$  précédant l'intervalle de détection. Cette réponse est sujette à un retard numérique  $DD_1$ . La réponse retardée  $PSD_1$  polarise alors en direct la porte  $G_1$  pour drainer vers une connexion de drain, le paquet de charges négatives à la 25 sortie de la voie de transfert de charge 19-1, plutôt que de le laisser avancer vers la voie de transfert de charge de somme partielle 20-2 pendant un cycle suivant d'horloge (Les initiales "PSD" utilisées dans les descriptions alphanumériques  $PSD_1, PSD_2, \dots, PSD_n$  des signaux appliqués 30 aux portes  $G_1, G_2, \dots, G_n$  pour contrôler le "vidage" d'une charge d'une voie de somme partielle indiquent "vidage somme partielle".  $PSD_1$  est montré en trait plein sur le schéma des temps de la figure 7; et  $PSD_2$  est superposé en pointillé sur le même axe des temps).

35 Dans le cas qui vient d'être décrit, où la charge de somme partielle de 19-1 est vidée, au cycle d'horloge qui suit, la voie de transfert de charge 19-2 déplace un

paquet de charges négatives d'amplitude  $Q_R/4$  sous l'électrode de détection à porte flottante  $FG_2$ , mais la voie de transfert de charge 20-2 ne déplace pas de paquet de charges sous  $FG_2$ . La sortie ZERO du retard numérique  $DD_1$  est avancée par un registre à décalage à  $(n-1)$  bits, SR-(n-1) vers la sortie de l'ADC sous forme de son bit le plus important (MSB), c'est-à-dire le bit indiquant si la représentation binaire pondérée de deux élevé à la puissance  $(n-1)$  ne fait pas partie du signal analogique quantifié. SR-(n-1) est l'un des  $(n-1)$  registres à décalage plus courts d'un étage, en succession, dans les sections successives du ADC jusqu'au registre à décalage à un seul étage à l'avant-dernière section (non représentée) du ADC. Ces registres à décalage convertissent la sortie du ADC en pipeline en une forme numérique à bits en parallèle. Ces registres à décalage sont de préférence des registres CCD du type à voie de surface du fait de la plus simple interface avec un circuit à transistors à effet de champ du type MOS dans les amplificateurs de détection précédents.

Par ailleurs, on considère le cas où la réponse retardée de l'amplificateur de détection  $SA_1$  par rapport au potentiel net à l'électrode  $FG_1$  est négative, indiquant que le signal d'entrée analogique d'échantillonnage du paquet de charges négatives a une amplitude qui dépasse  $Q_R/2$ . Cette réponse est transmise à la sortie du ADC par le registre à décalage SR-(n-1) sous forme d'un bit le plus important UN. La réponse retardée appliquée par le retard numérique  $DD_1$  à la porte  $G_1$  anticipe le drainage de la charge de la sortie de la voie de transfert de charge 19-1. Ainsi, cette charge négative d'amplitude  $Q_R/2$ , n'ayant pas été vidée, forme l'entrée de la voie de transfert de charge de somme partielle 20-2 pendant le cycle d'horloge suivant.

Alors, pendant le cycle d'horloge suivant, la porte flottante  $FG_2$  aura eu la charge négative totale d'amplitude  $Q_R/4$  ou  $3Q_R/4$  qui sera passée sous elle pour induire la composante négative de son potentiel détecté,

selon que le bit le plus important du procédé du ADC a été déterminé comme étant un ZERO ou un UN. Une combinaison par soustraction de cette composante de potentiel, avec celle répondant au signal analogique d'entrée pendant la  
5 détection par la porte flottante, forme l'entrée de l'amplificateur de détection SA<sub>2</sub>. Sa réponse est un UN ou un ZERO selon que Q<sub>S</sub> dépasse ou ne dépasse pas l'amplitude de la charge négative induisant une composante négative de potentiel à l'électrode FG<sub>2</sub>. Cette réponse  
10 est retardée par le retard numérique DD<sub>2</sub> pour produire un signal PDS<sub>2</sub> qui contrôle le potentiel de l'électrode G<sub>2</sub>, pour drainer la charge négative à la sortie de la voie de transfert de charge du niveau de référence 19-2 si la réponse est ZERO. Si la réponse est un UN, le paquet de  
15 charges négatives n'est pas perturbé et avance pendant le cycle d'horloge suivant pour former l'entrée de la voie de transfert de charge de somme partielle 20-3 (non représentée). La réponse retardée du retard numérique DD<sub>2</sub> est encore retardée par le registre à décalage de (n-2) bits,  
20 SR-(n-2), donc le second bit le plus important du ADC à pipeline est produit en parallèle avec son bit le plus important. C'est le bit décrivant si le poids binaire représentatif de deux élevé à la puissance (n-2) est ou n'est pas contenu dans le signal analogique quantifié.

25 La technique d'approximation successive décrite se répète à travers chaque section successive de ADC. La nème et dernière section du ADC applique le bit le moins important de la conversion directement du retard numérique DD<sub>n</sub>. C'est le bit décrivant si le poids binaire  
30 représentatif de 1 sera ou ne sera pas contenu dans le signal analogique quantifié de sortie. Si le signal analogique quantifié n'est pas requis comme une sortie du ADC, la sortie de la voie de transfert de charge 19-n peut être directement vidée vers une connexion de drain,  
35 permettant de supprimer la structure de porte G<sub>n</sub> et le trajet vers une combinaison finale de charge comme à l'entrée d'une autre voie de transfert de charge 20-(n+1).

Le fonctionnement de ce ADC diffère d'un ADC conventionnel utilisant un algorithme d'approximation successive par le fait que les comparaisons à des fractions pondérées binaires du niveau de référence ne sont pas  
5 faites à raison d'une à la fois, mais au contraire un certain nombre de comparaisons,  $n$  en nombre, sont simultanément faites sur  $n$  échantillons successifs de signaux. Cela permet d'obtenir une allure rapide de conversion.

10 Une remise à zéro automatique sur des échantillons alternés passant à travers le ADC, force l'allure de conversion analogique-numérique ou allure effective d'échantillonnage, à être égale à la moitié de l'allure ou fréquence des signaux d'horloge appliqués aux voies de  
15 transfert de charge du ADC. Une fréquence effective d'échantillonnage du signal analogique reçu égale à la fréquence d'horloge est obtenue par multiplexage par répartition dans le temps de deux des ADC de la figure 5 en faisant fonctionner leurs horloges monophasées complé-  
20 mentaires en opposition de phase l'une par rapport à l'autre. Cependant, le temps total de conversion pour les  $n$  bits de la sortie du ADC présente un retard ou temps d'attente égal à  $n$  fois le temps requis pour obtenir chaque bit de la conversion. Par exemple, dans un ADC à dispositif à couplage de charge à huit bits avec quatre étages  
25 par section, le temps d'attente sera de  $1,6 \mu s$  en supposant une fréquence d'horloge de 20 MHz et une fréquence d'échantillonnage de 10 MHz du signal analogique de la source 14.

30 Pour la facilité, la description qui suit des détails des aspects du dispositif à transfert de charge du ADC de la figure 5 est écrite en suivant la convention selon laquelle le substrat semi-conducteur dans lequel existent les voies de transfert de charge est orienté  
35 afin que les électrodes de porte recouvrent les voies. La figure 5 montre la première, la seconde et la dernière des " $n$ " sections d'un convertisseur analogique-numérique

à CCD, où "n" est égal au nombre de bits de résolution que l'ADC doit produire. Pour obtenir à la fois une forte résolution et une forte fréquence d'échantillonnage, le ADC de la figure 5 montre une circulation de données par pipeline en utilisant des registres à décalage à CCD pour synchroniser les sorties des sections successives du convertisseur, de la soustraction de charge différentielle par porte flottante et des amplificateurs de détection à vitesse rapide à remise à zéro automatique.

10 Le processus de soustraction de charge différentielle par porte flottante, qui sera décrit maintenant en plus de détail, est facilité en utilisant des horloges monophasées complémentaires. Le signal d'horloge monophasé est appliqué à une voie de CCD en appliquant une seule  
15 phase d'un signal d'horloge d'onde rectangulaire à une sur deux des portes de stockage et de transfert par paires et en appliquant, aux portes intermédiaires de stockage et de transfert par paires, un potentiel direct de référence  $V_{REF}$ . Il est facile de rendre la valeur de  $V_{REF}$  sensiblement égale à la valeur moyenne du signal d'horloge d'onde  
20 rectangulaire afin de créer des conditions de potentiel de chaque voie de CCD ressemblant à celles d'un agencement de signaux d'horloge à deux phases standard. Les horloges monophasées complémentaires sont formées en mettant les  
25 signaux respectifs rectangulaires d'horloge dans deux voies de CCD en opposition de phase, afin que l'un soit à un potentiel élevé quand l'autre est à un potentiel bas et inversement.

La porte flottante est de façon récurrente  
30 verrouillée à  $V_{REF}$  comme mesure de restauration du courant continu avant remise à zéro automatique. Pour faciliter la remise à zéro automatique, à des cycles alternés d'horloge  $\phi_1$ , le multiplexeur 10 applique un signal au niveau zéro à un étage d'injection de charge 12, et le  
35 multiplexeur 11 fonctionne sur les cycles d'horloge  $\phi_2$  suivants pour appliquer un signal au niveau zéro à un étage d'injection de charge 13. Ces signaux au niveau zéro

conditionnent les étages d'injection de charge 12 et 13 pour ne pas injecter de charge dans les voies de transfert de charge les suivant, afin de propager des puits vides d'énergie à travers les voies de transfert de charge les 5 suivant. Lorsque les étages 12 et 13 d'injection de charge sont du type remplissage et débordement, l'injection de la charge peut être inhibée par les multiplexeurs 10 et 11 choisissant une tension très négative pour application aux étages 12 et 13. Ou bien les multiplexeurs 10 et 11 10 peuvent être formés simplement en inhibant sélectivement des impulsions de remplissage à la source de l'étage d'injection de charge du type remplissage et débordement.

A des cycles  $\phi_1$  alternés, quand le multiplexeur 10 choisit la source de signaux analogiques 14, la tension du 15 signal analogique est accompagnée d'une composante de référence  $V_{ZERO} \cdot V_{ZERO}$  est la tension à laquelle l'étage 12 d'injection de charge est à la limite de ne plus injecter de charge.

Pendant les cycles d'horloge entre les cycles 20 d'horloge où une remise au zéro automatique est accomplie, le multiplexeur 10 choisit la tension du signal analogique d'entrée à la source 14 pour application à l'étage d'injection de charge 12, et le multiplexeur 11 choisit un niveau de tension standard à la source 15 pour applica- 25 tion à l'étage d'injection de charge 13. Le niveau de tension standard est le double d'une tension continue  $V_{UN}$  en se rapportant à la tension à la limite où l'étage d'injection de charge 13 n'injecte plus de charge.  $V_{UN}$  correspond à la valeur de la tension appliquée par la 30 source de signaux analogiques 14, en se référant à  $V_{ZERO}$ , qui doit être celle pour laquelle le bit le plus important à la sortie du ADC est un UN binaire tandis que les bits les moins importants sont tous des ZEROS. Cette tension standard doit être quelque peu plus faible que la tension 35 qui, quand elle est appliquée à l'un des étages d'injection de charge 12 et 13, se trouve juste en dessous de la tension pouvant provoquer un débordement du premier puits d'énergie

dans la voie de transfert de charge qui s'ensuit, plus faible d'au moins  $V_{ZERO}$ . Elle ne doit pas être beaucoup plus faible car une erreur au comparateur dans les processus de comparaison du convertisseur analogique-numérique en  
5 est rendue pire.

L'étage d'injection de charge 12 injecte des paquets de charges négatives alternativement de valeur zéro et d'amplitude variable  $Q_S + Q_0$  dans une voie de transfert de charge "signal analogique" 16 au-dessus de laquelle un certain nombre  
10 numéroté par  $n$ , d'électrodes de détection à porte flottante  $FG_1, FG_2, \dots, FG_n$  sont disposées.  $Q_0$  est la charge associée à l'entrée  $V_{ZERO}$  et  $Q_S$  est la charge associée à la tension du signal analogique en plus de  $V_{ZERO}$ . La voie 16 de transfert de charge fonctionne avec  
15 des signaux d'horloge monophasés, les portes où n'est pas appliquée  $V_{REF}$  ayant la même phase d'horloge  $\phi_1$  qui leur est appliquée.

La voie de transfert de charge 16 est représentée sous forme abrégée sur la figure 5. Les seules portes  
20 représentées, étant illustrées en pointillé, sont les portes flottantes et les portes de stockage immédiatement avant et après chaque porte flottante. Cela est fait pour indiquer les cadences relatives des signaux d'horloge monophasés le long des diverses voies de transfert de  
25 charge indiquées par des lignes droites respectives.

Les autres voies de transfert de charge qui se trouvent en dessous de chaque électrode de détection à porte flottante (comme les voies de transfert de charge 19-2 et 20-2 sous-jacentes à  $FG_2$ ) fonctionnent avec un  
30 signal d'horloge monophasé complémentaire du signal d'horloge monophasé de la voie de transfert de charge 16. En effet, les portes où la tension  $V_{REF}$  n'est pas appliquée, ont la même phase d'horloge  $\phi_2$  opposée à la phase d'horloge  $\phi_1$ , qui leur est appliquée. Cela est fait pour  
35 accomplir la soustraction à chaque porte flottante de la réponse de potentiel aux charges dans ces voies à partir de la réponse de potentiel à la charge dans la voie 16 de

transfert de charge de signaux analogiques. Pendant des intervalles intercalés de détection, les tensions induites à ces portes flottantes sont détectées. Chaque tension dépend de la différence entre la quantité de charge négative qui a été transférée du puits de stockage sous la porte flottante par la voie de transfert de charge 16 du signal analogique pendant une partie précédente de l'intervalle d'horloge  $\phi_1$  où l'intervalle de détection se produit, et la quantité de charge négative qui a été concurremment transférée dans les puits de stockage sous la porte flottante par les autres voies de transfert de charge. Ce processus de soustraction ressemble à celui décrit dans le brevet US N° 4 104 543 intitulé MULTICHANNEL CCD SIGNAL SUBTRACTION SYSTEM. Les voies de transfert de charge sont de préférence du type noyé ou enfoui, et elles sont dimensionnées de façon semblable sous les électrodes à porte flottante.

En réponse à l'application de deux fois  $V_{UN}$ , l'étage 13 d'injection de charge injecte des paquets de charges négatives d'amplitude uniforme  $Q_R$  dans une voie de transfert de charge qui est l'entrée d'un premier, 18-1, d'une connexion en cascade 18 de répartiteurs de charge 18-1, 18-2, ... 18-n, dont chacun divise la charge négative reçue à son entrée en moitiés égales apparaissant à ses première et seconde sorties. Chacun de ces répartiteurs ou diviseurs de charge à l'exception du nème, c'est-à-dire le dernier, a sa première sortie connectée à l'entrée du diviseur de charge suivant. Ainsi, les secondes entrées fournissent progressivement des charges négatives de plus en plus petites avec des amplitudes pondérées binaires  $Q_R/2$ ,  $Q_R/4$ , ...  $Q_R/2^n$  pour une utilisation comme bits d'essai appliqués aux entrées respectives des voies de transfert de charge "bit d'essai" 19-1, 19-2, ... 19-n se trouvant en dessous des électrodes de détection  $FG_1$ ,  $FG_2$ , ...  $FG_n$  à porte flottante respectivement.

La figure 5 montre une succession 20 de trois

voies de transfert de charge de "somme partielle" 20-1, 20-2, ... 20-n se trouvant en dessous des électrodes  $FG_1$ ,  $FG_2$ ,  $FG_3$ . La voie 20-1 de transfert de charge a un paquet de charges d'amplitude  $Q_0$  qui a une valeur zéro.

5 Chaque voie suivante parmi ces voies de transfert de charge 20-2 à 20-n reçoit une entrée de la sortie de la voie précédente de transfert de charge de somme partielle. Elle reçoit également sélectivement l'entrée de la voie de transfert de charge du bit d'essai qui passe sous la

10 même électrode de détection à porte flottante que la voie de transfert de charge de somme partielle précédente. L'entrée est reçue uniquement si le paquet de charges négatives dans la voie de transfert de charge du bit d'essai de l'étage ADC précédent n'a pas été drainé vers

15 la connexion de drain, selon la commande de l'une des structures de porte  $G_1$ ,  $G_2$ , ...  $G_n$ . Ce drainage est le rejet du bit supposé être UN qui se présente quand le processus de comparaison différentielle indique que le signal analogique déjà quantifié et ce bit ont dépassé

20 le signal analogique dans la voie de transfert de charge 16.

La figure 6 illustre le processus de soustraction de charge et il décrit les niveaux minimum d'énergie des électrons dans les trois voies de transfert de charge se

25 trouvant en dessous d'une électrode unipotentielle à porte flottante dans tout étage du ADC. Le niveau minimum d'énergie des électrons sous l'électrode à porte flottante unidirectionnelle est illustré en trait épais et est associé au potentiel le plus positif du substrat présent

30 dans un dispositif à substrat du type p. Il y a un échelon dans chaque niveau d'énergie du fait de l'implantation d'une barrière en dessous de la porte de transfert du second niveau, selon la pratique conventionnelle dans des CCD utilisant des signaux d'horloge monophasés ou biphasés.

35 Les niveaux relatifs minimum d'énergie des électrons sous l'électrode flanquant celle sous l'électrode de la porte flottante sont illustrés en pointillé pour chacune des

ZERO sont transférés d'en dessous de l'électrode de la porte flottante par les autres voies de transfert de charge parce que les électrodes auxquelles l'horloge  $\phi_2$  est appliquée sont à l'état haut ou relativement positif ,  
5 en potentiel. Ce transfert de la charge ZERO ne provoque pas de changement du potentiel de l'électrode. L'électrode de la porte flottante est alors bloquée à  $V_{REF}$  en réponse à l'impulsion  $\phi_R$  et le courant de déplacement ajuste le potentiel permanent entre la voie noyée ou enfouie et  
10 le substrat. Les potentiels après équilibrage des charges restent tandis que le verrouillage est supprimé.

En suivant la transition IV des horloges  $\phi_1, \phi_2$  , la condition haute est relativement positive de l'électrode  $\phi_1$  suivant l'électrode à porte flottante permet le  
15 transfert de charge  $Q_S$  du puits d'énergie placé dans la voie 16 sous l'électrode à porte flottante. Cela produit une composante positive de changement de potentiel à l'électrode à porte flottante. En même temps, les puits d'énergie placés dans les autres voies de transfert de  
20 charge se trouvant sous l'électrode à porte flottante sont remplis d'une charge négative des puits d'énergie sous les électrodes précédentes où est appliqué un potentiel  $\phi_2$  faible ou relativement négatif. Ce remplissage d'une charge négative des puits placés sous l'électrode à porte  
25 flottante dans les autres voies produit des composantes négatives respectives de potentiel sur l'électrode à porte flottante. A la fin des transferts de charge, l'horloge  $\phi_S$  passe à l'état haut tandis que l'horloge  $\phi_{2R}$  reste basse et que l'amplificateur de détection détecte la somme de la  
30 composante positive du potentiel induite par la charge qui est vidée du puits d'énergie sous l'électrode à porte flottante dans la voie de transfert de charge 16 du signal analogique et les composantes négatives de potentiel induites par la charge remplissant les puits d'énergie  
35 sous l'électrode à porte flottante dans les autres voies de transfert de charge.

Il est pratique, en ce point, de se référer au schéma des temps de la figure 7, en même temps qu'à la figure 5. Les conditions "hautes" des horloges  $\phi_1$  et  $\phi_2$  sont associées au fait qu'elles sont égales à une tension de fonction  $+V_{DD}$  qui est positive par rapport à  $V_{REF}$  et  $V_{UN}$ ; et les conditions "basses" des horloges  $\phi_1$  et  $\phi_2$  sont associées au fait qu'elles sont égales à une tension de la masse qui est négative par rapport à  $V_{REF}$  et  $V_{ZERO}$ .

Les capteurs  $FG_1, FG_2, \dots, FG_n$  sont verrouillés de façon récurrente à  $V_{REF}$  comme on l'a noté ci-dessus en ce qui concerne la figure 6. Les verrouillages des portes flottante  $FG_1, FG_2, \dots, FG_m$  se font par les canaux de transistors respectifs à effet de champ  $FET_1, FET_2, \dots, FET_n$ , respectivement, en réponse à une impulsion de temporisation  $\phi_R$  appliquée à leurs portes. Ces impulsions de temporisation sont appliquées pendant les temps où la phase de l'horloge  $\phi_1$  est faible et où la phase de l'horloge  $\phi_2$  est haute. En effet, les électrodes de porte flottante sont hautes par rapport aux électrodes de phase  $\phi_1$  qui les flanquent dans la voie de transfert de charge du signal analogique 16 et basses par rapport aux électrodes de phase  $\phi_2$  qui les flanquent dans les autres voies de transfert de charge sous elles.

On considère le cas où la remise à zéro automatique doit suivre le verrouillage des électrodes de porte flottante  $FG_1, FG_2, \dots, FG_n$  à  $V_{REF}$  au temps où  $\phi_R$  est haut pour verrouiller les électrodes. Les paquets de charges négatives sous les électrodes de porte flottante et dans la voie 16 du signal analogique sont de valeur zéro. C'est en réponse au multiplexeur 10 qui a, en des temps précédents dans le fonctionnement du pipeline, appliqué des signaux à l'étage 12 d'injection de charge inhibant son injection de charge dans la voie 16. Pendant la transition d'horloge  $\phi_1, \phi_2, II$ , qui se présente après passage à l'état bas de  $\phi_R$  pour libérer les verrouillages sur les électrodes des portes flottantes, il n'y a par conséquent pas de charge à transférer d'en dessous de

trois voies sous-jacentes à cette électrode, en des temps suivant immédiatement quatre transitions successives dans les horloges  $\phi_1$  et  $\phi_2$ . Ces transitions, I, II, III et IV se présentent dans l'ordre de leur numérotation ordinaire  
5 comme on peut le voir en se référant au schéma des temps de la figure 7 et décrivent un cycle complet de conversion analogique-numérique comprenant la remise à zéro automatique précédant l'étape de comparaison différentielle. La transition d'horloge II est celle qui précède le plus  
10 immédiatement une remise au zéro automatique et la transition d'horloge IV est celle précédant le plus immédiatement une comparaison différentielle pour résoudre un bit de la conversion analogique-numérique.

En se référant de nouveau à la figure 6, après  
15 la transition I des horloges  $\phi_1$ ,  $\phi_2$ ,  $\phi_1$  est à l'état bas ou relativement négatif et  $\phi_2$  est à l'état haut ou relativement positif. Avec les électrodes flanquant la porte flottante dans la voie 16 de signaux analogiques négatives par rapport à l'électrode de la porte flottante,  
20 du fait que  $\phi_1$  est à l'état bas, le puits d'énergie sous l'électrode de la porte flottante est rempli d'une charge négative nulle du puits d'énergie élevée sous l'électrode de la porte précédente  $\phi_1$ . En même temps, les puits d'énergie sous l'électrode à porte flottante dans les deux  
25 autres voies se vident des paquets de charges négatives anciens non nuls qui s'écoulent vers les puits d'énergie abaissés sous les électrodes des portes successives où est appliqué un potentiel d'horloge  $\phi_2$  à l'état haut.

Ensuite, en réponse à une impulsion  $\phi_R$ , l'électrode  
30 de la porte flottante est bloquée au potentiel  $V_{REF}$ . Le trajet pour le courant de blocage passe par trois capacités en série; plus particulièrement, la capacité d'oxyde, la capacité de la surface du substrat semi-conducteur au canal enfoui et la capacité du canal enfoui à la masse du  
35 substrat. La dernière capacité est la plus faible, du fait de l'espace relativement important entre les armatures; et l'écoulement de courant de déplacement pendant un

blocage ou verrouillage de la connexion en série des trois capacités sert principalement à changer le potentiel à cette dernière capacité. La charge sur les capacités bien plus grandes, associées au transfert de la charge négative dans les voies de transfert de charge, est essentiellement non affectée.

Subséquentement à la transition II des horloges  $\phi_1$ ,  $\phi_2$ , les électrodes flanquant l'électrode à porte flottante dans la voie 16 du signal analogique sont à un potentiel haut ou relativement positif, et celles flanquant l'électrode à porte flottante sur les autres voies de transfert de charge sont à un potentiel bas ou relativement négatif. La charge négative nulle dans la voie 16 de signaux analogiques se vide dans le puits d'énergie sous l'électrode après l'électrode à porte flottante. Il n'y a pas de changement appréciable du potentiel de l'électrode à porte flottante avec le transfert de la charge négative nulle. En même temps, dans les deux autres voies de transfert de charge, il y a un transfert vers l'intérieur de la charge négative nulle, qui ne provoque pas de changement appréciable du potentiel de l'électrode à porte flottante. L'électrode à porte flottante reste donc essentiellement à  $V_{REF}$  pendant la remise à zéro automatique subséquente de l'amplificateur de détection dont elle sert d'entrée. La remise à zéro automatique de l'amplificateur de détection est alors en référence avec ce potentiel essentiellement à  $V_{REF}$ . En se référant au schéma des temps de la figure 7, la remise au zéro automatique a lieu en des temps où les horloges  $\phi_S$  et  $\phi_{ZR}$  sont simultanément hautes.

En se référant de nouveau à la figure 6, la transition III des horloges  $\phi_1$ ,  $\phi_2$  suit. Les électrodes flanquant l'électrode à porte flottante dans la voie de signaux analogiques 16 sont à l'état bas ou relativement négatif, et un nouveau paquet de charges négatives  $Q_S$  s'écoule dans le puits d'énergie sous l'électrode à porte flottante pour provoquer un changement négatif du potentiel de l'électrode. En même temps, des paquets de charges négatives

l'électrode à porte flottante aux puits sous les électrodes immédiatement à leur droite dans la voie de signaux analogiques 16, donc les portes flottantes restent à  $V_{REF}$ . Pendant la transition d'horloge  $\phi_1, \phi_2$  II, les paquets de charges transférés à des positions sous les portes flottantes dans les autres voies de transfert de charge sont de valeur zéro, parce que les multiplexeurs 11 ont empêché l'étage d'injection de charge 13 d'injecter la charge dans la connexion du pipeline des diviseurs ou répartiteurs de charge. Ainsi, il n'y a pas de composante négative induite dans les potentiels des électrodes à porte flottante par une charge négative dans une voie de transfert de charge en dessous des électrodes  $FG_1, FG_2, \dots, FG_n$ . En conséquence, les électrodes flottantes restent au potentiel de  $V_{REF}$ .

La remise à zéro automatique est accomplie sur l'impulsion  $\phi_S$  qui suit la transition d'horloge II, les impulsions alternées  $\phi_S$  sur lesquelles une remise à zéro automatique est accomplie étant marquées par ZR sur la figure 7. Les entrées décalées des étages d'entrée du comparateur différentiel des amplificateurs de détection  $SA_1, SA_2, \dots, SA_n$ , c'est-à-dire les entrées qui ne sont pas connectées à des électrodes respectives à porte flottante  $FG_1, FG_2, \dots, FG_n$  sont alors ajustées de façon que les comparateurs basculent si les potentiels aux électrodes à porte flottante doivent passer par le niveau de  $V_{REF}$ .

On considère maintenant le cas où l'évaluation des paquets de charges négatives décrivant les échantillons du signal analogique de la source 14 doit suivre le verrouillage des électrodes à porte flottante  $FG_1, FG_2, \dots, FG_n$  à  $V_{REF}$ . Les paquets de charges négatives sous ces portes flottantes et dans la voie 16 de signaux analogiques décrivent le multiplexeur 10 ayant choisi en des temps successifs des échantillons de la tension du signal analogique reçu pour application à l'étage 12 d'injection de charge. A la suite de la transition IV d'horloge  $\phi_1, \phi_2$

après passage à l'état bas de  $\phi_R$  pour libérer le verrouillage sur les électrodes à porte flottante, les paquets de charges négatives décrivant ces échantillons successifs sont transférés aux électrodes successives dans une voie

5 de signaux analogiques 16 pour induire, sur les électrodes à porte flottante  $FG_1, FG_2, \dots, FG_n$  des composantes positives de potentiel décrivant des échantillons successifs de signaux analogiques. A la suite de la même transition IV d'horloge  $\phi_1, \phi_2$ , les paquets de charges négatives décrivant

10 des fractions pondérées binaires successives de  $Q_R$  sont transférés sous les électrodes à porte flottante  $FG_1, FG_2, \dots, FG_n$  par les voies de transfert de charge 19-1, 19-2, ... 19-n ; et les paquets de charge négative décrivant la somme partielle des étages précédents de conversion sont

15 transférés sous les électrodes de porte flottante  $FG_1, FG_2, \dots, FG_n$  par les voies de transfert de charge 20-1, 20-2, ... 20-n . Ces paquets de charge négative induisent les composantes négatives des potentiels sur les électrodes à porte flottante.

20 Les potentiels résultants sur les électrodes à porte flottante  $FG_1, FG_2, \dots, FG_n$  sont alors comparés à  $V_{REF}$  par les amplificateurs de détection  $SA_1, SA_2, \dots, SA_n$  respectivement pour déterminer si les composantes positives répondant à des échantillons de signal analogique ont

25 dépassé ou n'ont pu dépasser les composantes négatives respectives. La combinaison linéaire des composantes négatives et positives de la tension aux portes flottantes est très précise, et la forte résolution du ADC de la figure 5 dépend en grande mesure de cette précision. On

30 peut s'attendre à des précisions de plus de 0,2% pour un temps de détection de 20 ns , avec ce processus de soustraction.

Il est important de noter que la présente invention n'est pas limitée au ADC à résolution à quatre bits décrit

35 ici. Des ADC à résolution de plus ou moins quatre bits sont faciles à réaliser en diminuant ou en augmentant respectivement le nombre de prises de la ligne à retard 112

et le nombre de comparateurs C, de registres à décalage SR et de convertisseurs numériques-analogiques DAC employés. Ainsi, un ADC à N bits nécessite une ligne à retard analogique à N prises, N comparateurs et DAC et N-1 registres à décalage, dont le plus long a N-1 étages de décalage.

Des modifications du mode de réalisation ci-dessus décrit sont envisagées comme faisant partie du cadre de l'invention. Par exemple, les registres à décalage SR peuvent être remplacés par une mémoire de lecture-écriture où les bits de sortie développés par les comparateurs C sont stockés. Les bits stockés sont lus en des temps appropriés pendant la séquence de conversion et appliqués aux bornes respectives d'entrée des DAC respectifs à la façon décrite ici.

De plus, un dispositif d'utilisation recevant le mot numérique à la sortie des bornes de sortie B8, B4, B2, B1 de la figure 1 peut nécessiter que les transitions des signaux des bits s'y produisent sensiblement simultanément. A cette fin, un registre à décalage SR-1 (non représenté) est interposé entre le comparateur C1 et la borne B1 pour retirer la transition du signal de bit retardé du LSB due aux retards de propagation du DAC-1 et de C1. SR-1 doit seulement avoir un étage de décalage. Afin que tous les bits de chaque mot numérique de sortie continuent à être développés pendant le même cycle d'horloge, chaque registre à décalage SR-8, SR-4 et SR-2 est allongé d'un étage de décalage. Cet étage supplémentaire de décalage est interposé entre le dernier étage de décalage actuel et la borne de sortie correspondante, B8, B4 et B2. Une modification semblable peut être apportée par rapport aux registres à décalage SR-(n-1), SR-(n-2) et ainsi de suite de la figure 5 par rapport aux bornes  $2^{(n-1)}$ ,  $2^{(n-2)}$ , ...  $2^0$ .

Dans le mode de réalisation de la figure 5, le déclenchement des paquets de charges négatives sous les électrodes à porte flottante est tel que les échantillons

aient des échantillons du signal analogique tel que  
quantifié jusqu'à maintenant et des échantillons de bit  
d'essai qui en sont soustraits. D'autres modes de  
réalisation sont envisagés où le déclenchement des paquets  
5 de charges négatives sous les portes flottantes est tel que  
l'on soustrait des échantillons du signal analogique des  
échantillons additionnés du signal analogique tel que  
quantifié et des échantillons de bit d'essai, une inversion  
logique appropriée étant incorporée dans chaque amplifica-  
10 teur de détection.

Comme autre exemple, la linéarité de l'étage  
d'injection de charge 12 peut être améliorée par inclusion  
d'une source 34 de "zéro gras" , du multiplexeur 30 et de  
l'étage d'injection de charge 32 de la figure 5. Dans  
15 l'opération de "zéro gras", un paquet de charges de  
grandeur  $Q_p$  est injecté dans la voie de transfert de  
charge 20 pendant les temps où le multiplexeur 10 choisit  
la source analogique 14 pour compenser la charge non nulle  
injectée par l'étage 12 en réponse à  $V_{ZERO}$  . Les multi-  
20 plexeurs 10 et 30 choisissent la source de niveau zéro  
en même temps.

R E V E N D I C A T I O N S  
-----

1.- Dispositif de conversion analogique-numérique pour produire un mot numérique représentatif du niveau d'un signal analogique, caractérisé par :

5           une source (114) de signaux d'horloge;  
          un moyen d'échantillonnage (112) répondant audit signal analogique et audit signal d'horloge pour développer un certain nombre d'échantillons retardés en succession dudit signal analogique, la présence desdits échantillons

10 étant retardée en succession d'un nombre de cycles dudit signal d'horloge par rapport à sa présence à l'entrée dudit moyen d'échantillonnage;

          un certain nombre de comparateurs (C1, C2, C4, C8) recevant, à des entrées correspondantes (+), un échantillon

15 retardé dudit signal analogique dudit moyen d'échantillonnage pour produire des bits à des sorties desdits comparateurs;

          un moyen (SR2, SR4, SR8) pour stocker les représentations des bits ainsi produits;

20           un moyen (DAC1, DAC2, DAC3, DAC4) répondant à la représentation des bits ainsi stockés pour développer un certain nombre de niveaux de référence qui sont appliqués aux entrées correspondantes (-) desdits comparateurs, les niveaux développés de référence, quand ils sont comparés

25 aux échantillons retardés correspondants, produisant les bits à la sortie du comparateur qui établissent la valeur dudit mot numérique comme étant celle qui représente le niveau du signal analogique échantillonné; et

          un moyen (B1, B2, B4, B8) répondant auxdits bits

30 pour en développer ledit mot numérique.

2.- Dispositif selon la revendication 1, caractérisé en ce que le moyen précité pour stocker (SR2, SR4, SR8) comprend un certain nombre de registres à décalage, chacun ayant une entrée respective à laquelle

35 sont couplés les bits produits par l'un des comparateurs

(C1, C2, C4, C8) précités et chacun desdits registres à décalage reçoit le signal d'horloge (CS-Ø1) pour décaler lesdits bits.

3.- Dispositif selon la revendication 2,  
 5 caractérisé en ce que chaque registre à décalage (SR2, SR4, SR8) comprend I étages de décalage, où I est un nombre entier choisi de façon que  $2^I$  soit le poids des bits du mot numérique précité stocké dans ledit registre à décalage.

4.- Dispositif selon la revendication 2,  
 10 caractérisé en ce que chaque registre à décalage (SR2, SR4, SR8) comprend I étages de décalage, où I est un nombre entier choisi de façon que la somme de I + J pour chaque position d'un bit dudit mot numérique soit égale à la même valeur entière, et J est le nombre de cycles d'horloge  
 15 du retard associé à l'échantillon à la sortie du moyen d'échantillonnage (12) précité correspondant à ladite position du bit.

5.- Dispositif selon la revendication 1,  
 caractérisé en ce que le moyen (DAC1, DAC2, DAC4, DAC8)  
 20 précité répondant aux représentations des bits ainsi stockés comprend un certain nombre de moyens de conversion numérique-analogique, chacun étant associé à l'un des comparateurs précités (C1, C2, C4, C8) pour développer les niveaux de référence précités.

25 6.- Dispositif selon la revendication 5,  
 caractérisé en ce que le moyen de conversion (DAC1, DAC2, DAC4, DAC8) associé aux comparateurs (C1, C2, C4, C8) précités développant les bits ayant un poids de  $2^I$  dans le mot numérique précité a N bornes d'entrée. (1, 2, 4, 8) pour  
 30 recevoir des signaux ayant des poids de  $2^I$ , où I est un nombre entier compris entre  $0 \leq I \leq N-1$ , ledit moyen de conversion comprenant :

un moyen pour appliquer un signal logiquement vrai ("1") à ladite borne d'entrée pondérée à  $2^I$  ;

35 un moyen pour appliquer un signal logiquement faux (MASSE) à toutes lesdites bornes d'entrée pondérées à moins de  $2^I$ , et

un moyen pour appliquer les bits du signal stocké ayant des poids de plus de  $2^I$  à celles des bornes d'entrée ayant des poids correspondants.

7.- Dispositif selon la revendication 1, caractérisé en ce que le moyen d'échantillonnage (112) précité comprend une voie de dispositif de transfert de charge (16) comprenant :

un moyen (14, 10, 12) pour lui appliquer des paquets respectifs de charges à chaque cycle successif d'horloge, lesdits paquets de charges représentant des échantillons du signal analogique à des cycles d'horloge de numéro pair et d'un niveau zéro à des cycles d'horloge de numéro impair, et

un certain nombre d'électrodes de porte ( $FG_1, FG_2, FG_n$ ) proches de ladite voie pour répondre auxdits paquets de charges afin de produire les échantillons du signal analogique retardé.

8.- Dispositif selon la revendication 7, caractérisé en ce que le moyen précité pour développer un certain nombre de niveaux de référence (DAC1, DAC2, DAC4, DAC8) comprend :

une seconde voie (18, 19) de dispositif de transfert de charge comprenant

un moyen (15, 11, 13) pour lui appliquer des paquets respectifs de charges à chaque cycle d'horloge successif, lesdits paquets de charges représentant un niveau de référence sur lesdits cycles d'horloge de numéro pair et un niveau zéro sur lesdits cycles d'horloge de numéro impair, les niveaux respectifs de référence étant en rapport en pondération sensiblement binaire avec des niveaux de référence progressivement de plus en plus petits qui sont appliqués aux entrées des comparateurs correspondant à des bits progressivement de moins en moins importants dudit mot numérique.

9.- Dispositif selon la revendication 8, caractérisé en ce que les électrodes de porte ( $FG_1, FG_2, FG_n$ ) sont proches de la seconde voie pour également répondre aux

paquets de charges représentant les niveaux précités de référence.

10.- Dispositif selon la revendication 9, caractérisé en ce que le moyen précité pour stocker (SR2, SR4, SR8) comprend une troisième voie de transfert de charge comprenant un moyen ( $G_1, G_2, G_n$ ) répondant aux bits du signal pour appliquer les paquets de charges représentant les niveaux précités de référence au troisième canal.

11.- Procédé de développement de mots numériques successifs à partir des grandeurs successives de façon correspondante d'un signal analogique, caractérisé par les étapes de :

dans un intervalle donné de temps :

(a) échantillonner la grandeur dudit signal analogique;

(b) développer un premier niveau analogique représentatif de la valeur de la position du bit le plus important du mot numérique;

(c) comparer la grandeur du signal analogique échantillonné obtenu à l'étape (a) audit premier niveau analogique pour développer la valeur du bit le plus important du mot numérique représentant la grandeur du signal analogique échantillonné indiqué à l'étape (a);

(d) stocker une représentation du bit ainsi développé à l'étape (c); et

(e) répéter les étapes (a) à (d) pour la grandeur du signal analogique qui se présente dans chaque intervalle subséquent de temps;

et en ce qu'on accomplit de plus les étapes qui suivent :

(f) développer, pour chaque mot numérique donné qui n'est pas totalement développé, un niveau analogique représentant la somme pondérée des représentations des bits stockés dans des intervalles de temps précédents pour chaque mot numérique donné et de la valeur de la position de son bit suivant le moins important qui n'est pas encore déterminé;

(g) comparer, pour chaque mot numérique donné qui n'est pas totalement développé, la grandeur du signal analogique échantillonné correspondant au niveau analogique développé à l'étape (f) pour développer la valeur de son  
5 bit le moins important suivant.

(h) si le bit le moins important suivant développé à l'étape (g) n'est pas le bit le moins important, alors stocker une représentation du bit ainsi développé à l'étape (g); et

10 (i) si le bit le moins important suivant développé à l'étape (g) est le bit le moins important, alors développer ledit mot numérique donné à partir du bit le moins important et à partir des autres bits dudit mot numérique qui ont été développés à des intervalles de temps  
15 précédents.

12.- Procédé selon la revendication 11, caractérisé en ce que l'étape (f) comprend, pour chaque mot numérique donné qui n'est pas encore totalement développé, les étapes de :

20 (j) développer un signal logiquement vrai à la position du bit d'un mot numérique de comparaison correspondant à la position du bit le moins important suivant;

(k) développer des signaux logiquement faux dans  
25 toutes les positions des bits du mot numérique de comparaison de moindre importance que la position du bit définie à l'étape (j);

(l) appliquer la représentation des bits dudit mot numérique donné qui n'est pas encore totalement  
30 développé, stockés dans les intervalles de temps précédents, aux positions correspondantes des bits du mot numérique de comparaison, lesdites positions des bits étant celles de plus grande importance que la position du bit indiquée à l'étape (j); et

35 (m) convertir ledit mot numérique de comparaison en un niveau analogique.

13.- Procédé selon la revendication 11,  
caractérisé en ce que :

l'étape (d) comprend l'étape de :

(j) stocker le premier niveau analogique comme  
5 la représentation du bit développé à l'étape (c) si ledit  
bit ainsi développé à l'étape (c) est un signal logiquement  
vrai; et en ce que

l'étape (h) comprend l'étape de :

(k) combiner pour chaque mot numérique donné  
10 qui n'est pas totalement développé, les niveaux analogiques  
développés à des intervalles de temps précédents où le bit  
développé était un signal logiquement vrai; et

(l) stocker ledit niveau analogique combiné  
pour produire la somme pondérée pour l'intervalle de temps  
15 subséquent.

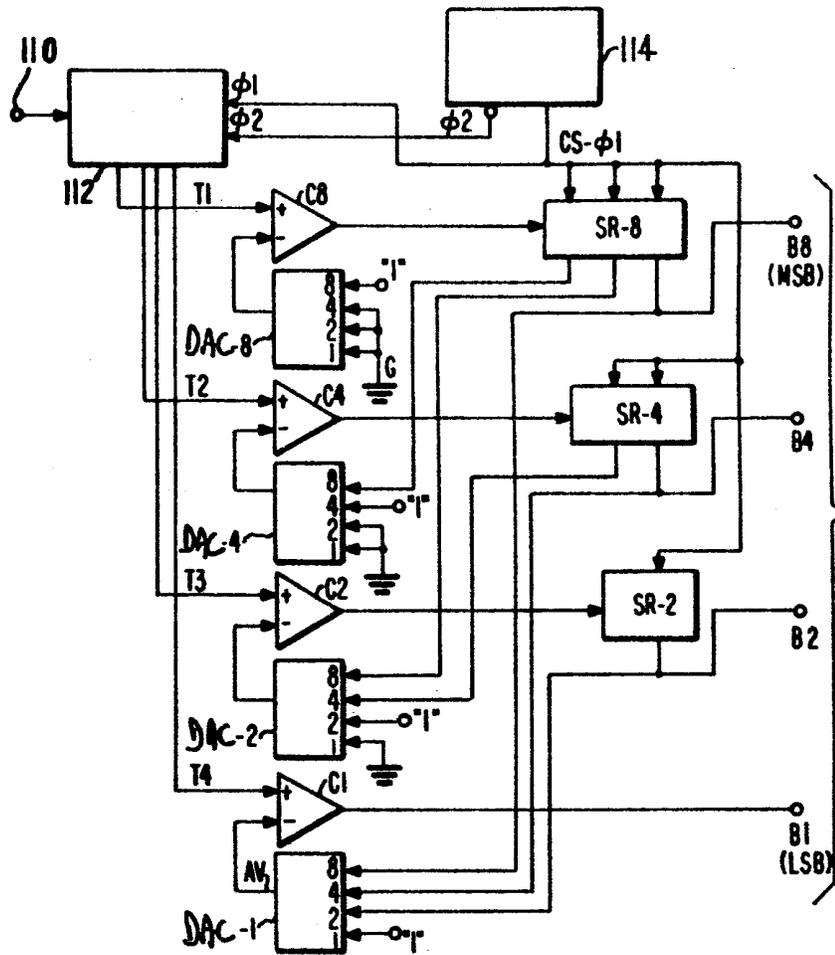
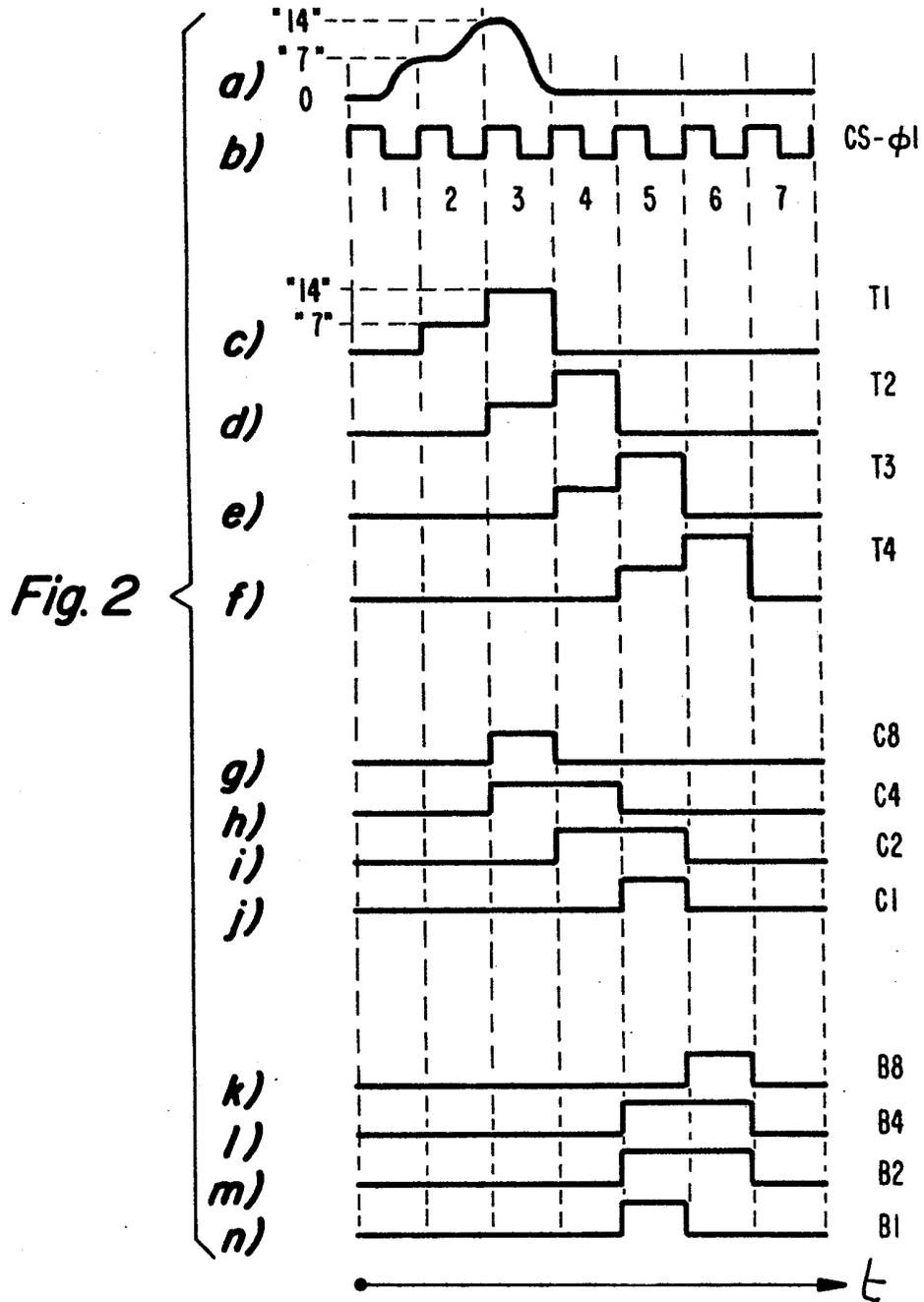


Fig. 1



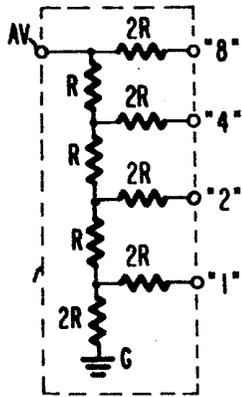


Fig. 3

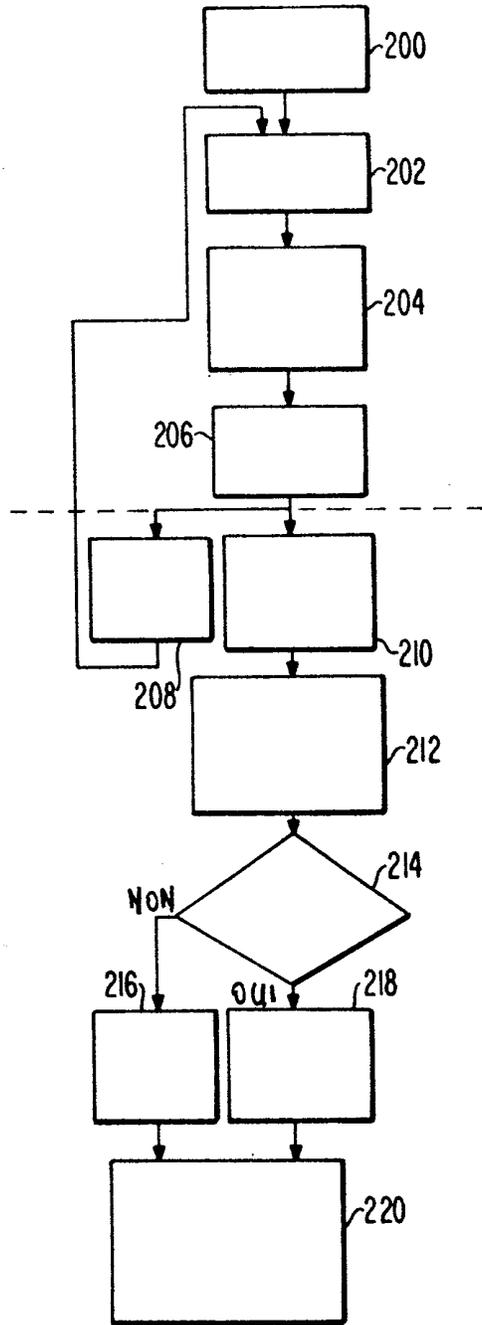


Fig. 4

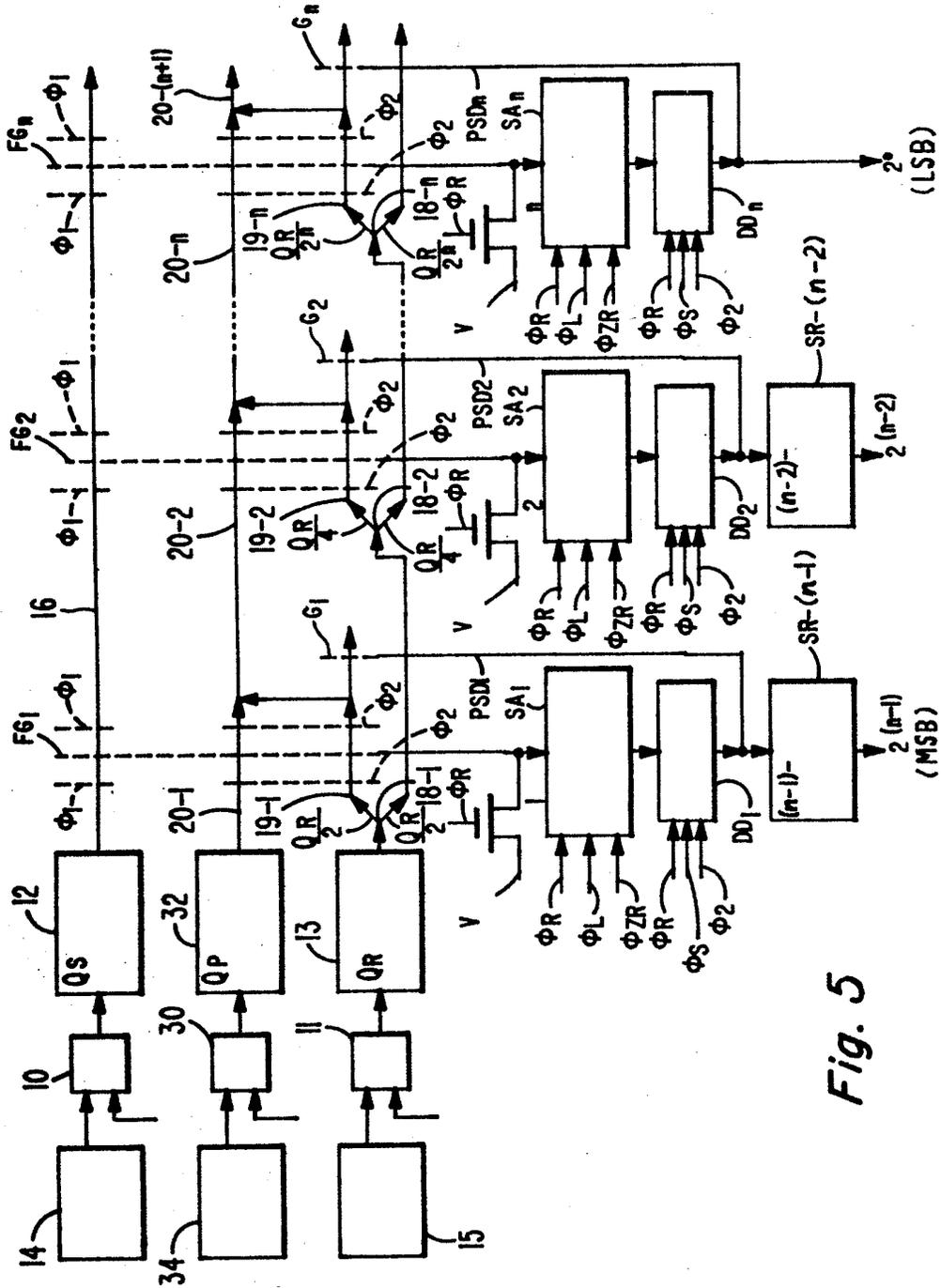


Fig. 5

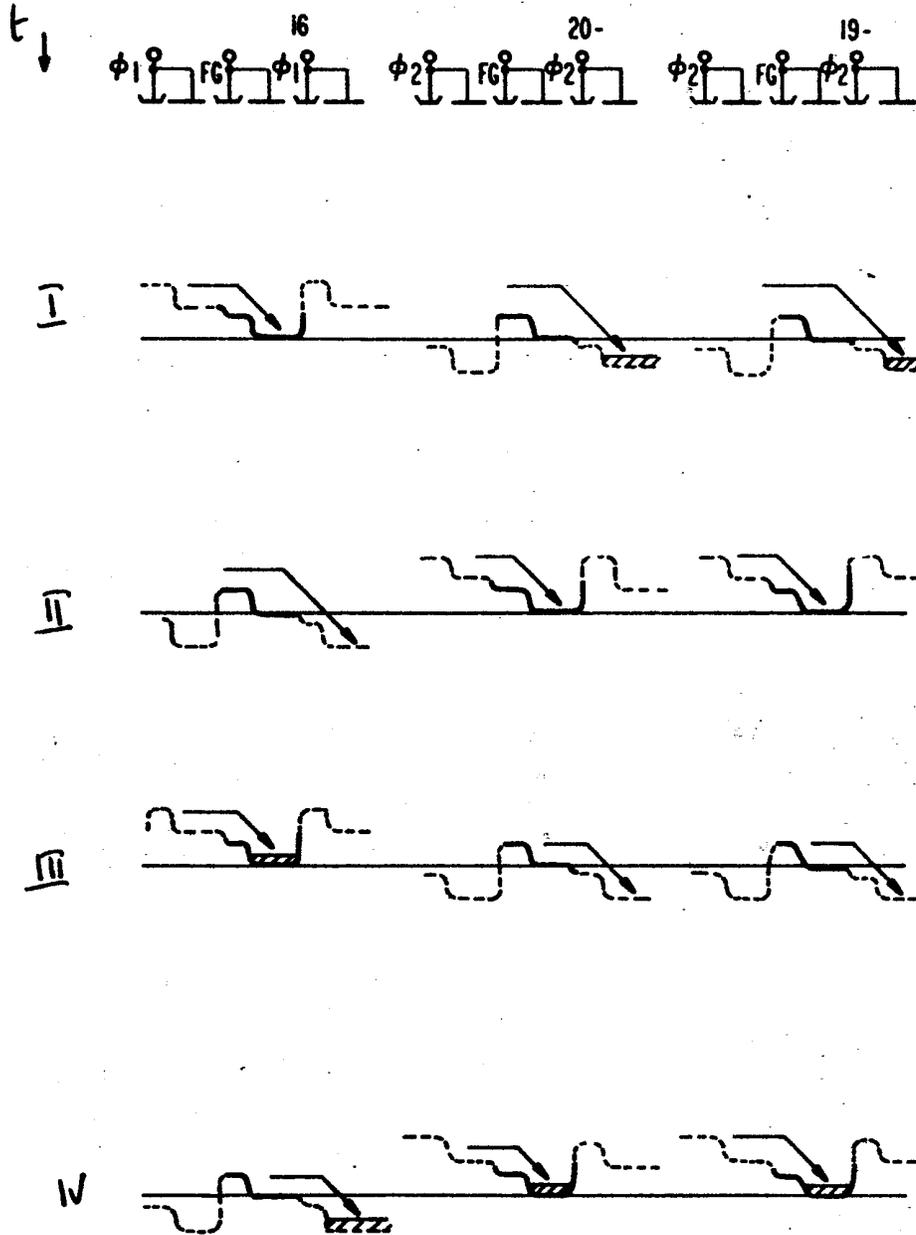


Fig. 6

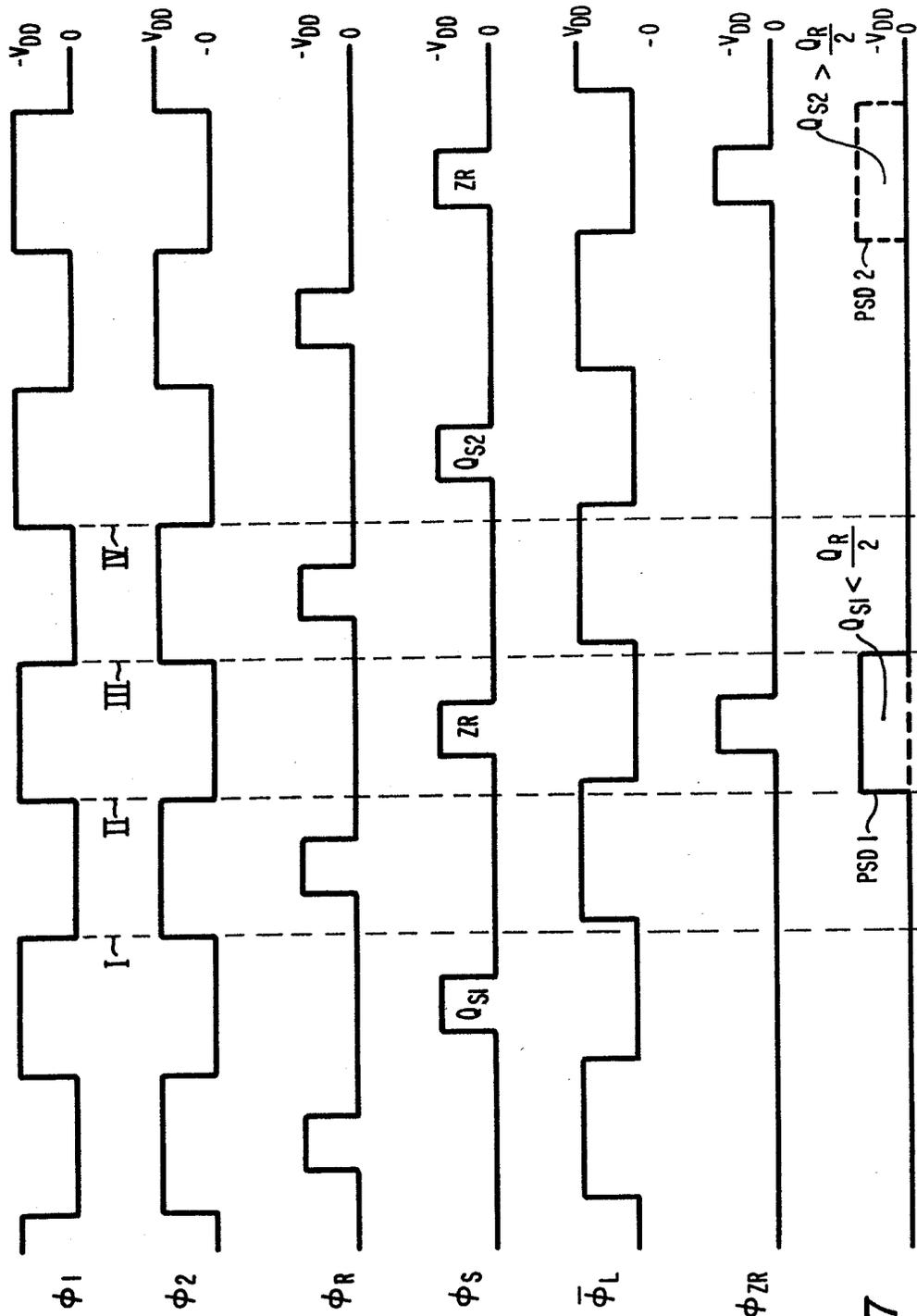


Fig. 7