



(21)申請案號：103123957

(22)申請日：中華民國 103 (2014) 年 07 月 11 日

(51)Int. Cl. : *G11C16/14 (2006.01)**G11C16/22 (2006.01)*

(71)申請人：群聯電子股份有限公司(中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72)發明人：葉志剛 YEH, CHIH KANG (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW I375953

US 8452937B2

US 8719652B2

US 2011/0119431A1

US 2012/0233391A1

審查人員：謝紀明

申請專利範圍項數：33 項 圖式數：10 共 70 頁

(54)名稱

防止讀取干擾的方法、記憶體控制電路單元與記憶體儲存裝置

METHOD FOR PREVENTING READ-DISTURB, MEMORY CONTROL CIRCUIT UNIT AND MEMORY STORAGE APPARATUS

(57)摘要

一種防止讀取干擾的方法、記憶體控制電路單元與記憶體儲存裝置。本方法包括：當從主機系統接收到操作指令時，計數操作次數值，其中第一實體抹除單元被選取以執行此操作指令。本方法還包括：當操作次數值非小於操作次數門檻值時，選擇一第二實體抹除單元，並讀取此第二實體抹除單元中的資料。本方法更包括：根據從第二實體抹除單元中所讀取的資料判斷第二實體抹除單元是否發生資料錯誤。此外，若是發生資料錯誤，選擇一第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生已校正資料並且將此已校正資料寫入至第三實體抹除單元。

A method for preventing read-disturb, memory storage device and memory control circuit unit are provided. The method includes, counting an operation numerical value when receiving an operation command from host system, wherein a first physical erasing unit is selected for executing the operation command. The method also includes, if the operation numerical value is not smaller than a threshold, selecting a second physical erasing unit and reading data form the second physical erasing unit. The method further includes, determining whether a data error is happened at the second physical erasing unit according to the data read from the second physical erasing unit and if the data error happened, selecting a third physical erasing unit, correcting the data read from the second physical erasing unit to generate corrected data and writing the corrected data into the third physical erasing unit.

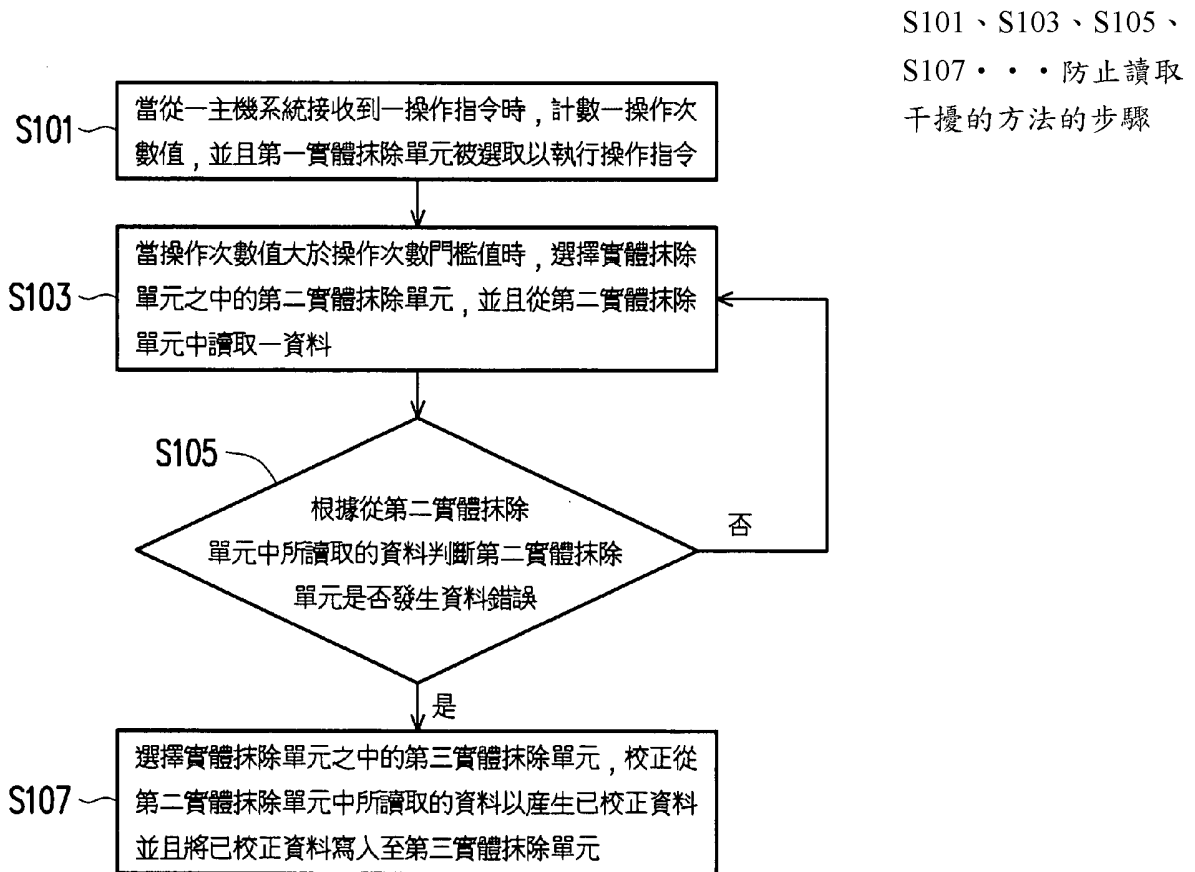


圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

防止讀取干擾的方法、記憶體控制電路單元與記憶體儲存裝置

METHOD FOR PREVENTING READ-DISTURB, MEMORY CONTROL
CIRCUIT UNIT AND MEMORY STORAGE APPARATUS

【技術領域】

● 【0001】 本發明是有關於一種用於可複寫式非揮發性記憶體模組的防止讀取干擾的方法以及使用此方法的記憶體控制電路單元和記憶體儲存裝置。

【先前技術】

● 【0002】 數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體(rewritable non-volatile memory)具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，因此，近年可複寫式非揮發性記憶體產業成爲電子產業中相當熱門的一環。例如，以快閃記憶體作爲儲存媒體的固態硬碟(Solid-state drive)已廣泛應用作爲電腦主機的硬碟，以提升電腦的存取效能。

【0003】 依據每個記憶胞可儲存的位元數，反及(NAND)型快閃記憶體可區分爲單階儲存單元(Single Level Cell, SLC) NAND 型快閃記憶體、多階儲存單元(Multi Level Cell, MLC) NAND 型快

閃記憶體與複數階儲存單元 (Trinary Level Cell, TLC) NAND 型快閃記憶體。其中 SLC NAND 型快閃記憶體的每個記憶胞可儲存 1 個位元的資料 (即, " 1" 與 " 0"), MLC NAND 型快閃記憶體的每個記憶胞可儲存 2 個位元的資料並且 TLC NAND 型快閃記憶體的每個記憶胞可儲存 3 個位元的資料。

【0004】 在 NAND 型快閃記憶體中, 實體程式化單元是由排列在同一條字元線上的數個記憶胞所組成。由於 SLC NAND 型快閃記憶體的每個記憶胞可儲存 1 個位元的資料, 因此, 在 SLC NAND 型快閃記憶體中, 排列在同一條字元線上的數個記憶胞是對應一個實體程式化單元。

【0005】 相對於 SLC NAND 型快閃記憶體來說, MLC NAND 型快閃記憶體的每個記憶胞的浮動閘儲存層可儲存 2 個位元的資料, 其中每一個儲存狀態 (即, " 11" 、" 10" 、" 01" 與 " 00") 包括最低有效位元 (Least Significant Bit, LSB) 以及最高有效位元 (Most Significant Bit, MSB)。例如, 儲存狀態中從左側算起之第 1 個位元的值為 LSB, 而從左側算起之第 2 個位元的值為 MSB。因此, 排列在同一條字元線上的數個記憶胞可組成 2 個實體程式化單元, 其中由此些記憶胞之 LSB 所組成的實體程式化單元稱為下實體程式化單元 (low physical page), 並且由此些記憶胞之 MSB 所組成的實體程式化單元稱為上實體程式化單元 (upper physical page)。特別是, 下實體程式化單元的寫入速度會快於上實體程式化單元的寫入速度, 並且當程式化上實體程式化單元發生錯誤

時，下實體程式化單元所儲存之資料亦可能因此遺失。

【0006】 類似地，在 TLC NAND 型快閃記憶體中，每個記憶胞可儲存 3 個位元的資料，其中每一個儲存狀態（即，"111"、"110"、"101"、"100"、"011"、"010"、"001" 與 "000"）包括每一個儲存狀態包括左側算起之第 1 個位元的 LSB、從左側算起之第 2 個位元的中間有效位元（Center Significant Bit, CSB）以及從左側算起之第 3 個位元的 MSB。因此，排列在同一條字元線上的數個記憶胞可組成 3 個實體程式化單元，其中由此些記憶胞之 LSB 所組成的實體程式化單元稱為下實體程式化單元，由此些記憶胞之 CSB 所組成的實體程式化單元稱為中實體程式化單元，並且由此些記憶胞之 MSB 所組成的實體程式化單元稱為上實體程式化單元。特別是，對排列在同一條字元線上的數個記憶胞進行程式化時，僅能選擇僅程式化下實體程式化單元或者同時程式化下實體程式化單元、中實體程式化單元與上實體程式化單元，否則所儲存之資料可能會遺失。

【0007】 然而，無論是那種記憶胞快閃記憶體模組，在對同一個實體區塊所儲存的資料進行多次讀取時，例如十萬至百萬次間的讀取次數，很有可能會發生所讀取的資料是錯誤的的狀況，甚至此被多次讀取區塊內所儲存的資料會發生異常或遺失。而此類現象以本發明領域具有通常知識者慣稱為『讀取干擾』（read-disturb）。特別是，快閃記憶體模組中會儲存快閃記憶體儲存系統的系統資料（例如韌體碼（Firmware Code）、檔案配置表

(File Allocation Table, FAT)，且此系統資料會在快閃記憶體儲存系統運作期間高頻率地的讀取。也亦因有著這樣的現象存在著，無不驅使著各家廠商必須發展出能確保正確儲存資料的機制。

【發明內容】

【0008】 本發明提供一種防止讀取干擾的方法、記憶體控制電路單元與記憶體儲存裝置，其能夠有效地預防讀取干擾的發生。

【0009】 本發明的一範例實施例提出一種用於可複寫式非揮發性記憶體模組的防止讀取干擾的方法，此可複寫式非揮發性記憶體模組包括多個實體抹除單元。本防止讀取干擾的方法包括：當從主機系統接收到操作指令時，計數操作次數值，其中這些實體抹除單元之中的第一實體抹除單元被選取以執行此操作指令。本防止讀取干擾的方法也包括，當操作次數值非小於操作次數門檻值時，選擇這些實體抹除單元之中的第二實體抹除單元，並且從第二實體抹除單元中讀取資料。本防止讀取干擾的方法還包括：根據從第二實體抹除單元中所讀取的資料判斷第二實體抹除單元是否發生資料錯誤；以及倘若第二實體抹除單元發生資料錯誤時，選擇這些實體抹除單元之中的第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生一已校正資料並且將已校正資料寫入至第三實體抹除單元。

【0010】 在本發明的一實施例中，上述防止讀取干擾的方法，更包括：將這些實體抹除單元至少分組為資料區與閒置區，其中當

操作次數值非小於操作次數門檻值時，選擇這些實體抹除單元之中的第二實體抹除單元的步驟包括：依序地從資料區的實體抹除單元之中除了對應操作指令的第一實體抹除單元以外的實體抹除單元之中來選出第二實體抹除單元。

【0011】 在本發明的一實施例中，上述防止讀取干擾的方法，更包括：將這些實體抹除單元至少分組為資料區與閒置區，其中當操作次數值非小於操作次數門檻值時，選擇這些實體抹除單元之中的第二實體抹除單元的步驟包括：隨機地從資料區的實體抹除單元之中除了對應操作指令的第一實體抹除單元以外的實體抹除單元之中來選出第二實體抹除單元。

【0012】 在本發明的一實施例中，上述防止讀取干擾的方法，更包括：將這些實體抹除單元至少分組為資料區與閒置區並且配置多個邏輯位址，其中這些邏輯位址映射資料區的多個實體抹除單元。並且，上述當此操作次數值非小於操作次數門檻值時，選擇這些實體抹除單元之中的第二實體抹除單元的步驟包括：隨機地從這些邏輯位址之中選擇第一邏輯位址，並且根據邏輯位址-實體抹除單元映射表獲取第二實體抹除單元，其中在邏輯位址-實體抹除單元映射表中第一邏輯位址映射第二實體抹除單元。

【0013】 在本發明的一實施例中，上述的防止讀取干擾的方法，更包括：為每一邏輯位址記錄一標記，其中此標記會被記錄為未選過狀態或已選過狀態，其中第一邏輯位址的標記被記錄為未選過狀態。

【0014】 在本發明的一實施例中，上述防止讀取干擾的方法，更包括：在選擇第一邏輯位址之後，將第一邏輯位址的標記重新記錄為已選過狀態。

【0015】 在本發明的一實施例中，上述根據從第二實體抹除單元中所讀取的資料判斷第二實體抹除單元是否發生資料錯誤的步驟包括：當對應從第二實體抹除單元中所讀取的資料的錯誤位元數目大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值時，判斷此第二實體抹除單元發生資料錯誤，其中該第二錯誤位元數目門檻值大於該第一錯誤位元數目門檻值。

【0016】 在本發明的一實施例中，上述防止讀取干擾的方法，更包括：在選擇此些實體抹除單元之中的第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生已校正資料並且將已校正資料寫入至第三實體抹除單元之後，將此操作次數值歸零。

【0017】 在本發明的一實施例中，上述防止讀取干擾的方法，更包括：倘若第二實體抹除單元未發生資料錯誤時，將此操作次數值歸零。

【0018】 在本發明的一實施例中，上述操作指令為讀取指令、寫入指令或抹除指令。

【0019】 在本發明的一實施例中，上述資料錯誤為讀取干擾、資料久置或記憶胞磨耗所造成。

【0020】 本發明的一範例實施例提出一種用於控制可複寫式非揮發性記憶體模組的記憶體控制電路單元。此記憶體控制電路單元

包括主機介面、記憶體介面與記憶體管理電路。主機介面用以耦接至主機系統。記憶體介面用以耦接至可複寫式非揮發性記憶體模組，其中可複寫式非揮發性記憶體模組具有多個實體抹除單元。記憶體管理電路耦接至主機介面與記憶體介面。在此，記憶體管理電路更用以當從主機系統接收到操作指令時，計數操作次數值，其中此些實體抹除單元之中的一第一實體抹除單元被選取以執行此操作指令。並且，記憶體管理電路更用以當操作次數值非小於操作次數門檻值時，選擇此些實體抹除單元之中的第二實體抹除單元，並且下達第一指令序列以從第二實體抹除單元中讀取資料。此外，記憶體管理電路更用以根據從第二實體抹除單元中所讀取的資料判斷第二實體抹除單元是否發生資料錯誤，並且倘若此第二實體抹除單元發生資料錯誤時，記憶體管理電路選擇此些實體抹除單元之中的第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生已校正資料並且下達第二指令序列以將已校正資料寫入至第三實體抹除單元。

【0021】 在本發明的一實施例中，上述記憶體管理電路更用以將此些實體抹除單元至少分組為資料區與閒置區並且依序地從資料區的實體抹除單元之中除了對應操作指令的第一實體抹除單元以外的實體抹除單元之中來選出第二實體抹除單元。

【0022】 在本發明的一實施例中，上述記憶體管理電路更用以將此些實體抹除單元至少分組為資料區與閒置區並且隨機地從資料區的實體抹除單元之中除了對應操作指令的第一實體抹除單元以

外的實體抹除單元之中來選出第二實體抹除單元。

【0023】 在本發明的一實施例中，上述記憶體管理電路更用以將此些實體抹除單元至少分組為資料區與閒置區並且配置多個邏輯位址，其中此些邏輯位址映射資料區的多個實體抹除單元。此外，記憶體管理電路更用以隨機地從此些邏輯位址之中選擇第一邏輯位址，並且根據邏輯位址-實體抹除單元映射表獲取第二實體抹除單元，其中在邏輯位址-實體抹除單元映射表中第一邏輯位址映射第二實體抹除單元。

【0024】 在本發明的一實施例中，上述記憶體管理電路更用以為每一邏輯位址記錄一標記，其中此標記會被記錄為未選過狀態或已選過狀態，其中第一邏輯位址的標記被記錄為未選過狀態。

【0025】 在本發明的一實施例中，上述在記憶體管理電路選擇第一邏輯位址之後，記憶體管理電路更用以將第一邏輯位址的標記重新記錄為已選過狀態。

【0026】 在本發明的一實施例中，上述記憶體管理電路更用以當對應從第二實體抹除單元中所讀取的資料的錯誤位元數目大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值時，判斷第二實體抹除單元發生資料錯誤，其中該第二錯誤位元數目門檻值大於該第一錯誤位元數目門檻值。

【0027】 在本發明的一實施例中，上述在記憶體管理電路選擇此些實體抹除單元之中的第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生已校正資料並且下達第二指令序列以

將已校正資料寫入至第三實體抹除單元之後，記憶體管理電路更用以將操作次數值歸零。

【0028】 在本發明的一實施例中，上述記憶體管理電路更用以在倘若第二實體抹除單元未發生資料錯誤時，將操作次數值歸零。

【0029】 在本發明的一實施例中，上述操作指令為讀取指令、寫入指令或抹除指令。

【0030】 在本發明的一實施例中，上述資料錯誤為讀取干擾、資料久置或記憶胞磨耗所造成。

【0031】 本發明的一範例實施例提出一種記憶體儲存裝置，其包括連接介面單元、可複寫式非揮發性記憶體模組與記憶體控制電路單元。連接介面單元用以耦接至主機系統。可複寫式非揮發性記憶體模組具有多個實體抹除單元。記憶體控制電路單元耦接至連接介面單元與可複寫式非揮發性記憶體模組，並且用以當從主機系統接收到操作指令時，計數操作次數值，其中這些實體抹除單元之中的第一實體抹除單元被選取以執行此操作指令。在此，記憶體控制電路單元更用以當操作次數值非小於操作次數門檻值時，選擇這些實體抹除單元之中的第二實體抹除單元，並且從第二實體抹除單元中讀取資料。此外，記憶體控制電路單元更用以根據從第二實體抹除單元中所讀取的資料判斷第二實體抹除單元是否發生資料錯誤並且倘若第二實體抹除單元發生資料錯誤時，記憶體控制電路單元選擇這些實體抹除單元之中的第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生已校正資

料並且將已校正資料寫入至第三實體抹除單元。

【0032】 在本發明的一實施例中，上述記憶體管理電路更用以將這些實體抹除單元至少分組為資料區與閒置區並且依序地從資料區的實體抹除單元之中除了對應操作指令的第一實體抹除單元以外的實體抹除單元之中來選出第二實體抹除單元。

【0033】 在本發明的一實施例中，上述記憶體管理電路更用以將這些實體抹除單元至少分組為資料區與閒置區並且隨機地從資料區的實體抹除單元之中除了對應操作指令的第一實體抹除單元以外的實體抹除單元之中來選出第二實體抹除單元。

【0034】 在本發明的一實施例中，上述記憶體管理電路更用以將這些實體抹除單元至少分組為資料區與閒置區並且配置多個邏輯位址，其中這些邏輯位址映射資料區的多個實體抹除單元。此外，記憶體控制電路單元更用以隨機地從這些邏輯位址之中選擇第一邏輯位址，並且根據邏輯位址-實體抹除單元映射表獲取第二實體抹除單元，其中在邏輯位址-實體抹除單元映射表中第一邏輯位址映射第二實體抹除單元。

【0035】 在本發明的一實施例中，上述記憶體管理電路更用以為每一邏輯位址記錄一標記，其中此標記會被記錄為未選過狀態或已選過狀態，其中第一邏輯位址的標記被記錄為未選過狀態。

【0036】 在本發明的一實施例中，在記憶體控制電路單元選擇第一邏輯位址之後，記憶體控制電路單元更用以將第一邏輯位址的標記重新記錄為已選過狀態。

【0037】 在本發明的一實施例中，上述記憶體管理電路更用以當對應從第二實體抹除單元中所讀取的資料的錯誤位元數目大於一第一錯誤位元數目門檻值且小於一第二錯誤位元數目門檻值時，判斷第二實體抹除單元發生資料錯誤，其中該第二錯誤位元數目門檻值大於該第一錯誤位元數目門檻值。

【0038】 在本發明的一實施例中，在選擇此些實體抹除單元之中的第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生已校正資料並且將已校正資料寫入至第三實體抹除單元之後，記憶體控制電路單元更用以將操作次數值歸零。

【0039】 在本發明的一實施例中，上述的記憶體管理電路更用以在倘若第二實體抹除單元未發生資料錯誤時，將操作次數值歸零。

【0040】 在本發明的一實施例中，上述的操作指令為讀取指令、寫入指令或抹除指令。

【0041】 在本發明的一實施例中，上述資料錯誤為讀取干擾、資料久置或記憶胞磨耗所造成。

【0042】 基於上述，本發明範例實施例中的防止讀取干擾的方法、記憶體控制電路單元及記憶體儲存裝置在操作指令的操作次數值非小於操作次數門檻值時，會選擇另一個非對應於目前所接收之操作指令的實體抹除單元來判斷其是否發生資料錯誤，由此，可監視整個系統的狀況，並且在維持系統執行性能下有效地預防讀取干擾的發生。

【0043】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉

實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0044】

圖 1 為根據本發明所繪示的防止讀取干擾的方法的流程圖。

圖 2A 是根據本發明之第一範例實施例所繪示的主機系統與記憶體儲存裝置。

圖 2B 是根據本發明之第一範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 2C 是根據本發明第一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 3 是繪示圖 2A 所示的記憶體儲存裝置的概要方塊圖。

圖 4 是根據第一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。

圖 5A 與圖 5B 是根據第一範例實施例所繪示之管理實體抹除單元的範例示意圖。

圖 6A 與圖 6B 是根據第一範例實施例所繪示之管理可複寫式非揮發性記憶體模組的範例示意圖。

圖 7A 與圖 7B 是根據第一範例實施例所繪示之防止讀取干擾的方法的流程圖。

圖 8A 與圖 8B 是根據第二範例實施例所繪示之防止讀取干擾的方法的流程圖。

圖 9A~圖 9C 是根據第三範例實施例所繪示之管理可複寫式非揮發性記憶體模組的範例示意圖。

圖 10A 與圖 10B 是根據第三範例實施例所繪示之防止讀取干擾的方法的流程圖。

【實施方式】

【0045】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0046】 圖 1 為根據本發明所繪示的防止讀取干擾的方法的流程圖。

【0047】 請參照圖 1，為了能夠確保在記憶體儲存裝置中正確地儲存資料，並且有效地預防讀取干擾的發生，本發明範例實施例所提出的防止讀取干擾的方法會當從主機系統接收到操作指令時，計數操作次數值，並且第一實體抹除單元被選取以執行此操作指令(S101)；當操作次數值非小於操作次數門檻值時，選擇實體抹除單元之中的第二實體抹除單元，並且從第二實體抹除單元中讀取一資料(S103)。接著，根據從第二實體抹除單元中所讀取的資料判斷第二實體抹除單元是否發生資料錯誤(S105)；倘若第二實體抹除單元發生資料錯誤時，選擇實體抹除單元之中的第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生已校正資料

並且將已校正資料寫入至第三實體抹除單元(S107)。爲了能夠更明瞭本發明，以下將以數個範例實施例來進行說明。

【0048】 [第一範例實施例]

【0049】 圖 2A 是根據本發明之第一範例實施例所繪示的主機系統與記憶體儲存裝置。圖 2B 是根據本發明之第一範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。圖 2C 是根據本發明第一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

【0050】 請參照圖 2A，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM)1104、系統匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 2B 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 2B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

【0051】 在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件電性連接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 2B 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216 等的可複寫式非揮發性記憶體儲存裝置。

【0052】 一般而言，主機系統 1000 為可實質地與記憶體儲存裝置 100 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來做說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為圖 2C 中的數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 2C 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接電性連接於主機系統的基板上。

【0053】 圖 3 是繪示圖 2A 所示的記憶體儲存裝置的概要方塊圖。

【0054】 請參照圖 3，記憶體儲存裝置 100 包括連接介面單元 102、記憶體控制電路單元 104 與可複寫式非揮發性記憶體模組 106。

【0055】 在本範例實施例中，連接介面單元 102 是相容於序列先進附件(Serial Advanced Technology Attachment, SATA)標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 102 亦可以是符合並列先進附件(Parallel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express)標準、通用序列匯流排(Universal Serial Bus, USB)標準、超高速一代(Ultra

High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、安全數位(Secure Digital, SD)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE)標準或其他適合的標準。在本範例實施例中，連接器可與記憶體控制電路單元封裝在一個晶片中，或佈設於一包含記憶體控制電路單元之晶片外。

【0056】 記憶體控制電路單元 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取、抹除與合併等運作。

【0057】 可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制電路單元 104，並且用以儲存主機系統 1000 所寫入之資料。可複寫式非揮發性記憶體模組 106 具有實體抹除單元 410(0)~410(N)。例如，實體抹除單元 410(0)~410(N)可屬於同一個記憶體晶粒(die)或者屬於不同的記憶體晶粒。每一實體抹除單元分別具有複數個實體程式化單元，並且屬於同一個實體抹除單元之實體程式化單元可被獨立地寫入且被同時地抹除。例如，每一實體抹除單元是由 128 個實體程式化單元所組成。然而，必須瞭解的是，本發明不限於此，每一實體抹除單元是可由 64 個實體程式化單元、256 個實體程式化單元或其他任意個實體程式化單元所組成。

【0058】 更詳細來說，實體抹除單元為抹除之最小單位。亦即，

每一實體抹除單元含有最小數目之一併被抹除之記憶胞。實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。每一實體程式化單元通常包括資料位元區與冗餘位元區。資料位元區包含多個實體存取位址用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料(例如，控制資訊與錯誤更正碼)。在本範例實施例中，每一個實體程式化單元的資料位元區中會包含 4 個實體存取位址，且一個實體存取位址的大小為 512 位元組(byte)。然而，在其他範例實施例中，資料位元區中也可包含數目更多或更少的實體存取位址，本發明並不限制實體存取位址的大小以及個數。例如，在一範例實施例中，實體抹除單元為實體區塊，並且實體程式化單元為實體頁面或實體扇區，但本發明不以此為限。

【0059】 在本範例實施例中，可複寫式非揮發性記憶體模組 106 為多階記憶胞(Multi Level Cell, MLC)NAND 型快閃記憶體模組，即一個記憶胞中可儲存至少 2 個位元。然而，本發明不限於此，可複寫式非揮發性記憶體模組 106 亦可是單階記憶胞(Single Level Cell, SLC)NAND 型快閃記憶體模組、複數階記憶胞(Trinary Level Cell, TLC) NAND 型快閃記憶體模組、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0060】 圖 4 是根據第一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。

【0061】 請參照圖 4，記憶體控制電路單元 104 包括記憶體管理電

路 202、主機介面 204 與記憶體介面 206。

【0062】 記憶體管理電路 202 用以控制記憶體控制電路單元 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

【0063】 在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，這些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0064】 在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制電路單元 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉這些控制指令以進行資料的寫入、讀取與抹除等運作。

【0065】 主機介面 204 是耦接至記憶體管理電路 202 並且用以耦接至連接介面單元 102，以接收與識別主機系統 1000 所傳送的指

令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、UHS-I 介面標準、UHS-II 介面標準、SD 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

● 【0066】 記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

【0067】 在本發明一範例實施例中，記憶體控制電路單元 104 還包括緩衝記憶體 208、電源管理電路 210 與錯誤檢查與校正電路 212。

● 【0068】 緩衝記憶體 208 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。

【0069】 電源管理電路 210 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

【0070】 錯誤檢查與校正電路 212 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令

時，錯誤檢查與校正電路 212 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 212 會依據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序。具體來說，錯誤檢查與校正電路 212 會被設計能夠校正一數目的錯誤位元(以下稱為最大可校正錯誤位元數)。例如，最大可校正錯誤位元數為 48。倘若發生在所讀取之資料的錯誤位元的數目非大於 48 個時，錯誤檢查與校正電路 212 就能夠依據錯誤校正碼將錯誤位元校正回正確的值。反之，錯誤檢查與校正電路 212 會回報錯誤校正失敗且記憶體管理電路 202 會將指示資料已遺失的訊息傳送給主機系統 1000。

【0071】 圖 5A 與圖 5B 是根據第一範例實施例所繪示之管理實體抹除單元的範例示意圖。

【0072】 必須瞭解的是，在此描述可複寫式非揮發性記憶體模組 106 之實體抹除單元的運作時，以“提取”、“分組”、“劃分”、“關聯”等詞來操作實體抹除單元是邏輯上的概念。也就是說，可複寫式非揮發性記憶體模組之實體抹除單元的實際位置並未更動，而是邏輯上對可複寫式非揮發性記憶體模組的實體抹除單元進行操

作。

【0073】 請參照圖 5A，記憶體控制電路單元 104(或記憶體管理電路 202)會將實體抹除單元 410(0)~410-(N)邏輯地分組為資料區 502、閒置區 504、系統區 506 與取代區 508。

【0074】 邏輯上屬於資料區 502 與閒置區 504 的實體抹除單元是用以儲存來自於主機系統 1000 的資料。具體來說，資料區 502 的實體抹除單元是被視為已儲存資料的實體抹除單元，而閒置區 504 的實體抹除單元是用以替換資料區 502 的實體抹除單元。也就是說，當從主機系統 1000 接收到寫入指令與欲寫入之資料時，記憶體管理電路 202 會從閒置區 504 中提取實體抹除單元，並且將資料寫入至所提取的實體抹除單元中，以替換資料區 502 的實體抹除單元。

【0075】 邏輯上屬於系統區 506 的實體抹除單元是用以記錄系統資料。例如，系統資料包括關於可複寫式非揮發性記憶體模組的製造商與型號、可複寫式非揮發性記憶體模組的實體抹除單元數、每一實體抹除單元的實體程式化單元數等。

【0076】 邏輯上屬於取代區 508 中的實體抹除單元是用於壞實體抹除單元取代程序，以取代損壞的實體抹除單元。具體來說，倘若取代區 508 中仍存有正常之實體抹除單元並且資料區 502 的實體抹除單元損壞時，記憶體管理電路 202 會從取代區 508 中提取正常的實體抹除單元來更換損壞的實體抹除單元。

【0077】 特別是，資料區 502、閒置區 504、系統區 506 與取代區

508 之實體抹除單元的數量會依據不同的記憶體規格而有所不同。此外，必須瞭解的是，在記憶體儲存裝置 100 的運作中，實體抹除單元關聯至資料區 502、閒置區 504、系統區 506 與取代區 508 的分組關係會動態地變動。例如，當閒置區 504 中的實體抹除單元損壞而被取代區 508 的實體抹除單元取代時，則原本取代區 508 的實體抹除單元會被關聯至閒置區 504。

【0078】 請參照圖 5B，記憶體控制電路單元 104(或記憶體管理電路 202)會配置邏輯位址 510(0)~510(D)以映射至資料區 502 中部份的實體抹除單元 414(0)~410(F-1)。主機系統 1000 是透過邏輯位址 510(0)~510(D)來存取資料區 502 中的資料。此外，記憶體控制電路單元 104(或記憶體管理電路 202)會建立邏輯位址-實體抹除單元映射表(logical address-physical erasing unit mapping table)，以記錄邏輯位址與實體抹除單元之間的映射關係。此邏輯位址-實體抹除單元映射表還可以例如是記錄邏輯位址與實體程式化單元、邏輯程式化單元與實體程式化單元及/或邏輯程式化單元與實體抹除單元之間的映射關係等各種邏輯與實體的對應關係，本發明不加以限制。

【0079】 圖 6A 與圖 6B 是根據第一範例實施例所繪示之管理可複寫式非揮發性記憶體模組的範例示意圖。

【0080】 請參照圖 6A，記憶體控制電路單元 104(或記憶體管理電路 202)會初始地設定一操作次數值為 0 並且每當接收到主機系統 1000 所傳送之操作指令(例如，寫入指令或讀取指令)時，記憶體

控制電路單元 104(或記憶體管理電路 202)會計數此操作次數值。例如，記憶體控制電路單元 104(或記憶體管理電路 202)會根據主機系統 1000 所傳送至記憶體控制電路單元 104(或記憶體管理電路 202)之讀取指令不斷地更新並累計操作次數值。並且當操作次數值非小於操作次數門檻值(例如，10000)時，記憶體控制電路單元 104(或記憶體管理電路 202)會從資料區 502 中的實體抹除單元之中，選擇對應此時主機系統 1000 所傳送之讀取指令的第一實體抹除單元 410(0)以外的第二實體抹除單元 410(1)，並且從第二實體抹除單元 410(1)中讀取資料 601。

【0081】 如上所述，在從實體抹除單元中讀取資料時，記憶體控制器 104(或錯誤檢查與校正電路 212)會根據對應的錯誤檢查與校正碼來判斷所讀取的資料是否存有錯誤位元並且嘗試對錯誤位元進行錯誤校正。在本發明範例實施例中，在錯誤位元的數目小於最大可校正錯誤位元數的狀態下，除了將錯誤位元進行校正之外，記憶體控制器 104(或記憶體管理電路 202)還會根據判斷操作次數值是否非小於操作次數門檻值的機制以及識別發在所讀取之資料上的錯誤位元的數目，以決定是否搬移資料。

【0082】 舉例而言，在如圖 6A 所示的狀態下，記憶體控制器 104(或記憶體管理電路 202)會從第二實體抹除單元 410(1)讀取資料 601 並且識別從第二實體抹除單元 410(1)所讀取的資料 601 的錯誤位元。倘若發生在所讀取之資料 601 上的錯誤位元的數目大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值時，

在記憶體控制器 104(或記憶體管理電路 202)將所讀取之資料 601 上的錯誤位元校正後，記憶體控制器 104(或記憶體管理電路 202)會選擇閒置區 504 的實體抹除單元之中的第三實體抹除單元 410(F) 並且將校正後的資料 601' 寫入至第三實體抹除單元 410(F)，其中第二錯誤位元數目門檻值大於第一錯誤位元數目門檻值。此後，請參照圖 6B，記憶體控制器 104(或記憶體管理電路 202)會重新調整邏輯位址與實體抹除單元之間的映射關係並且將存有有效資料的第三實體抹除單元 410(F) 關聯至資料區 502，以及在第二實體抹除單元 410(1) 中的資料抹除後，將第二實體抹除單元 410(1) 關聯至閒置區 504。在此，判斷此第二實體抹除單元之資料上的錯誤位元的數目是否大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值以將校正後的資料重新儲存至另一個實體抹除單元並且重新調整邏輯位址與實體抹除單元之間的映射關係的運作稱為“預防讀取干擾運作”。

【0083】 特別是，當欲從記憶胞中讀取資料時，記憶體控制電路單元 104(或記憶體管理電路 202)會對可複寫式非揮發性記憶體模組 106 下達讀取指令，並且可複寫式非揮發性記憶體模組 106 會對連接至欲讀取的記憶胞的字元線施予預設讀取電壓，以驗證記憶胞的通道儲存狀態。舉例而言，在寫入與抹除過程中，可複寫式非揮發性記憶體模組 106 的記憶胞會隨著電子多次的注入與移除而造成部份結構磨損，導致電子寫入速度增加並造成臨界電壓分佈變寬或偏移，因此，記憶體控制電路單元 104(或記憶體管理

電路 202)將無法正確地區別記憶胞的儲存狀態。也就是說，在上述判斷第二實體抹除單元之資料上的錯誤位元的數目是否大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值的操作中，導致臨界電壓分佈偏移而造成錯誤位元的原因有很多，例如，讀取干擾、資料久置及記憶胞磨耗。

【0084】 具體而言，在本發明範例實施例中，第二錯誤位元數目門檻值即為上述的最大可校正錯誤位元數，也就是說，當記憶體控制器 104(或記憶體管理電路 202)識別所讀取之資料的錯誤位元已大於第二錯誤位元數目門檻值時，錯誤檢查與校正電路 212 會回報錯誤校正失敗並且記憶體控制器 104(或記憶體管理電路 202)會將指示資料已遺失的訊息傳送給主機系統 1000。

【0085】 特別是，在本發明之第一範例實施例中，記憶體控制器 104(或記憶體管理電路 202)是依序地從資料區 502 的實體抹除單元之中除了對應目前所接收之讀取指令的第一實體抹除單元 410(0)以外的實體抹除單元之中來選出第二實體抹除單元。請參照圖 6B，舉例而言，倘若在圖 6A 所示的狀態下主機系統 1000 欲讀取實體抹除單元 410(10)中的資料且此時操作次數值非小於操作次數門檻值時，記憶體控制電路單元 104(或記憶體管理電路 202)會識別上一次是以由實體抹除單元 410(F)所輪替之實體抹除單元 410(1)作為用以執行預防讀取干擾運作的實體抹除單元，因此，記憶體控制電路單元 104(或記憶體管理電路 202)會依序地選擇實體抹除單元 410(F)的下一個實體抹除單元 410(2)，並且對其執行預

防讀取干擾運作。

【0086】 值得一提的是，在本發明範例實施例中，藉由將上述的操作次數門檻值設為 10000，記憶體控制電路單元 104(或記憶體管理電路 202)會在主機系統 1000 傳送之讀取指令每累積至 10000 次時，在資料區 502 中的實體抹除單元之中讀取非對應於此第 10000 次之讀取指令的另一個實體抹除單元，並且執行上述預防讀取干擾運作，可使得可複寫式非揮發性記憶體模組 106 中的實體抹除單元能平均地被管理以及監控，由此來降低讀取干擾發生的可能性。由於讀取干擾的發生通常是在讀取某一個實體抹除單元幾十萬、幾百萬或幾千萬次才可能發生，因此，在本發明的範例實施例中將操作次數門檻值設為 10000，亦即，每計數至 10000 次的讀取指令，即給記憶體儲存裝置 100 一次機會以檢查其可複寫式非揮發性記憶體模組 106 中資料區 502 的實體抹除單元的狀態以避免讀取干擾的發生。然而，值得注意的是，本發明並不限於此，本發明亦可依據記憶體儲存裝置 100 的執行性能來調整操作次數門檻值的設定。

【0087】 此外，在本發明範例實施例中，上述的操作次數值是以讀取指令為例來說明，亦即，記憶體控制電路單元 104(或記憶體管理電路 202)會在接收來自主機系統 1000 所傳送之讀取指令每累積至 10000 次時，選擇一非對應目前所接收之操作指令的實體抹除單元來執行預防讀取干擾運作。然而，本發明並不限於此，記憶體控制電路單元 104(或記憶體管理電路 202)亦可以在每當接收

由主機系統 1000 所傳送之寫入指令的操作計數值累積至 10000 次時，選擇非對應於目前所接收之寫入指令所對應的實體抹除單元來執行預防讀取干擾運作，亦或是從主機系統 1000 所接收之讀取指令與寫入指令兩者的操作計數值之總合累積至 10000 次時，選擇非對應於目前所接收之操作指令(讀取指令或寫入指令)所對應的實體抹除單元來執行預防讀取干擾運作。此外，在本發明範例實施例中，記憶體控制電路單元 104(或記憶體管理電路 202)還可以在每當接收由主機系統 1000 所傳送之抹除指令的操作計數值累積至 10000 次時，選擇非對應於目前所接收之抹除指令所對應的實體抹除單元來執行預防讀取干擾運作，亦或是從主機系統 1000 所接收之讀取指令、寫入指令與抹除指令三者的操作計數值之總合累積至 10000 次時，選擇非對應於目前所接收之操作指令(讀取指令、寫入指令或抹除指令)所對應的實體抹除單元來執行預防讀取干擾運作。

● **【0088】** 在一範例實施例中，記憶體控制電路單元 104(或記憶體管理電路 202)會在操作次數值非小於操作次數門檻值(例如，10000)時，選擇非對應於目前所接收之操作指令的實體抹除單元以執行預防讀取干擾運作。並且，在記憶體控制電路單元 104(或記憶體管理電路 202)執行完預防讀取干擾運作之後，例如，會更進一步地將操作次數值歸零，以使得當記憶體控制電路單元 104(或記憶體管理電路 202)從主機系統接收到操作指令(例如，讀取指令或操作指令)時，從新計數操作次數值。

【0089】 圖 7A 與圖 7B 是根據第一範例實施例所繪示之防止讀取干擾的方法的流程圖。

【0090】 請參照圖 7A，在步驟 S701 中，記憶體控制電路單元 104(或記憶體管理電路 202)會當接收到來自主機系統的操作指令(例如，讀取指令或寫入指令)時，計數操作次數值。

【0091】 在步驟 S703 中，記憶體控制電路單元 104(或記憶體管理電路 202)會判斷所計數之操作次數值是否非小於操作次數門檻值。

【0092】 倘若操作次數值非小於操作次數門檻值時，在步驟 S705 中，依序地選擇實體抹除單元中對應此操作指令的第一實體抹除單元以外的第二實體抹除單元，並且從第二實體抹除單元中讀取資料。反之，倘若操作次數值小於操作次數門檻值時，則記憶體控制電路單元 104(或記憶體管理電路 202)會執行步驟 S701 以在接收到來自主機系統的操作指令時計數操作次數值。

【0093】 接著，在步驟 S707 中，記憶體控制電路單元 104(或記憶體管理電路 202)會判斷從第二實體抹除單元中所讀取之資料上的錯誤位元的數目是否大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值。

【0094】 倘若所讀取之資料上的錯誤位元的數目大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值，在步驟 S709 中，記憶體控制電路單元 104(或記憶體管理電路 202)會將所讀取之資料上的錯誤位元校正後，選擇實體抹除單元之中的第三實體抹除

單元並且將校正後的資料寫入至第三實體抹除單元。反之，倘若所讀取之資料上的錯誤位元的數目非小於第一錯誤位元數目門檻值，則回到步驟 S705 中，記憶體控制電路單元 104(或記憶體管理電路 202)會依序地選擇下一個實體抹除單元以進行預防讀取干擾運作。此外，倘若所讀取之資料上的錯誤位元的數目大於第二錯誤位元數目門檻值，則在步驟 S700 中，記憶體控制電路單元 104(或記憶體管理電路 202)會回報錯誤校正失敗並且將指示資料已遺失的訊息傳給主機。

【0095】 之後，在步驟 S711 中，記憶體控制電路單元 104(或記憶體管理電路 202)會將操作次數值歸零，並且記憶體控制電路單元 104(或記憶體管理電路 202)會執行步驟 S701 以在接收到來自主機系統的操作指令時計數操作次數值。

【0096】 值得一提的是，本發明亦可以在步驟 S707 中，當記憶體控制電路單元 104(或記憶體管理電路 202)所讀取之資料上的錯誤位元的數目非大於第一錯誤位元數目門檻值時將操作次數值歸零。請參照圖 7B，圖 7B 所示之防止讀取干擾的方法本質上相同於圖 7A 所示之防止讀取干擾的方法，不同之處在於，在步驟 S707 中，當記憶體控制電路單元 104(或記憶體管理電路 202)判斷所讀取之資料上的錯誤位元的數目小於第一錯誤位元數目門檻值時，會接著進入步驟 S713，以使記憶體控制電路單元 104(或記憶體管理電路 202)會將操作次數歸零，並且回到步驟 S701 中，以使記憶體控制電路單元 104(或記憶體管理電路 202)接收到來自主機系統

1000 的操作指令時，重新計數操作次數值。特別是，由此可減少在圖 7A 的步驟 S707 中，倘若當所讀取之資料上的錯誤位元的數目一直未大於第一錯誤位元數目門檻值時，不斷地回到步驟 S705 中選擇下一個實體抹除單元以進行預防讀取干擾運作的執行次數，以提升記憶體儲存裝置 100 的執行性能。

【0097】 [第二範例實施例]

【0098】 第二範例實施例的記憶體儲存裝置的結構與第一範例實施例的記憶體儲存裝置是類似的，其不同之處在於第二範例實施例的記憶體控制器(或記憶體管理電路)是使用隨機的方法選擇實體抹除單元來執行預防讀取干擾運作。以下將使用第一範例實施例的元件標號來說明第二範例實施例的差異之處。

【0099】 在本範例實施例中，記憶體控制電路單元 104 可更包括一隨機選取模組電路(未繪示)，特別是，記憶體控制電路單元 104(或記憶體管理電路 202)會透過此隨機選取模組電路執行一隨機函數的運算，以取得用以執行預防讀取干擾運作的實體抹除單元。舉例來說，記憶體控制電路單元 104(或記憶體管理電路 202)會識別可複寫式非揮發性記憶體模組 106 中之資料區 502 中的實體抹除單元的位址 410(0)~410(F-1)以及對應目前所接收之操作指令的實體抹除單元，並且將對應目前所接收之操作指令的實體抹除單元以外的實體抹除單元的實體位址帶入隨機函數中，透過隨機選取模組電路的運算，計算並獲得一實體抹除單元的位址，再由記憶體控制電路單元 104(或記憶體管理電路 202)根據隨機選取

模組電路所計算出的實體位址取出此實體抹除單元作為用以執行預防讀取干擾運作的實體抹除單元。透過隨機地選取實體抹除單元的方式，可使得資料區中每一實體抹除單元皆有機會被選取到以檢查其是否發生讀取干擾，並且每一實體抹除單元可重複地被選擇來執行此預防讀取干擾運作。

【0100】 圖 8A 與圖 8B 是根據第二範例實施例所繪示之防止讀取干擾的方法的流程圖。

● 【0101】 請參照圖 8A，圖 8A 所示之防止讀取干擾的方法本質上相同於圖 7A 所示之防止讀取干擾的方法，其中步驟 S800、步驟 S801、步驟 S803 以及步驟 S807 到步驟 S811 是相同於第一範例實施例之圖 7 中的防止讀取干擾的方法的步驟 S700、步驟 S701、步驟 S703 以及步驟 S707 到步驟 S711，在此不再重複。其不同之處在於，倘若操作次數值非小於操作次數門檻值時，在步驟 S805 中，記憶體控制電路單元 104(或記憶體管理電路 202)是隨機地選擇實體抹除單元中對應目前所接收之操作指令的第一實體抹除單元以外的第二實體抹除單元，並且從此第二實體抹除單元中讀取資料。

● 【0102】 請參照圖 8B，圖 8B 所示之防止讀取干擾的方法本質上相同於圖 7B 所示之防止讀取干擾的方法，其中步驟 S800、步驟 S801、步驟 S803 以及步驟 S807 到步驟 S813 是相同於第一範例實施例之圖 7 中的讀取資料傳輸方法的步驟 S700、步驟 S701、步驟 S703 以及步驟 S707 到步驟 S713，在此不再重複。不同之處在於，倘若操作次數值非小於操作次數門檻值時，在步驟 S805 中，記憶

體控制電路單元 104(或記憶體管理電路 202)是隨機地選擇實體抹除單元中對應目前所接收之操作指令的第一實體抹除單元以外的第二實體抹除單元，並且從此第二實體抹除單元中讀取資料。

【0103】 [第三範例實施例]

【0104】 第三範例實施例的記憶體儲存裝置的結構與第一範例實施例的記憶體儲存裝置是類似的，且相同於第二範例實施例，皆是以隨機的方法選擇實體抹除單元來執行預防讀取干擾運作。不同之處在於第三範例實施例的防止讀取干擾的方法是先隨機地選擇邏輯位址再映射至對應的實體抹除單元，並且標記所選過的邏輯位址，以使得每一次所選擇來執行預防讀取干擾運作的實體抹除單元不會重複。以下將使用第一範例實施例的元件標號來說明第三範例實施例的差異之處。

【0105】 在本範例實施例中，記憶體控制電路單元 104 更包括一隨機選取模組電路(未繪示)，特別是，記憶體控制電路單元 104(或記憶體管理電路 202)會透過此隨機選取模組電路執行一隨機函數的運算，以取得用以執行預防讀取干擾運作的實體抹除單元。首先，如上所述，記憶體控制電路單元 104(或記憶體管理電路 202)會配置多個邏輯位址 510(0)~510(D)以映射至資料區 502 中部份的實體抹除單元 414(0)~410(F-1)。接著，記憶體控制電路單元 104(或記憶體管理電路 202)會更進一步地為每一邏輯位址記錄一標記，例如，記憶體控制電路單元 104(或記憶體管理電路 202)會初始地將每一邏輯位址 510(0)~510(D)的標記記錄為未選過狀態。

【0106】 之後，相同於第一與第二範例實施例，當記憶體控制電路單元 104(或記憶體管理電路 202)從主機系統 1000 接收到操作指令時會計數一操作次數值，並且當所計數之操作次數值非小於操作次數門檻值時，記憶體控制電路單元 104(或記憶體管理電路 202)會隨機地從邏輯位址 510(0)~510(D)之中選擇其標記為未選過狀態的第一邏輯位址，並且根據邏輯位址-實體抹除單元映射表獲取對應第一邏輯位址的第二實體抹除單元。其中隨機地從邏輯位址 510(0)~510(D)之中選擇第一邏輯位址的方式類似於第二範例實施例，記憶體控制電路單元 104(或記憶體管理電路 202)會識別可複寫式非揮發性記憶體模組 106 之資料區 502 中其標記被記錄為未選過狀態的所有邏輯位址以及對應目前所接收之操作指令的實體抹除單元所映射的邏輯位址，並且將對應目前所接收之操作指令的第一實體抹除單元所映射之邏輯位址以外且記錄為未選過狀態的邏輯位址帶入隨機函數中，透過隨機選取模組電路的運算，計算並獲得第一邏輯位址，再由記憶體控制電路單元 104(或記憶體管理電路 202)根據邏輯位址-實體抹除單元映射表取出由隨機選取模組電路所計算出之第一邏輯位址所映射的第二實體抹除單元作為用以執行預防讀取干擾運作的實體抹除單元。

【0107】 此外，在本範例實施例中，當記憶體控制電路單元 104(或記憶體管理電路 202)判斷從第二實體抹除單元中所讀取之資料上的錯誤位元的數目大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值時，會將所讀取之資料上的錯誤位元校正後，選

擇閒置區之實體抹除單元之中的第三實體抹除單元並且將校正後的資料寫入至第三實體抹除單元。特別是，在此之後，記憶體控制電路單元 104(或記憶體管理電路 202)會更進一步地將第一邏輯位址映射至第三實體抹除單元並且將第一邏輯位址的標記重新記錄為已選過狀態。據此，可複寫式非揮發性記憶體模組 106 中之資料區 502 的實體抹除單元能平均地被選取來檢查其資料上之錯誤位元的數目以評估其是否發生讀取干擾，由此降低記憶體儲存裝置 100 整體之讀取干擾發生的可能性。

【0108】 圖 9A~圖 9C 是根據第三範例實施例所繪示之管理可複寫式非揮發性記憶體模組的範例示意圖。

【0109】 請參照圖 9A，記憶體控制電路單元 104(或記憶體管理電路 202)會配置多個邏輯位址 510(0)~510(D)以映射至資料區 502 中的實體抹除單元 414(0)~410(F-1)，並且為每一邏輯位址的標記記錄為未選過狀態。記憶體控制電路單元 104(或記憶體管理電路 202)會根據從主機系統 1000 所接收之操作指令(讀取指令、寫入指令或抹除指令)不斷地更新並累計操作次數值並且識別資料區 502 中的邏輯位址 510(0)~510(D)目前皆為未選過狀態，因此，當操作次數值非小於操作次數門檻值(例如，10000)時，記憶體控制電路單元 104(或記憶體管理電路 202)會從資料區 502 中的實體抹除單元之中，將對應目前所接收之操作指令的第一實體抹除單元 410(0)所映射之邏輯位址 510(0)以外且記錄為未選過狀態的邏輯位址帶入隨機函數中，透過隨機選取模組電路的運算，計算並獲得第一

邏輯位址 510(2)，再由記憶體控制電路單元 104(或記憶體管理電路 202)根據邏輯位址-實體抹除單元映射表取出由隨機選取模組電路所計算出之第一邏輯位址 510(2)所映射的第二實體抹除單元 410(2)，並且從第二實體抹除單元 410(2)中讀取資料 901。

【0110】舉例而言，在如圖 9A 所示的狀態下，記憶體控制器 104(或記憶體管理電路 202)會從第二實體抹除單元 410(2)讀取資料 901 並且識別從第二實體抹除單元 410(2)所讀取的資料 901 的錯誤位元。倘若發生在所讀取之資料 901 上的錯誤位元的數目大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值時，在記憶體控制器 104(或記憶體管理電路 202)將所讀取之資料 901 上的錯誤位元校正後，記憶體控制器 104(或記憶體管理電路 202)會選擇閒置區 504 中之實體抹除單元之中的第三實體抹除單元 410(F)並且將校正後的資料 901' 寫入至第三實體抹除單元 410(F)。此後，記憶體控制電路單元 104(或記憶體管理電路 202)會更進一步地將第一邏輯位址 510(2)映射至第三實體抹除單元 410(F)(如圖 9B 所示)並且將第一邏輯位址的標記重新記錄為已選過狀態(如圖 9B 所示的第一邏輯位址 510'(2))。此外，請參照圖 9C，記憶體控制電路單元 104(或記憶體管理電路 202)會將存有有效資料的第三實體抹除單元 410(F)關聯至資料區 502，並且在第二實體抹除單元 410(2)中的資料 901 被抹除後，將第二實體抹除單元 410(2)關聯至閒置區 504。

【0111】也就是說，倘若在圖 9C 所示的狀態下主機系統 1000 欲

讀取實體抹除單元 410(1)中的資料且此時操作次數值非小於操作次數門檻值，記憶體控制器 104(或記憶體管理電路 202)會識別資料區 502 中其標記被記錄為未選過狀態的所有邏輯位址(即，邏輯位址 510(0)、邏輯位址 510(1)以及邏輯位址 510(3)~510(D))以及對應目前操作指令的實體抹除單元 410(1)所映射的邏輯位址 510(1)，並且將對應目前操作指令的第一實體抹除單元所映射之邏輯位址 510(1)以外且記錄為未選過狀態的邏輯位址(即，邏輯位址 510(0)以及邏輯位址 510(3)~510(D))帶入隨機函數中，透過隨機選取模組電路的運算，計算並獲得第二邏輯位址，再由記憶體控制電路單元 104(或記憶體管理電路 202)根據邏輯位址-實體抹除單元映射表取出由隨機選取模組電路所計算出之第二邏輯位址所映射的第四實體抹除單元作為用以執行預防讀取干擾運作的實體抹除單元。

【0112】 圖 10A 與圖 10B 是根據第三範例實施例所繪示之防止讀取干擾的方法的流程圖。

【0113】 請參照圖 10A，在步驟 S1001 中，記憶體控制電路單元 104(或記憶體管理電路 202)會配置多個邏輯位址以映射至資料區中的實體抹除單元，並且將每一邏輯位址的標記記錄為未選過狀態。

【0114】 在步驟 S1003 中，記憶體控制電路單元 104(或記憶體管理電路 202)會當接收到來自主機系統的操作指令(例如，讀取指令或寫入指令)時，計數操作次數值。

● 【0115】 在步驟 S1005 中，記憶體控制電路單元 104(或記憶體管理電路 202)會判斷所計數之操作次數值是否非小於操作次數門檻值。倘若操作次數值非小於操作次數門檻值時，在步驟 S1007 中，記憶體控制電路單元 104(或記憶體管理電路 202)會隨機地從邏輯位址之中選擇第一邏輯位址，根據邏輯位址-實體抹除單元映射表獲取映射第一邏輯位址的第二實體抹除單元，並且從第二實體抹除單元中讀取資料。反之，倘若操作次數值小於操作次數門檻值時，則記憶體控制電路單元 104(或記憶體管理電路 202)會執行步驟 S1003，以在接收到來自主機系統的操作指令時則計數操作次數值。

● 【0116】 接著，在步驟 S1009 中，記憶體控制電路單元 104(或記憶體管理電路 202)會判斷從第二實體抹除單元中所讀取之資料上的錯誤位元的數目是否大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值。

● 【0117】 倘若所讀取之資料上的錯誤位元的數目大於第一錯誤位元數目門檻值且小於第二錯誤位元數目門檻值，在步驟 S1011 中，記憶體控制電路單元 104(或記憶體管理電路 202)會將所讀取之資料上的錯誤位元校正後，選擇實體抹除單元之中的第三實體抹除單元並且將校正後的資料寫入至第三實體抹除單元。反之，倘若所讀取之資料上的錯誤位元的數目小於第一錯誤位元數目門檻值，則回到步驟 S1007，記憶體控制電路單元 104(或記憶體管理電路 202)會繼續地使用隨機的方式選擇另一個邏輯位址所映射的

實體抹除單元以進行預防讀取干擾運作。此外，倘若所讀取之資料上的錯誤位元的數目大於第二錯誤位元數目門檻值，則在步驟 S1000 中，記憶體控制電路單元 104(或記憶體管理電路 202)會回報錯誤校正失敗並且將指示資料已遺失的訊息傳給主機。

【0118】 在步驟 S1013 中，記憶體控制電路單元 104(或記憶體管理電路 202)會將第一邏輯位址映射至第三實體抹除單元並且將第一邏輯位址的標記重新記錄為已選過狀態。

【0119】 之後，在步驟 S1015 中，記憶體控制電路單元 104(或記憶體管理電路 202)會將操作次數值歸零，並且之後記憶體控制電路單元 104(或記憶體管理電路 202)會執行步驟 S1003，以在接收到來自主機系統的操作指令時則計數操作次數值。

【0120】 此外，相同於第一範例實施例，本發明之第三範例實施例亦可以在步驟 S1009 中，當判斷所讀取之資料上的錯誤位元的數目小於第一錯誤位元數目門檻值時，將操作次數值歸零(如圖 10B 的步驟 S1017 所示)。由此可減少在圖 10A 的步驟 S1009 中，倘若當所讀取之資料上的錯誤位元的數目一直未大於第一錯誤位元數目門檻值時，不斷地回到步驟 S1007 中選擇下一個實體抹除單元以進行預防讀取干擾運作的執行次數，以提升記憶體儲存裝置 100 的執行性能。

【0121】 綜上所述，本發明範例實施例的防止讀取干擾的方法、記憶體控制電路單元與記憶體儲存裝置會當接收來自主機系統所傳送之操作指令的操作計數值每累積至一門檻值時，選擇一非對應

目前所接收之操作指令的實體抹除單元來執行預防讀取干擾運作。據此，記憶體儲存裝置的整體存取狀況可被監控與管理並且可複寫式非揮發性記憶體模組中的實體抹除單元能平均地被選取以檢查其是否發生讀取干擾，由此可確保在記憶體儲存裝置中所儲存之資料的正確性並有效地降低讀取干擾發生的可能性。

【符號說明】

【0122】

1000：主機系統

1100：電腦

1102：微處理器

1104：隨機存取記憶體(RAM)

1106：輸入/輸出裝置

1108：系統匯流排

1110：資料傳輸介面

1202：滑鼠

1204：鍵盤

1206：顯示器

1208：印表機

1212：隨身碟

1214：記憶卡

1216：固態硬碟

- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡
- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 102：連接介面單元
- 104：記憶體控制電路單元
- 106：可複寫式非揮發性記憶體模組
- 410(0)~410(N)：實體抹除單元
- 202：記憶體管理電路
- 204：主機介面
- 206：記憶體介面
- 208：緩衝記憶體
- 210：電源管理電路
- 212：錯誤檢查與校正電路
- 502：資料區
- 504：閒置區
- 506：系統區
- 508：取代區
- 601、901、601'、901'：資料

510(0)~510(D)、510'(2)：邏輯位址

S101、S103、S105、S107：防止讀取干擾的方法的步驟

S700、S701、S703、S705、S707、S709、S711、S713：防止
讀取干擾的方法的步驟

S800、S801、S803、S805、S807、S809、S811、S813：防止

讀取干擾的方法的步驟

S1000、S1001、S1003、S1005、S1007、S1009、S1011、S1013、

● S1015、S1017：防止讀取干擾的方法的步驟

發明摘要

※ 申請案號：103123957

※ 申請日：103. 7. 11

※IPC 分類：

G11C 16/4 (2006.01),
G11C 16/52 (2006.01)

【發明名稱】

防止讀取干擾的方法、記憶體控制電路單元與記憶體儲存裝置

METHOD FOR PREVENTING READ-DISTURB, MEMORY CONTROL
CIRCUIT UNIT AND MEMORY STORAGE APPARATUS

【中文】

一種防止讀取干擾的方法、記憶體控制電路單元與記憶體儲存裝置。本方法包括：當從主機系統接收到操作指令時，計數操作次數值，其中第一實體抹除單元被選取以執行此操作指令。本方法還包括：當操作次數值非小於操作次數門檻值時，選擇一第二實體抹除單元，並讀取此第二實體抹除單元中的資料。本方法更包括：根據從第二實體抹除單元中所讀取的資料判斷第二實體抹除單元是否發生資料錯誤。此外，若是發生資料錯誤，選擇一第三實體抹除單元，校正從第二實體抹除單元中所讀取的資料以產生已校正資料並且將此已校正資料寫入至第三實體抹除單元。

【英文】

A method for preventing read-disturb, memory storage device and memory control circuit unit are provided. The method includes, counting an operation numerical value when receiving an operation

command from host system, wherein a first physical erasing unit is selected for executing the operation command. The method also includes, if the operation numerical value is not smaller than a threshold, selecting a second physical erasing unit and reading data from the second physical erasing unit. The method further includes, determining whether a data error is happened at the second physical erasing unit according to the data read from the second physical erasing unit and if the data error happened, selecting a third physical erasing unit, correcting the data read from the second physical erasing unit to generate corrected data and writing the corrected data into the third physical erasing unit.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

S101、S103、S105、S107：防止讀取干擾的方法的步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種防止讀取干擾的方法，用於一可複寫式非揮發性記憶體模組，該可複寫式非揮發性記憶體模組包括多個實體抹除單元，該防止讀取干擾的方法包括：

當從一主機系統接收到一操作指令時，計數一操作次數值，其中該些實體抹除單元之中的一第一實體抹除單元被選取以執行該操作指令；

當該操作次數值非小於一操作次數門檻值時，選擇該些實體抹除單元之中的一第二實體抹除單元，並且從該第二實體抹除單元中讀取一資料；

根據從該第二實體抹除單元中所讀取的該資料判斷該第二實體抹除單元是否發生一資料錯誤；以及

倘若該第二實體抹除單元發生該資料錯誤時，選擇該些實體抹除單元之中的一第三實體抹除單元，校正從該第二實體抹除單元中所讀取的該資料以產生一已校正資料並且將該已校正資料寫入至該第三實體抹除單元。

2. 如申請專利範圍第 1 項所述之防止讀取干擾的方法，更包括：

將該些實體抹除單元至少分組為一資料區與一閒置區，

其中當該操作次數值非小於該操作次數門檻值時，選擇該些實體抹除單元之中的該第二實體抹除單元的步驟包括：

依序地從該資料區的該些實體抹除單元之中除了對應該操作

指令的該第一實體抹除單元以外的實體抹除單元之中來選出該第二實體抹除單元。

3. 如申請專利範圍第 1 項所述之防止讀取干擾的方法，更包括：

將該些實體抹除單元至少分組為一資料區與一閒置區，

其中當該操作次數值非小於該操作次數門檻值時，選擇該些實體抹除單元之中的該第二實體抹除單元的步驟包括：

● 隨機地從該資料區的該些實體抹除單元之中除了對應該操作指令的該第一實體抹除單元以外的實體抹除單元之中來選出該第二實體抹除單元。

4. 如申請專利範圍第 1 項所述之防止讀取干擾的方法，更包括：

將該些實體抹除單元至少分組為一資料區與一閒置區；以及

● 配置多個邏輯位址，其中該些邏輯位址映射該資料區的該些實體抹除單元，

其中當該操作次數值非小於該操作次數門檻值時，選擇該些實體抹除單元之中的該第二實體抹除單元的步驟包括：

隨機地從該些邏輯位址之中選擇一第一邏輯位址，並且根據一邏輯位址-實體抹除單元映射表獲取該第二實體抹除單元，其中在該邏輯位址-實體抹除單元映射表中該第一邏輯位址映射該第二實體抹除單元。

5. 如申請專利範圍第 4 項所述之防止讀取干擾的方法，更包

括：

為每一該些邏輯位址記錄一標記，其中該標記會被記錄為一未選過狀態或一已選過狀態，

其中該第一邏輯位址的該標記被記錄為該未選過狀態。

6. 如申請專利範圍第 5 項所述之防止讀取干擾的方法，更包括：

在選擇該第一邏輯位址之後，將該第一邏輯位址的該標記重新記錄為該已選過狀態。

7. 如申請專利範圍第 1 項所述之防止讀取干擾的方法，其中根據從該第二實體抹除單元中所讀取的該資料判斷該第二實體抹除單元是否發生該資料錯誤的步驟包括：

當對應從該第二實體抹除單元中所讀取的該資料的一錯誤位元數目大於一第一錯誤位元數目門檻值且小於一第二錯誤位元數目門檻值時，判斷該第二實體抹除單元發生該資料錯誤，其中該第二錯誤位元數目門檻值大於該第一錯誤位元數目門檻值。

8. 如申請專利範圍第 1 項所述之防止讀取干擾的方法，更包括：在選擇該些實體抹除單元之中的該第三實體抹除單元，校正從該第二實體抹除單元中所讀取的該資料以產生該已校正資料並且將該已校正資料寫入至該第三實體抹除單元之後，將該操作次數值歸零。

9. 如申請專利範圍第 1 項所述之防止讀取干擾的方法，更包括：

倘若該第二實體抹除單元未發生該資料錯誤時，將該操作次數值歸零。

10. 如申請專利範圍第 1 項所述之防止讀取干擾的方法，其中該操作指令為一讀取指令、一寫入指令或一抹除指令。

11. 如申請專利範圍第 1 項所述之防止讀取干擾的方法，其中該資料錯誤為一讀取干擾、一資料久置或一記憶胞磨耗所造成。

12. 一種記憶體控制電路單元，用於控制一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個實體抹除單元，該記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組；以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，

其中該記憶體管理電路用以當從該主機系統接收到一操作指令時，計數一操作次數值，其中該些實體抹除單元中的一第一實體抹除單元被選取以執行該操作指令，

其中該記憶體管理電路更用以當該操作次數值非小於一操作次數門檻值時，選擇該些實體抹除單元中的一第二實體抹除單元，並且下達一第一指令序列以從該第二實體抹除單元中讀取一資料，

其中該記憶體管理電路更用以根據從該第二實體抹除單元中所讀取的該資料判斷該第二實體抹除單元是否發生一資料錯誤，

其中倘若該第二實體抹除單元發生該資料錯誤時，該記憶體管理電路選擇該些實體抹除單元中的一第三實體抹除單元，校正從該第二實體抹除單元中所讀取的該資料以產生一已校正資料並且下達一第二指令序列以將該已校正資料寫入至該第三實體抹除單元。

13. 如申請專利範圍第 12 項所述之記憶體控制電路單元，其中該記憶體管理電路更用以將該些實體抹除單元至少分組為一資料區與一閒置區，

其中該記憶體管理電路更用以依序地從該資料區的該些實體抹除單元之中除了對應該操作指令的該第一實體抹除單元以外的實體抹除單元之中來選出該第二實體抹除單元。

14. 如申請專利範圍第 12 項所述之記憶體控制電路單元，其中該記憶體管理電路更用以將該些實體抹除單元至少分組為一資料區與一閒置區，

其中該記憶體管理電路更用以隨機地從該資料區的該些實體抹除單元之中除了對應該操作指令的該第一實體抹除單元以外的實體抹除單元之中來選出該第二實體抹除單元。

15. 如申請專利範圍第 12 項所述之記憶體控制電路單元，其中該記憶體管理電路更用以將該些實體抹除單元至少分組為一資料區與一閒置區，

其中該記憶體管理電路更用以配置多個邏輯位址，其中該些邏輯位址映射該資料區的該些實體抹除單元，

其中該記憶體管理電路更用以隨機地從該些邏輯位址之中選擇一第一邏輯位址，並且根據一邏輯位址-實體抹除單元映射表獲取該第二實體抹除單元，其中在該邏輯位址-實體抹除單元映射表中該第一邏輯位址映射該第二實體抹除單元。

16. 如申請專利範圍第 15 項所述之記憶體控制電路單元，其中該記憶體管理電路更用以為每一該些邏輯位址記錄一標記，其中該標記會被記錄為一未選過狀態或一已選過狀態，

其中該第一邏輯位址的該標記被記錄為該未選過狀態。

17. 如申請專利範圍第 16 項所述之記憶體控制電路單元，其中在該記憶體管理電路選擇該第一邏輯位址之後，該記憶體管理電路更用以將該第一邏輯位址的該標記重新記錄為該已選過狀態。

18. 如申請專利範圍第 12 項所述之記憶體控制電路單元，其中該記憶體管理電路更用以當對應從該第二實體抹除單元中所讀取的該資料的一錯誤位元數目大於一第一錯誤位元數目門檻值且小於一第二錯誤位元數目門檻值時，判斷該第二實體抹除單元發生該資料錯誤，其中該第二錯誤位元數目門檻值大於該第一錯誤位元數目門檻值。

19. 如申請專利範圍第 12 項所述之記憶體控制電路單元，其中在該記憶體管理電路選擇該些實體抹除單元之中的該第三實體抹除單元，校正從該第二實體抹除單元中所讀取的該資料以產生該已校正資料並且下達該第二指令序列以將該已校正資料寫入至

該第三實體抹除單元之後，該記憶體管理電路更用以將該操作次數值歸零。

20. 如申請專利範圍第 12 項所述之記憶體控制電路單元，其中倘若該第二實體抹除單元未發生該資料錯誤時，該記憶體管理電路更用以將該操作次數值歸零。

21. 如申請專利範圍第 12 項所述之記憶體控制電路單元，其中該操作指令為一讀取指令、一寫入指令或一抹除指令。

22. 如申請專利範圍第 12 項所述之記憶體控制電路單元，其中該資料錯誤為一讀取干擾、一資料久置或一記憶胞磨耗所造成。

23. 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，包括多個實體抹除單元；

以及

一記憶體控制電路單元，耦接至該連接介面單元與該可複寫式非揮發性記憶體模組，

其中該記憶體控制電路單元用以當從該主機系統接收到一操作指令時，計數一操作次數值，其中該些實體抹除單元之中的一第一實體抹除單元被選取以執行該操作指令，

其中該記憶體控制電路單元更用以當該操作次數值非小於一操作次數門檻值時，選擇該些實體抹除單元之中的一第二實體抹除單元，並且從該第二實體抹除單元中讀取一資料，

其中該記憶體控制電路單元更用以根據從該第二實體抹除單

元中所讀取的該資料判斷該第二實體抹除單元是否發生一資料錯誤，

其中倘若該第二實體抹除單元發生該資料錯誤時，該記憶體控制電路單元選擇該些實體抹除單元之中的一第三實體抹除單元，校正從該第二實體抹除單元中所讀取的該資料以產生一已校正資料並且將該已校正資料寫入至該第三實體抹除單元。

24. 如申請專利範圍第 23 項所述之記憶體儲存裝置，其中該記憶體控制電路單元更用以將該些實體抹除單元至少分組為一資料區與一閒置區，

其中該記憶體控制電路單元更用以依序地從該資料區的該些實體抹除單元之中除了對應該操作指令的該第一實體抹除單元以外的實體抹除單元之中來選出該第二實體抹除單元。

25. 如申請專利範圍第 23 項所述之記憶體儲存裝置，其中該記憶體控制電路單元更用以將該些實體抹除單元至少分組為一資料區與一閒置區，

其中該記憶體控制電路單元更用以隨機地從該資料區的該些實體抹除單元之中除了對應該操作指令的該第一實體抹除單元以外的實體抹除單元之中來選出該第二實體抹除單元。

26. 如申請專利範圍第 23 項所述之記憶體儲存裝置，其中該記憶體控制電路單元更用以將該些實體抹除單元至少分組為一資料區與一閒置區，

其中該記憶體控制電路單元更用以配置多個邏輯位址，其中

該些邏輯位址映射該資料區的該些實體抹除單元，

其中該記憶體控制電路單元更用以隨機地從該些邏輯位址之中選擇一第一邏輯位址，並且根據一邏輯位址-實體抹除單元映射表獲取該第二實體抹除單元，其中在該邏輯位址-實體抹除單元映射表中該第一邏輯位址映射該第二實體抹除單元。

27. 如申請專利範圍第 26 項所述之記憶體儲存裝置，其中該記憶體控制電路單元更用以為每一該些邏輯位址記錄一標記，其中該標記會被記錄為一未選過狀態或一已選過狀態，

其中該第一邏輯位址的該標記被記錄為該未選過狀態。

28. 如申請專利範圍第 27 項所述之記憶體儲存裝置，其中在該記憶體控制電路單元選擇該第一邏輯位址之後，該記憶體控制電路單元更用以將該第一邏輯位址的該標記重新記錄為該已選過狀態。

29. 如申請專利範圍第 23 項所述之記憶體儲存裝置，其中該記憶體控制電路單元更用以當對應從該第二實體抹除單元中所讀取的該資料的一錯誤位元數目大於一第一錯誤位元數目門檻值且小於一第二錯誤位元數目門檻值時，判斷該第二實體抹除單元發生該資料錯誤，其中該第二錯誤位元數目門檻值大於該第一錯誤位元數目門檻值。

30. 如申請專利範圍第 23 項所述之記憶體儲存裝置，其中在該記憶體控制電路單元選擇該些實體抹除單元之中的該第三實體抹除單元，校正從該第二實體抹除單元中所讀取的該資料以產生

該已校正資料並且將該已校正資料寫入至該第三實體抹除單元之後，該記憶體控制電路單元更用以將該操作次數值歸零。

31. 如申請專利範圍第 23 項所述之記憶體儲存裝置，其中倘若該第二實體抹除單元未發生該資料錯誤時，該記憶體控制電路單元更用以將該操作次數值歸零。

32. 如申請專利範圍第 23 項所述之記憶體儲存裝置，其中該操作指令為一讀取指令、一寫入指令或一抹除指令。

33. 如申請專利範圍第 23 項所述之記憶體儲存裝置，其中該資料錯誤為一讀取干擾、一資料久置或一記憶胞磨耗所造成。

圖式

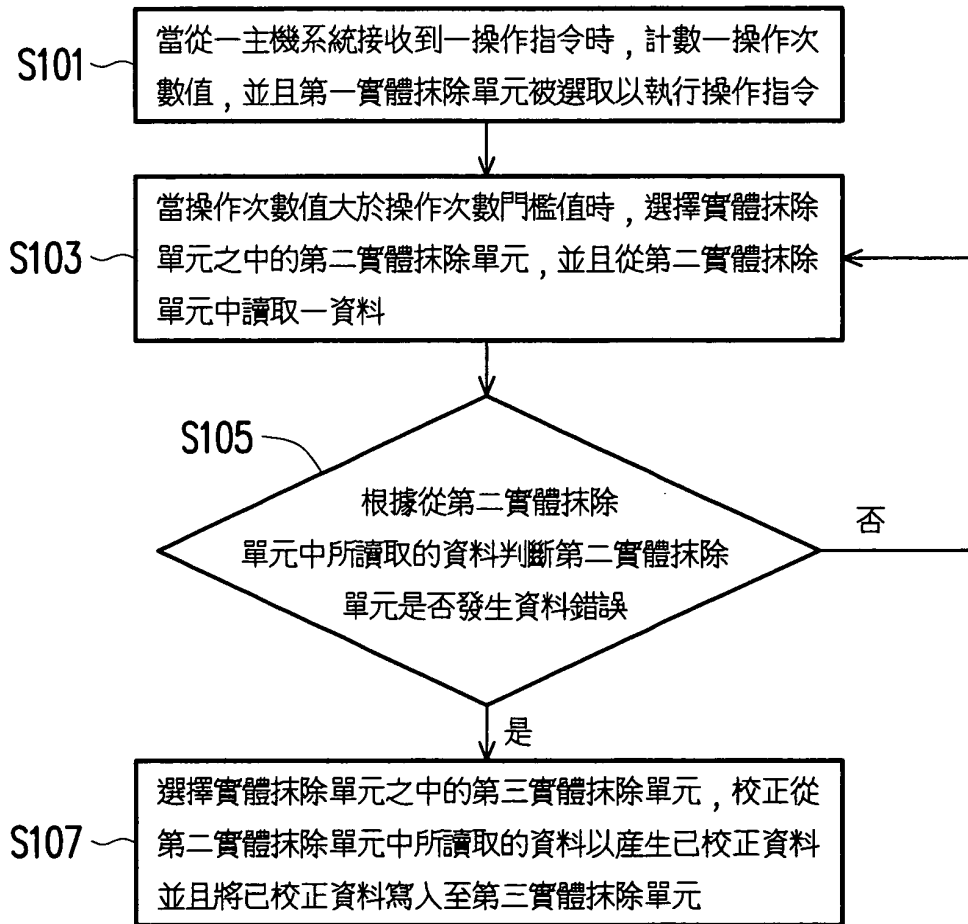


圖 1

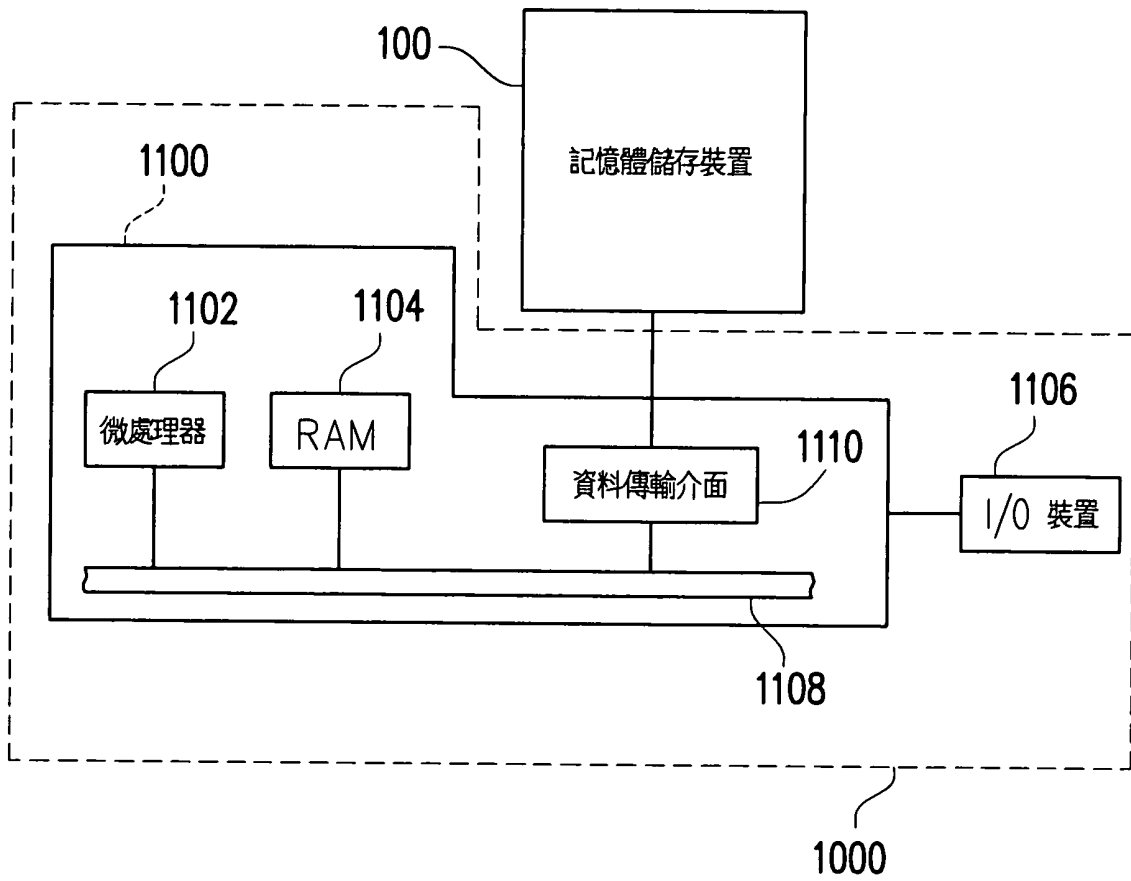


圖 2A

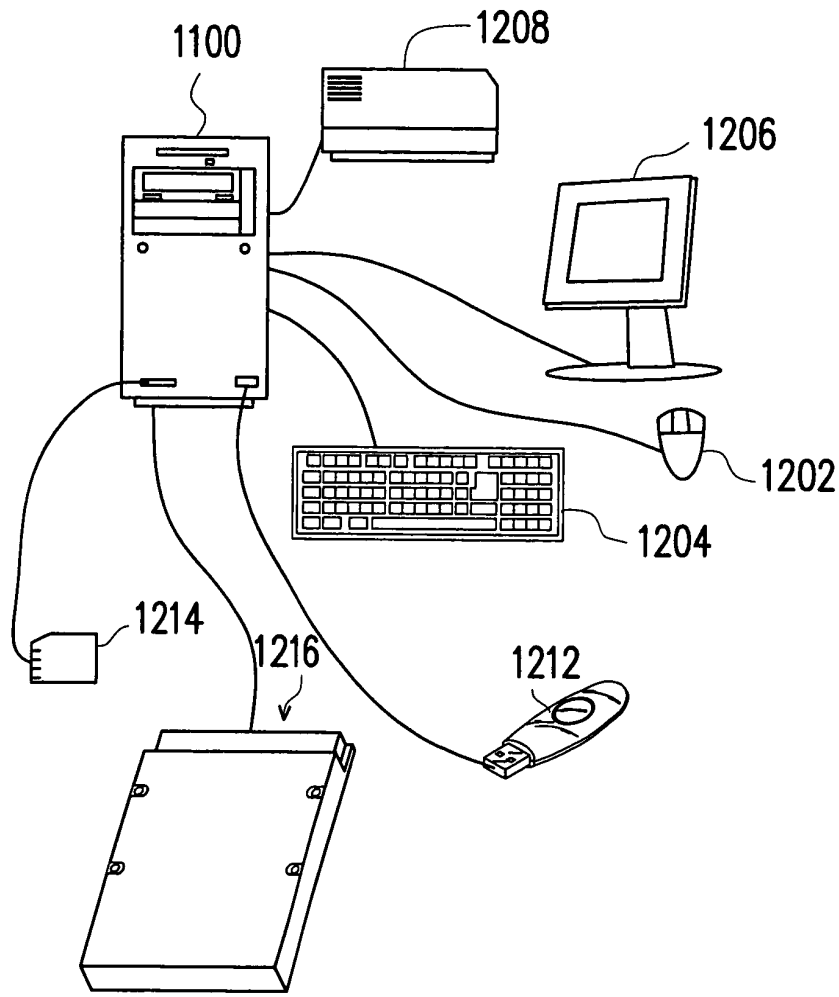


圖 2B

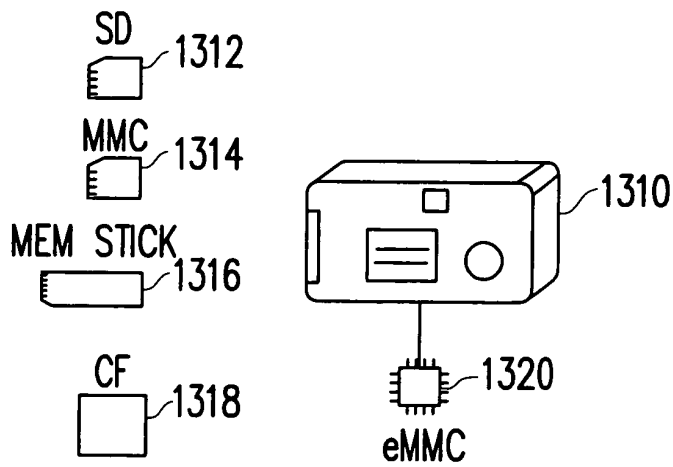


圖 2C

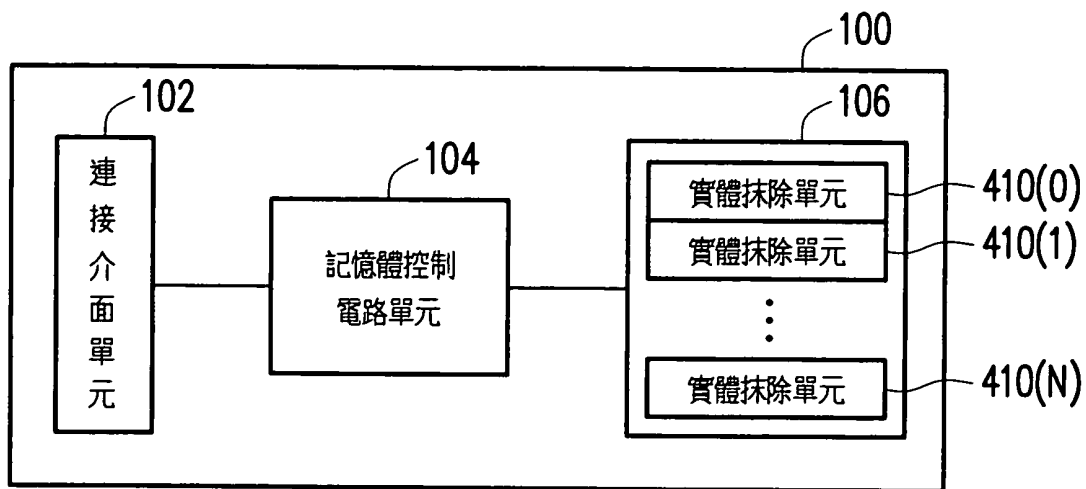


圖 3

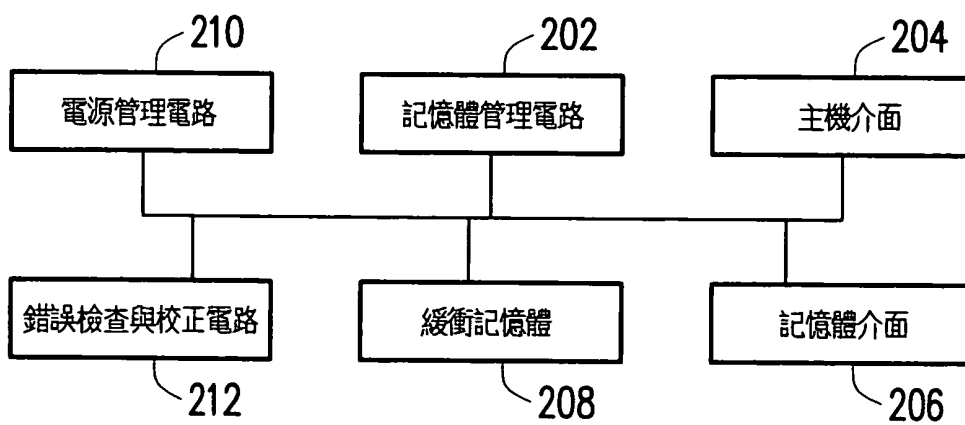


圖 4

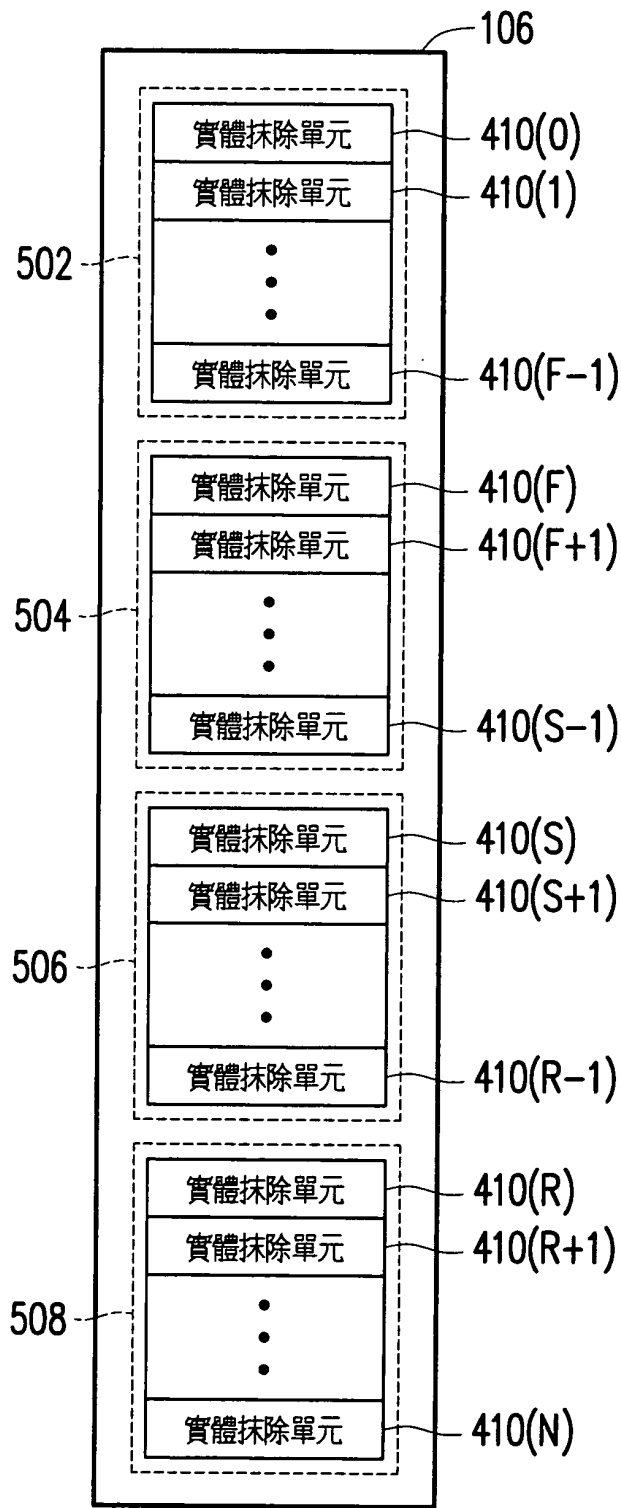


圖 5A

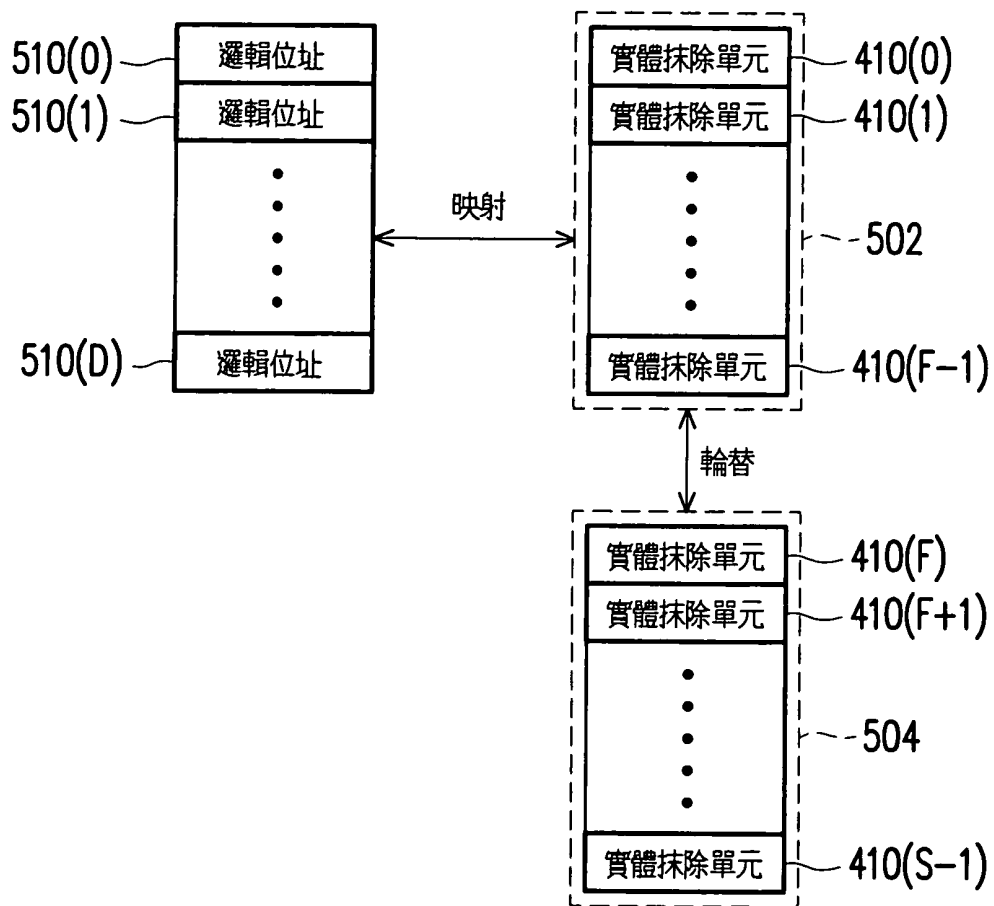


圖 5B

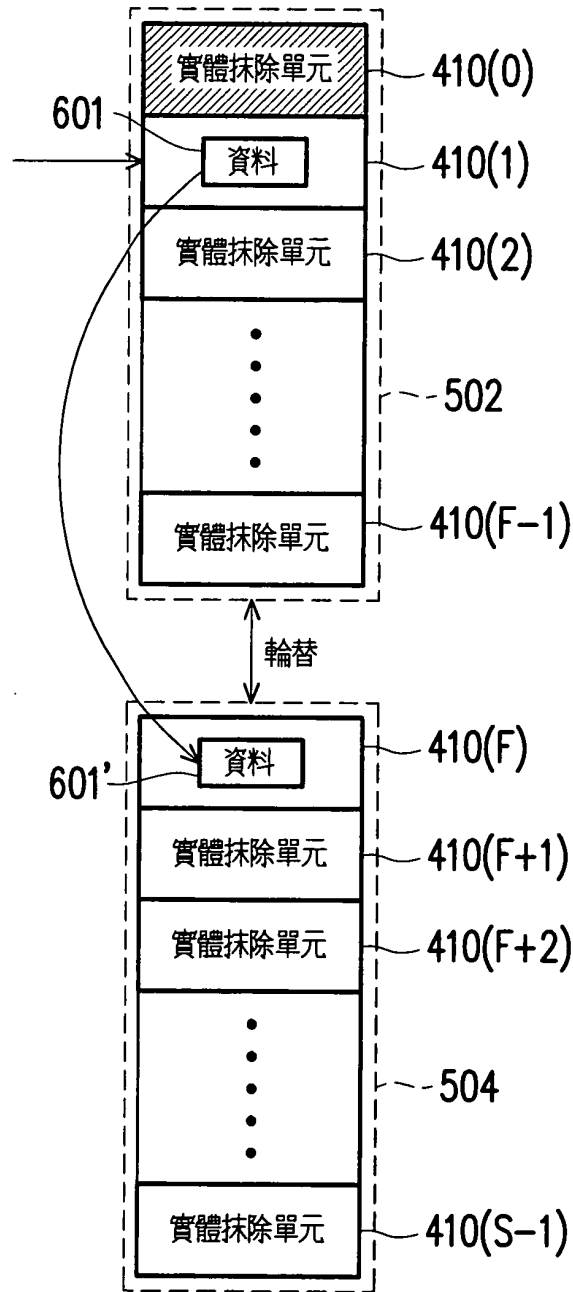


圖 6A

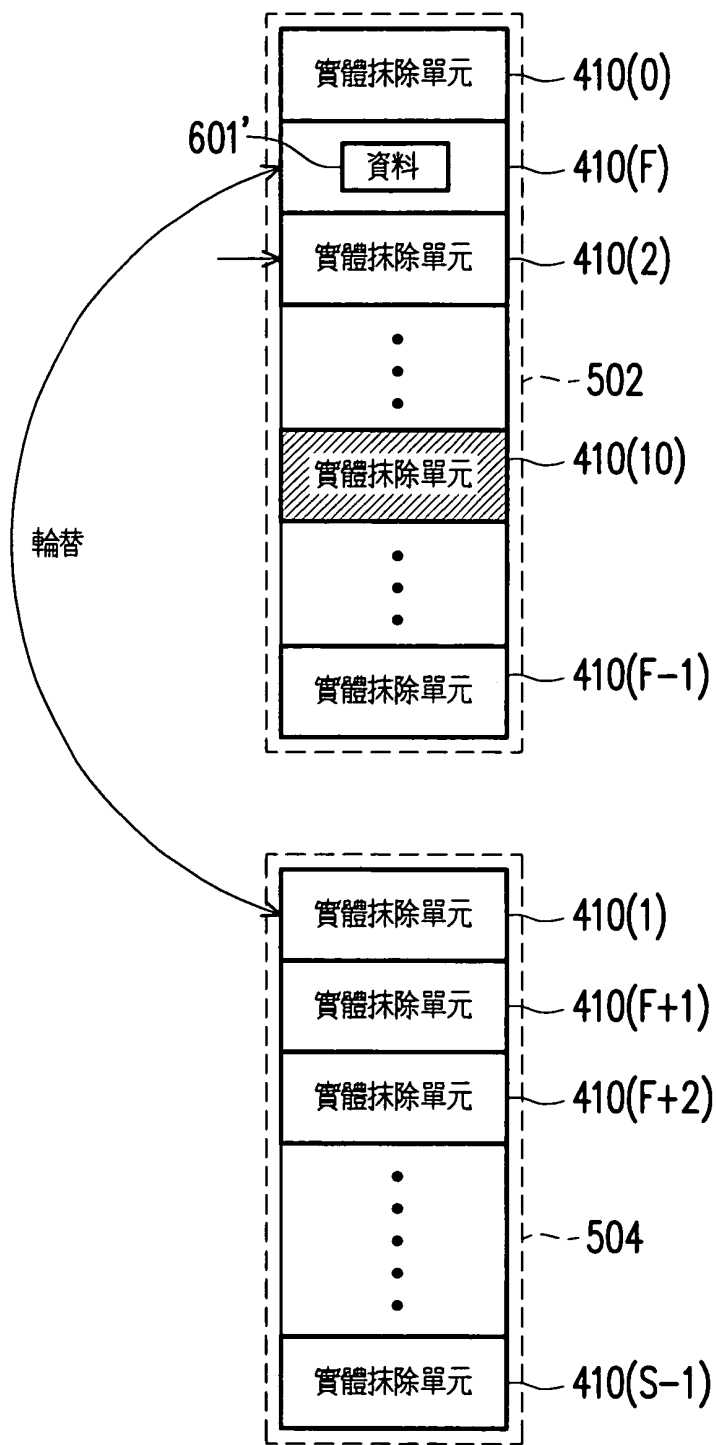
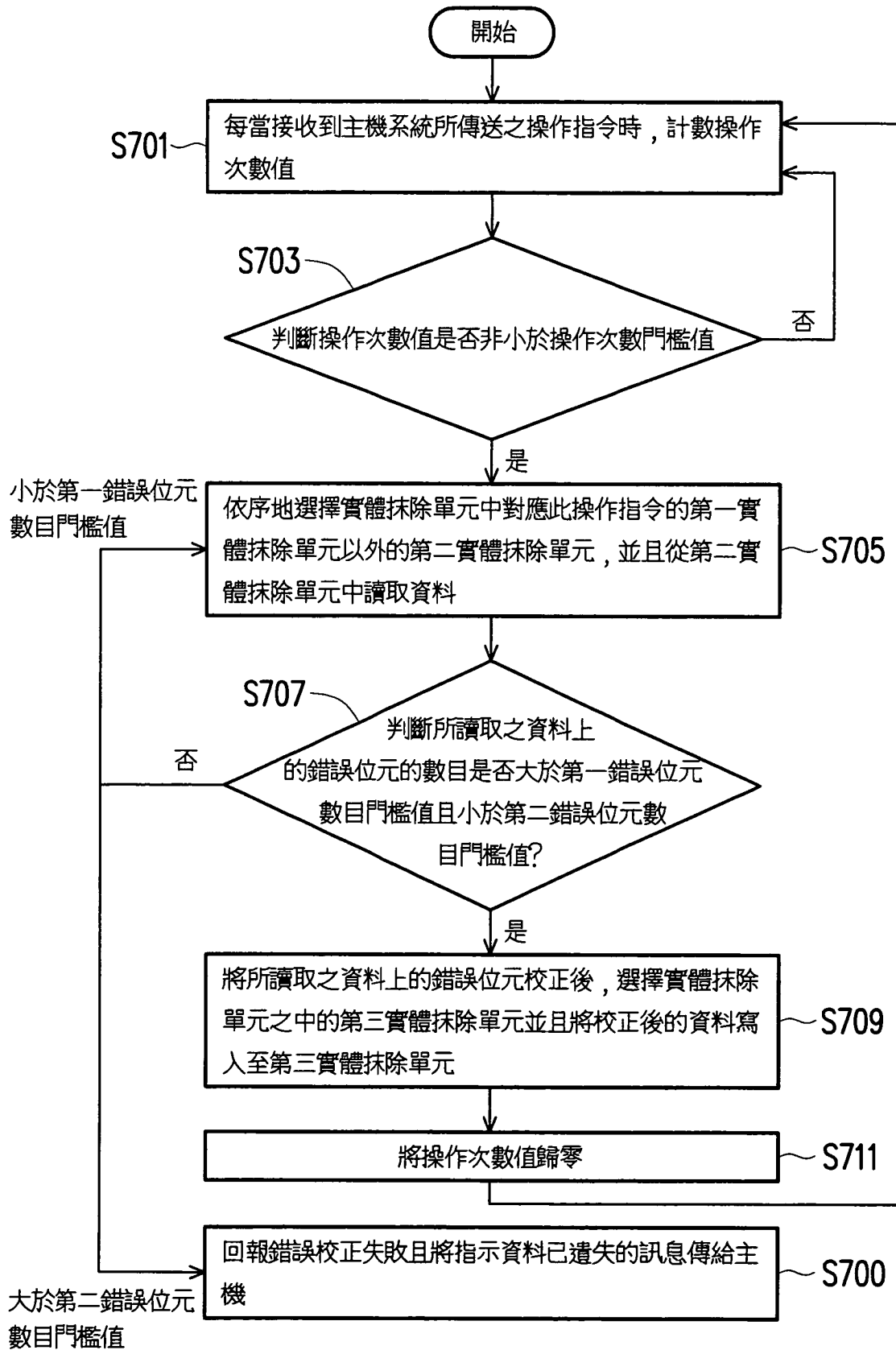


圖 6B



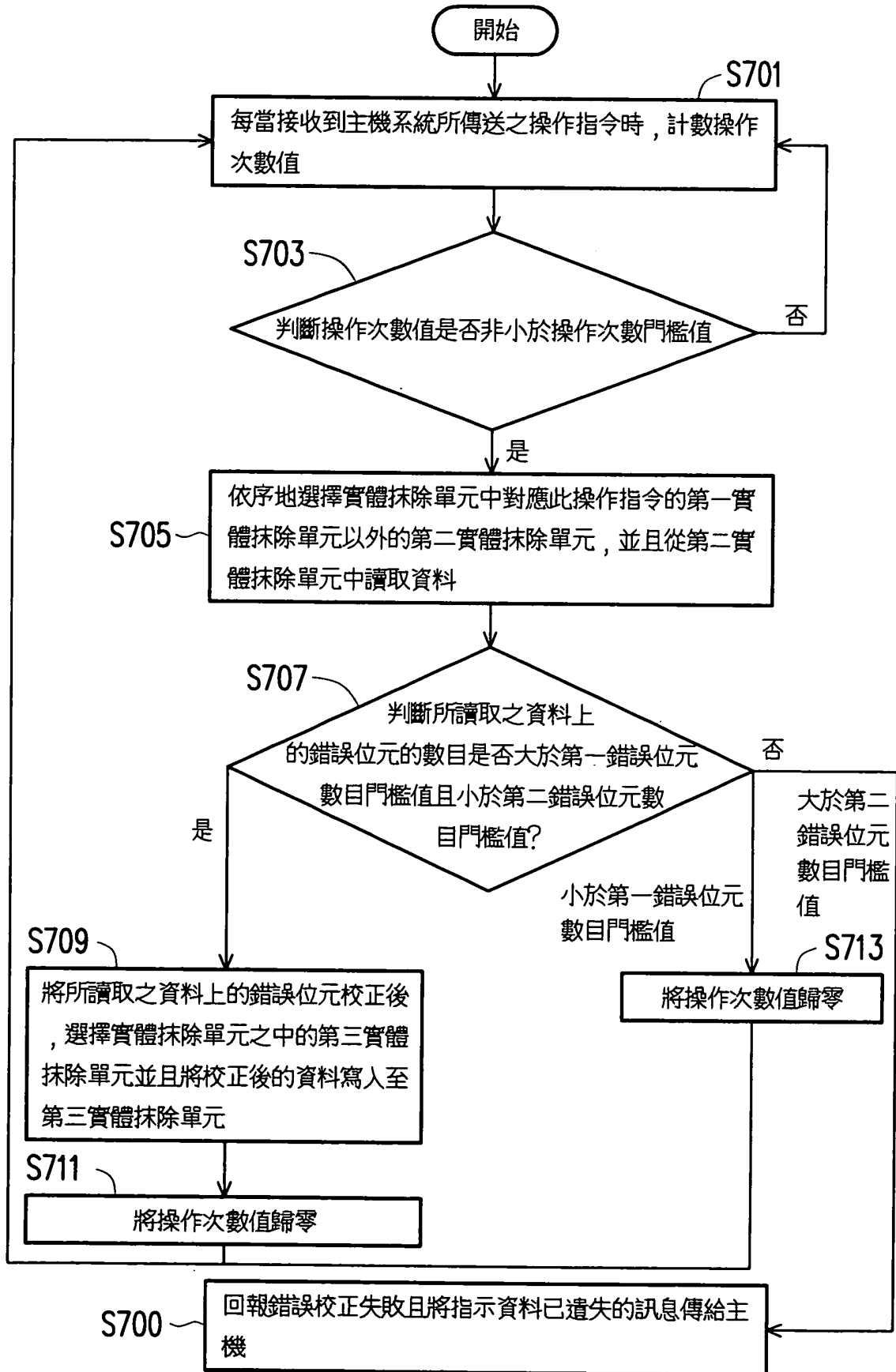


圖 7B

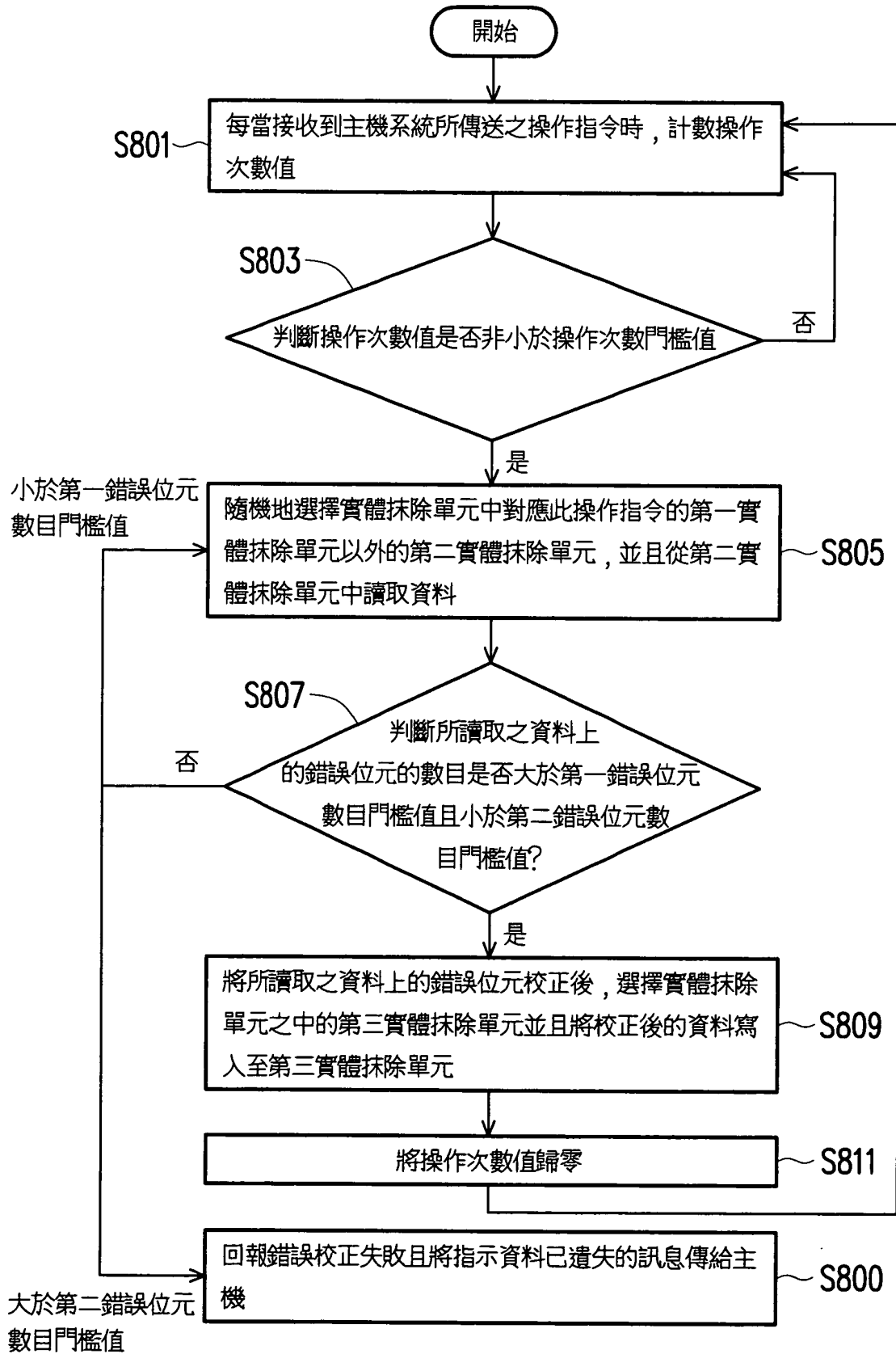


圖 8A

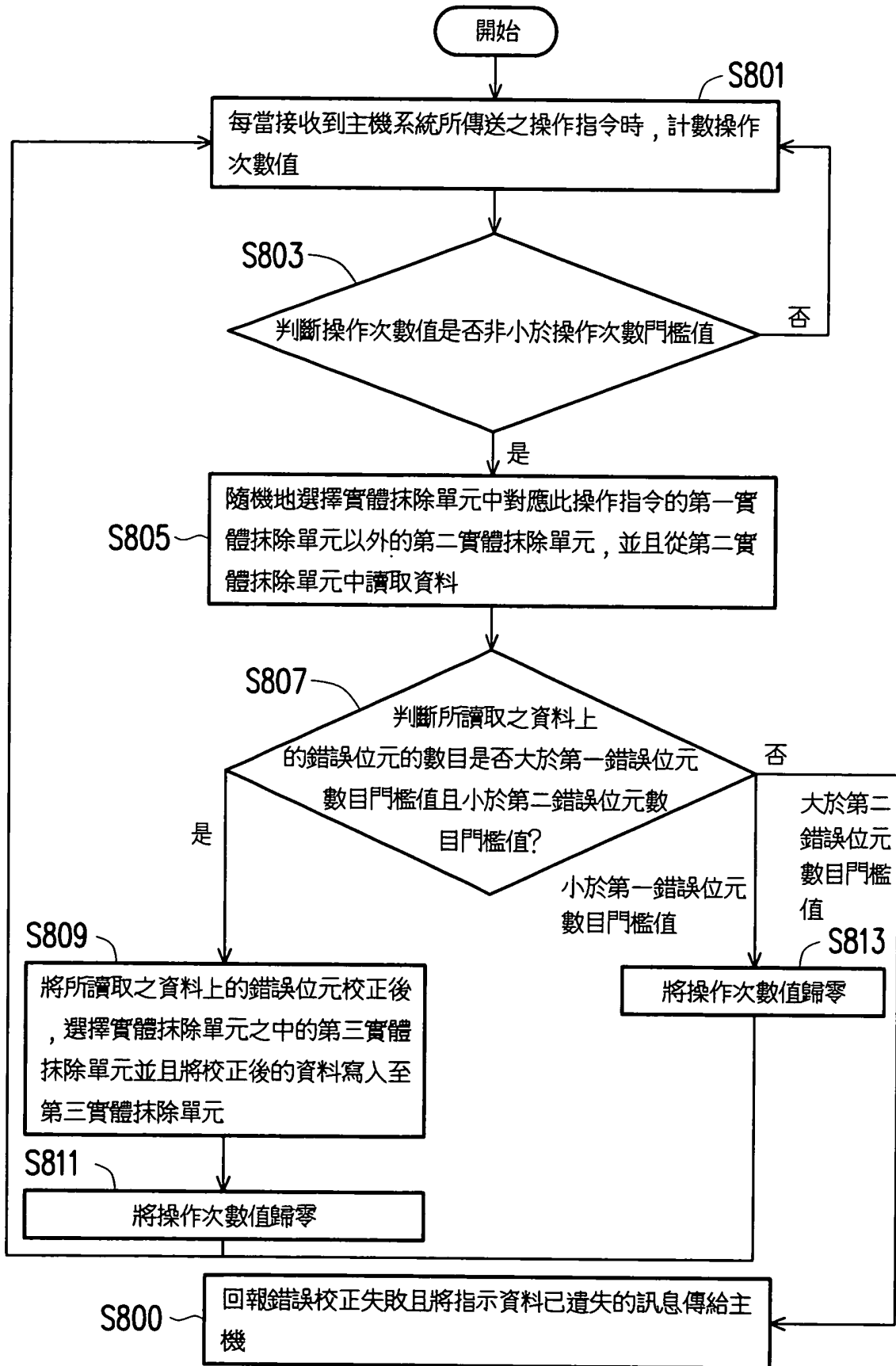


圖 8B

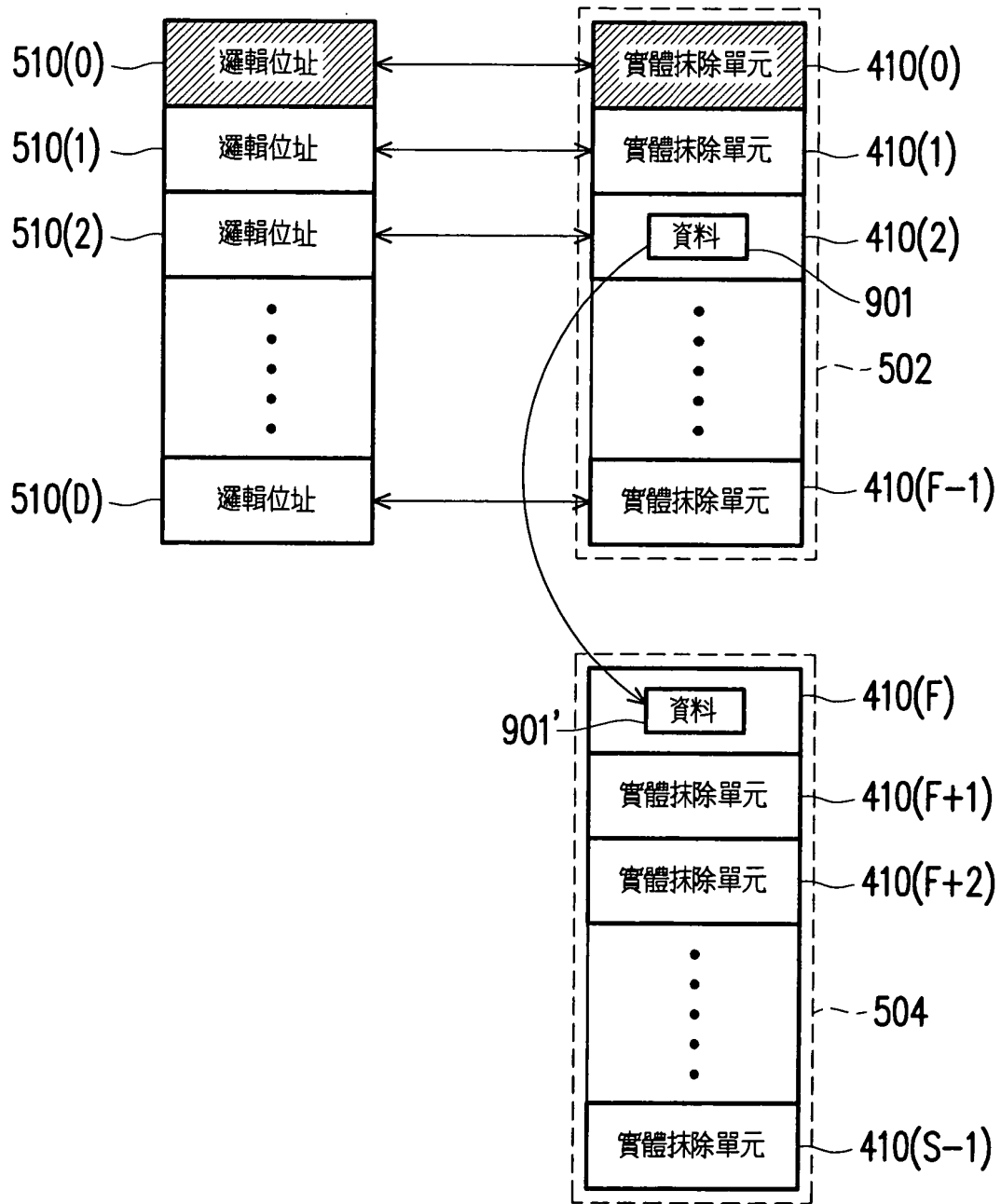


圖 9A

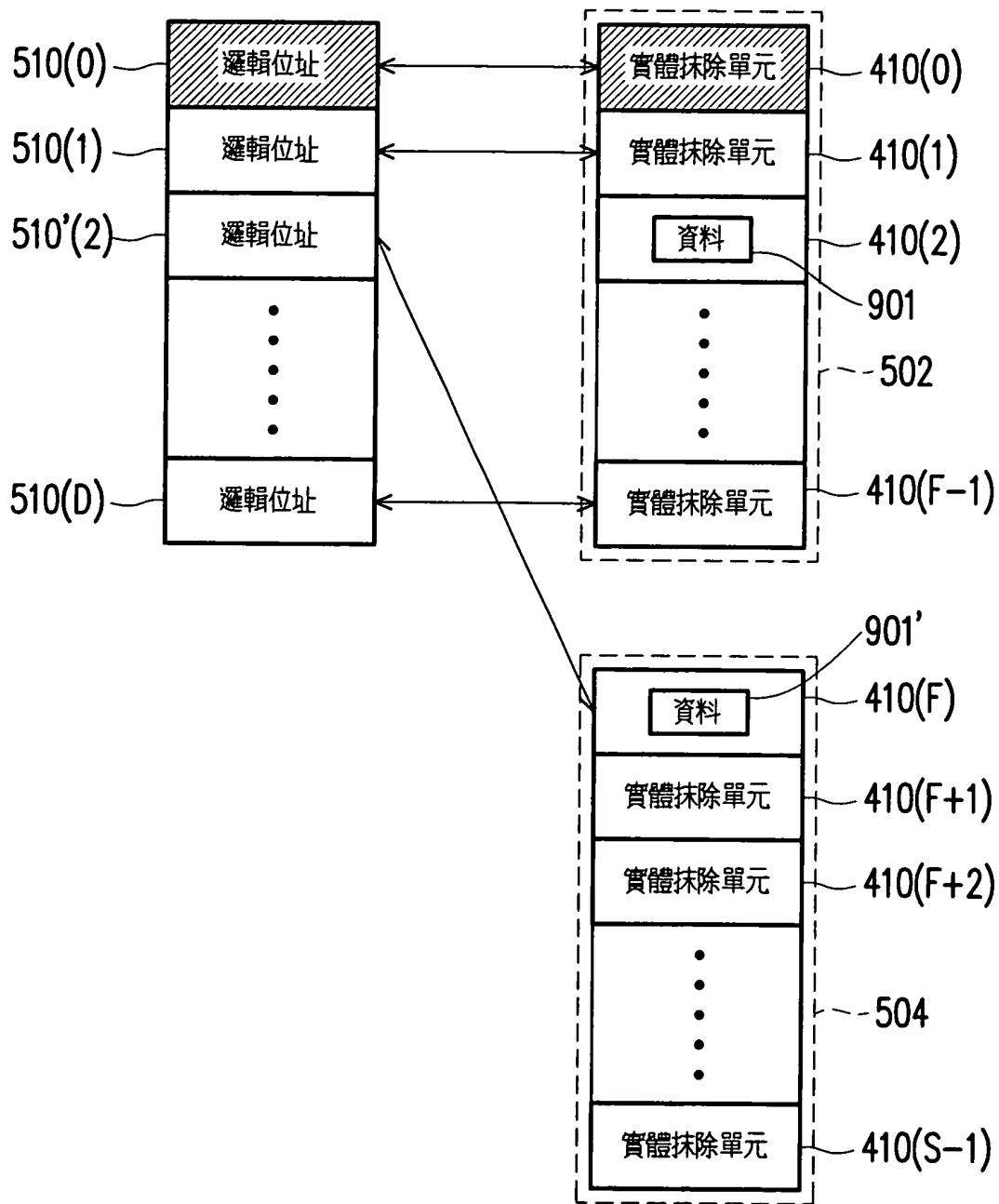


圖 9B

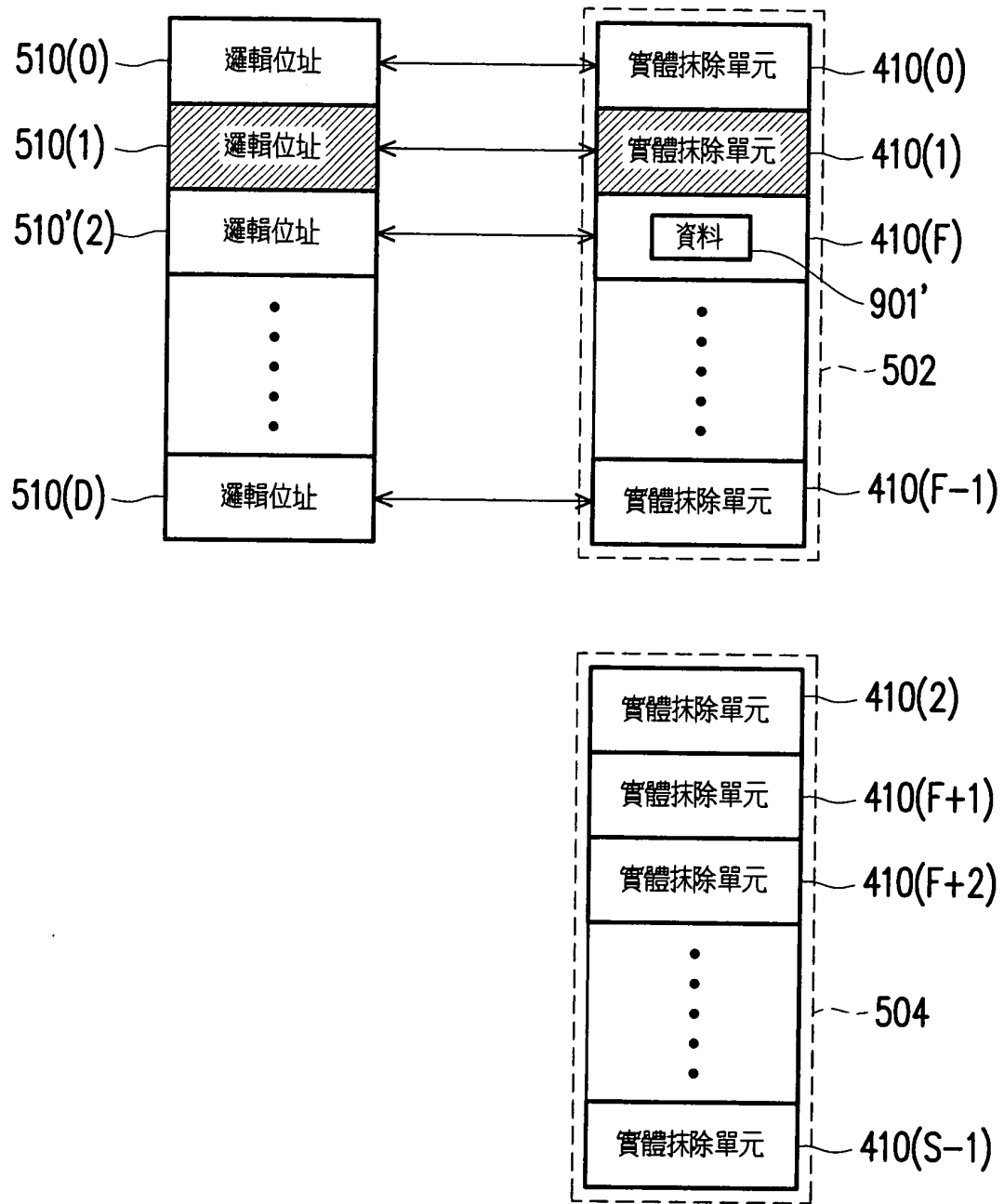


圖 9C

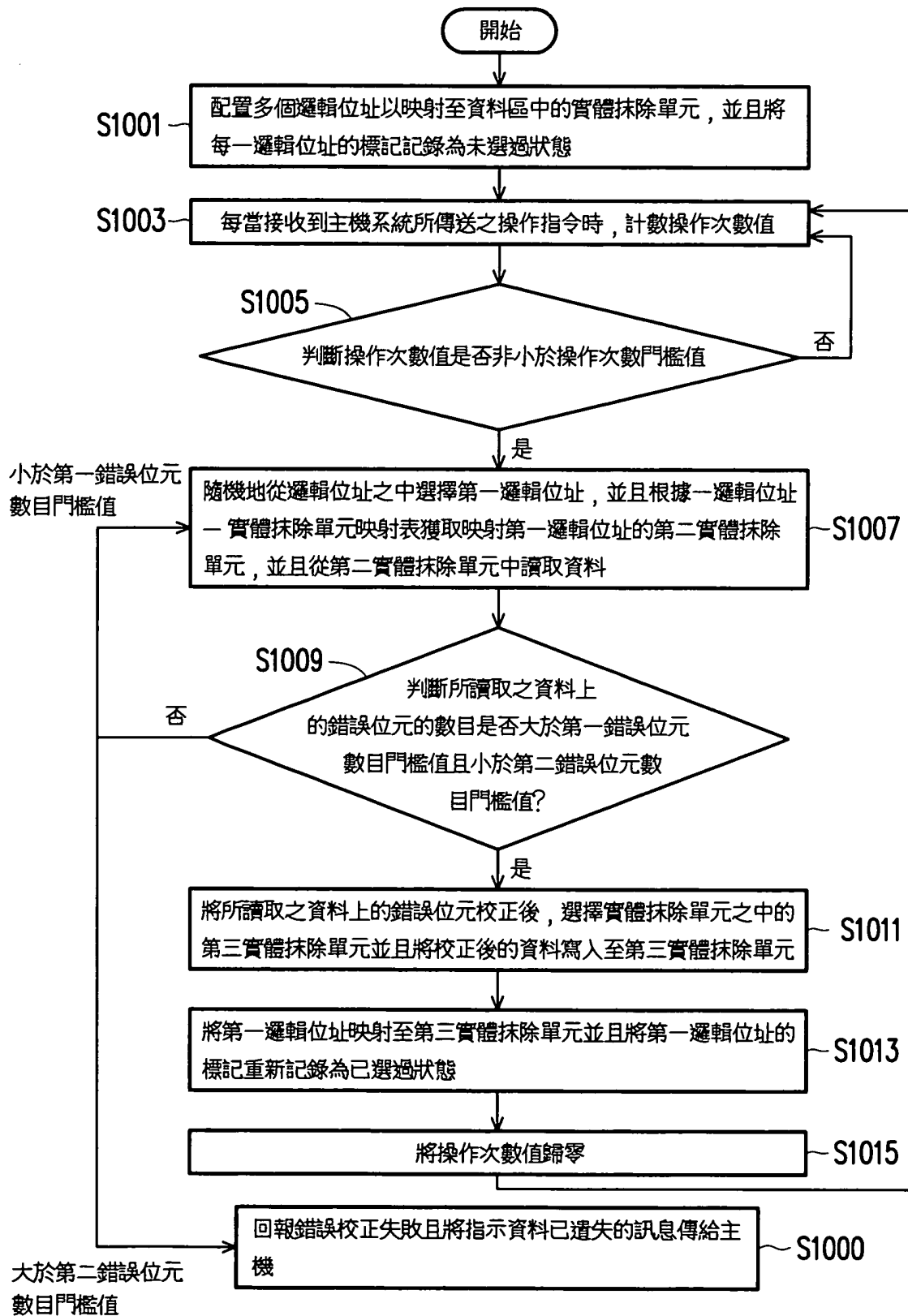


圖 10A

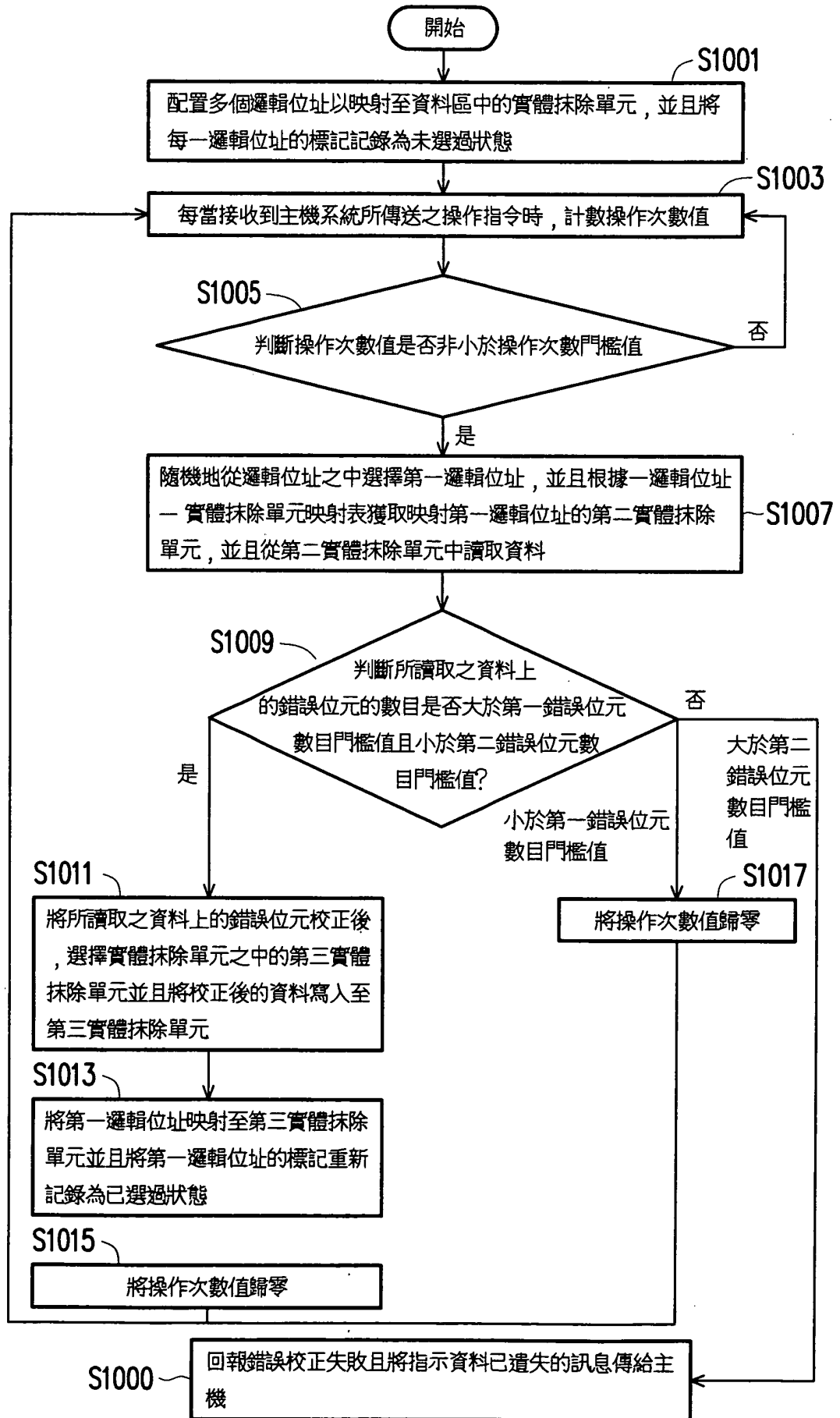


圖 10B



command from host system, wherein a first physical erasing unit is selected for executing the operation command. The method also includes, if the operation numerical value is not smaller than a threshold, selecting a second physical erasing unit and reading data from the second physical erasing unit. The method further includes, determining whether a data error is happened at the second physical erasing unit according to the data read from the second physical erasing unit and if the data error happened, selecting a third physical erasing unit, correcting the data read from the second physical erasing unit to generate corrected data and writing the corrected data into the third physical erasing unit.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

S101、S103、S105、S107：防止讀取干擾的方法的步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無