

(12) 发明专利申请

(10) 申请公布号 CN 102362344 A

(43) 申请公布日 2012. 02. 22

(21) 申请号 200980157544. 6

代理人 程伟 王锦阳

(22) 申请日 2009. 12. 29

(51) Int. Cl.

(30) 优先权数据

102008063427. 1 2008. 12. 31 DE  
12/640, 765 2009. 12. 17 US

H01L 21/8234(2006. 01)  
H01L 21/8238(2006. 01)  
H01L 21/336(2006. 01)

(85) PCT申请进入国家阶段日

2011. 08. 25

(86) PCT申请的申请数据

PCT/EP2009/009306 2009. 12. 29

(87) PCT申请的公布数据

W02010/076017 EN 2010. 07. 08

(71) 申请人 先进微装置公司

地址 美国加利福尼亚州

申请人 AMD FAB 36 有限责任公司

(72) 发明人 S·克隆霍尔兹 V·帕帕耶奥尔尤

G·贝尔宁克

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

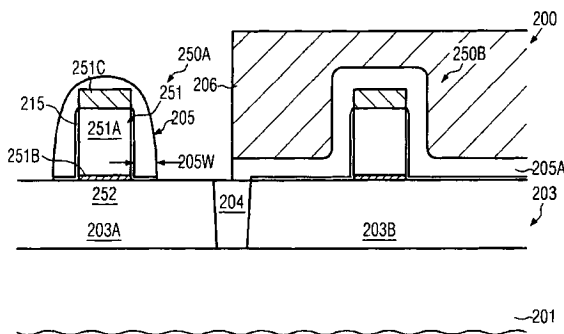
权利要求书 2 页 说明书 11 页 附图 9 页

(54) 发明名称

有具逐渐成形构造的嵌入应变引发材料的晶体管

(57) 摘要

在晶体管中,通过提供随后填入应变引发半导体合金(例如,硅/锗、硅/碳及其类似物)的逐渐成形空腔,可安置极接近沟道区的应变引发半导体合金。为此目的,可使用两个或更多有不同蚀刻性能的“用完即弃型”间隔组件以便定义对应空腔在不同的深度有不同的横向偏移。结果,即使对于精密半导体装置,仍可实现增强的均匀性,从而减少晶体管变异性。



1. 一种方法,其包含下列步骤:

在结晶半导体区中形成第一多个凹处,该第一多个凹处通过形成于栅极结构的侧壁上的第一侧壁间隔体而与该栅极结构有偏移,该第一多个凹处延伸至第一深度;

在该结晶半导体区中形成第二多个凹处,该第二多个凹处通过形成于该第一侧壁间隔体上的第二侧壁间隔体而与该栅极结构有偏移,该第二多个凹处延伸至大于该第一深度的第二深度;以及

通过进行选择性地外延生长制程,在该第一及第二凹处中形成应变引发半导体合金。

2. 如权利要求 1 所述的方法,其中在形成该第二多个凹处之前,形成该第一多个凹处。

3. 如权利要求 1 所述的方法,其中形成该第一多个凹处的步骤包含下列步骤:在该栅极结构及形成于第二结晶半导体区上方的第二栅极结构上方形成第一间隔层,形成第一掩膜以覆盖形成于该第二栅极结构及该第二半导体区上方的第一间隔层,从该第一间隔层形成该第一侧壁间隔体,以及在该第一侧壁间隔体及该第一掩膜存在的情形下,从该结晶半导体区移除材料。

4. 如权利要求 3 所述的方法,其中形成该等第二多个凹处的步骤包含下列步骤:移除该第一掩膜,沉积第二间隔层,以及由该第二间隔层形成该第二侧壁间隔体。

5. 如权利要求 4 所述的方法,其更包含下列步骤:在形成该第二侧壁间隔体之前,在该第二栅极结构及该第二结晶半导体区上方形成第二掩膜。

6. 如权利要求 4 所述的方法,其更包含下列步骤:在该第一间隔层上的该第二栅极结构处形成侧壁间隔体,以及在该结晶半导体区中形成该第二多个凹处时,利用该第一间隔层作为蚀刻掩膜。

7. 如权利要求 1 所述的方法,其中形成该第一及第二多个凹处的步骤包含下列步骤:形成该第二多个凹处的第一部份,至少移除该第二侧壁间隔体的一部份,以及共同形成该第二多个凹处及该第一多个凹处的第二部份。

8. 如权利要求 1 所述的方法,其中形成该应变引发半导体合金的步骤包含下列步骤:进行第一外延生长制程以便在该第一侧壁间隔体存在的情形下,用该应变引发半导体合金的第一部份填满该第一凹处,以及在该第一及第二侧壁间隔体存在的情形下,用该应变引发半导体合金的第二部份填满该第二多个凹处中的一部份。

9. 如权利要求 8 所述的方法,其中该应变引发半导体合金的该第一及第二部份至少在原位掺杂的程度不相同。

10. 如权利要求 1 所述的方法,其中形成该应变引发半导体合金以便在沟道区中引发压缩应变,该沟道区在该栅极结构下方的该结晶半导体区中。

11. 如权利要求 10 所述的方法,其中该半导体合金由锗、锡的至少其中一者构成。

12. 如权利要求 1 所述的方法,其中形成该应变引发半导体合金以便在沟道区中引发拉伸应变,该沟道区在该栅极结构下方的该结晶半导体区中。

13. 如权利要求 1 所述的方法,其中该第一侧壁间隔体由二氧化硅构成,以及该第二侧壁间隔体由氮化硅构成。

14. 一种方法,其包含下列步骤:

在已有第一栅极结构形成于其上的第一半导体区上方以及在已有第二栅极结构形成于其上的第二半导体区上方形成第一间隔层;

在该第一栅极结构的侧壁上,由该第一间隔层选择性地形成第一侧壁间隔体;  
进行基于该第一侧壁间隔体的第一蚀刻制程以便在该第一半导体区中形成多个空腔;

在该第一侧壁间隔体上形成第二侧壁间隔体;

进行基于该第二侧壁间隔体的第二蚀刻制程以便增加该多个空腔的每一个的一部份的深度;以及

在该空腔中形成应变引发半导体合金。

15. 如权利要求 14 所述的方法,其中形成该第二侧壁间隔体的步骤包含下列步骤:在该第一及第二半导体区与该第一及第二栅极结构上方沉积第二间隔层,以及由该第二间隔层选择性地形成该第二侧壁间隔体,同时屏蔽在该第二半导体区上方的该间隔层。

16. 如权利要求 14 所述的方法,其中形成该第二侧壁间隔体的步骤包含下列步骤:在该第一及第二半导体区及该第一及第二栅极结构上方沉积第二间隔层,以及在该第一侧壁间隔体上与在形成于该第二半导体区的该第一间隔层上形成该第二侧壁间隔体。

17. 如权利要求 14 所述的方法,其中形成该应变引发半导体合金的步骤包含下列步骤:进行基于该第一及第二侧壁间隔体的第一选择性外延生长制程,移除该第二侧壁间隔体,以及进行基于该第一侧壁间隔体的第二选择性外延生长制程。

18. 如权利要求 17 所述的方法,其中该第一及第二外延生长制程至少有一个制程参数值不相同。

19. 如权利要求 18 所述的方法,其中该至少一个不同的制程参数值决定该应变引发半导体材料的原位掺杂。

20. 如权利要求 14 所述的方法,其中该第一间隔层包含二氧化硅,以及该第二间隔层包含氮化硅。

21. 一种半导体装置,其包含:

形成于衬底上方的晶体管,该晶体管包含栅极结构,其形成于结晶半导体区上方及包含栅极材料;

第一应变引发半导体合金,其形成于该结晶半导体区中以及有第一深度而且与该栅极材料有第一横向偏移;

第二应变引发半导体合金,其形成于该结晶半导体区中以及有第二深度且与该栅极材料有第二横向偏移,该第一及第二深度不相同,以及该第一及第二横向偏移不相同。

22. 如权利要求 21 所述的半导体装置,其中该第一及第二应变引发半导体材料在该晶体管的沟道区中引发相同类型的应变,以及其中该第一及第二应变引发材料的掺杂物浓度及材料组合物中的至少一者不相同。

23. 如权利要求 22 所述的半导体装置,其中该应变引发半导体合金在该沟道区中引发压缩应变。

24. 如权利要求 22 所述的半导体装置,其中该应变引发半导体合金在该沟道区中引发拉伸应变。

25. 如权利要求 21 所述的半导体装置,其中该栅极材料的栅极长度约有 50 奈米或更小。

## 有具逐渐成形构造的嵌入应变引发材料的晶体管

### 技术领域

[0001] 本揭示内容大体有关于集成电路的制造,且更特别的是,有关于用嵌入半导体材料制造具有应变沟道区 (strained channel region) 的晶体管,以便增强晶体管的沟道区的电荷载子迁移率 (charge carrier mobility)。

### 背景技术

[0002] 复杂集成电路的制造需要提供大量的晶体管组件,这些组件为复杂电路的主要电路组件。例如,在目前市售复杂集成电路中有数百万个的晶体管。目前实施多种制程技术,其中对于复杂的电路,例如微处理器、储存芯片、及类似物,基于在操作速度及 / 或耗电量及 / 或成本效率方面有优异的特性,CMOS 技术目前为最有前途的方法。在 CMOS 电路中,互补晶体管,亦即,p 型沟道晶体管与 n 型沟道晶体管,用来形成电路组件,例如反相器及其它逻辑栅以及设计高度复杂的电路总成,例如 CPU、储存芯片、及类似物。在使用 CMOS 技术来制造复杂集成电路的期间,在包含结晶半导体层的衬底上形成晶体管,亦即, n 型沟道晶体管与 p 型沟道晶体管。MOS 晶体管或一般的场效应晶体管,不论是 n 型沟道晶体管还是 p 型沟道晶体管,都包含所谓的 pn 结 (pn junction),其由高度掺杂漏极及源极区与配置于漏极区、源极区间的反向或弱掺杂沟道区的接口形成。沟道区的导电率 (亦即,导电沟道的驱动电流能力) 是由形成于沟道区附近以及用薄绝缘层与其隔开的栅极控制。沟道区在因施加适当控制电压至栅极而形成导电沟道时的导电率取决于掺杂物浓度、电荷载子的迁移率,而对于在晶体管宽度方向有给定延伸部份的沟道区,导电率也取决于源极及漏极区之间的距离,它也被称作沟道长度。因此,缩短沟道长度以及减少与其相关的沟道电阻率为增加集成电路操作速度的主要设计准则。

[0003] 然而,晶体管尺寸的持续微缩 (shrinkage) 涉及与其相关的多种问题,必须予以解决以免不当地抵消藉由持续缩短 MOS 晶体管之沟道长度所得到的效益。例如,漏极及源极区在垂直方向及横向方向需要有高度复杂的掺杂物分布 (dopant profile),以便提供低的片电阻及接触电阻与所欲的沟道可控制性。此外,也可针对减少的沟道长度采用栅极电介质材料以便保持必要的沟道可控制性。不过,有些用以维持高沟道可控制性的机构对于晶体管沟道区的电荷载子迁移率也可能有负面影响,从而部份抵消藉由缩短沟道长度所得到的效益。

[0004] 由于持续缩减关键尺寸 (亦即,晶体管的栅极长度) 需要调整及或许要新开发高度复杂的制程技术,而且也可能造成因迁移率劣化而有较不显著的效能增益,所以已有人提议藉由提高有给定沟道长度之沟道区的电荷载子迁移率来增强晶体管组件的沟道导电率,从而使得效能改善可与要求极端缩放关键尺寸的技术标准可比拟,同时避免或至少延迟许多与装置缩放有关的制程调整。

[0005] 提高电荷载子迁移率的有效机构之一是修改沟道区的晶格结构,例如,藉由在沟道区附近产生拉伸或压缩应力以便在沟道区中产生对应应变,这分别会导致电子、电洞的迁移率改变。例如,对于有标准晶体构造 (亦即,具有与 <110> 方向对齐之沟道长度的 (100)

表面取向)的活性硅材料,在沟道区中产生拉伸应变来提高电子的迁移率,然后可直接转变成对应的导电率增量。另一方面,沟道区的压缩应变可提高电洞的迁移率,从而提供用以增强 p 型晶体管的效能的可能性。将应力或应变工程引进集成电路制造是极具前途的方法,因为应变硅可视为“新型”的半导体材料,它使得制造快速强大的半导体组件成为有可能而不需要昂贵的半导体材料,同时仍可使用许多公认有效的制造技术。

[0006] 结果,已有人提出在沟道区旁加入,例如,硅 / 锗材料以便引发能导致对应应变的压缩应力。在形成硅 / 锗材料时,选择性地使 PMOS 晶体管的漏极及源极区凹陷以形成空腔,同时屏蔽 NMOS 晶体管,随后用外延生长法,在 PMOS 晶体管的空腔中选择性地形成硅 / 锗材料。

[0007] 尽管鉴于 P 型沟道晶体管从而以及整个 CMOS 装置的效能增益,该技术有显着的优点,然而结果是在含有大量晶体管组件的先进半导体组件中可观察到装置效能的变异性 (variability) 增加,这跟上述技术在 p 型沟道晶体管的漏极及源极区中加入应变硅 - 锗合金有关,特别是在硅 / 锗材料与沟道区的偏移将会因增加最终实现的应变而减少时,这在以下说明图 1a 至图 1e 时会详述。

[0008] 图 1a 的横截面图示意图示包含 p 型沟道晶体管 150a 及 n 型沟道晶体管 150b 的习知半导体装置 100,其中将以带变硅 / 锗合金来增强晶体管 150a 的效能,如以上所解释的。半导体装置 100 包含衬底 101,例如硅衬底,它可能已有埋藏绝缘层 102 形成于其上。此外,在埋藏绝缘层 102 上形成结晶硅层 103,从而形成 SOI(绝缘体上覆硅)构造。SOI 构造在整体晶体管效能上是有益的,因为与块体构造(亦即,硅层 103 的厚度可显着大于晶体管 150a、150b 进入层 103 的垂直延伸部份的构造)相比,例如晶体管 150a、150b 的寄生表面电容可减少。晶体管 150a、150b 可分别形成于大体以 103a、103b 表示的“主动”区中及上方,其中可用绝缘结构 104(例如,浅沟隔离层)隔开主动区。在图示的制造阶段中,晶体管 150a、150b 包含栅极结构 151,它可视为包含导电电极材料 151a 的结构,代表实际栅极,可形成于栅极绝缘层 151b 上,从而让栅极材料 151a 各自与位于对应主动区 103a、103b 内的沟道区 152 电气绝缘。此外,栅极结构 151 可包含由例如氮化硅构成的覆盖层 (cap layer) 151c。此外,在晶体管 150a 中,间隔体结构 105 可形成于栅极结构 151 的侧壁上,从而与覆盖层 151c 一起囊封栅极材料 151a。另一方面,掩膜层 105a 可形成于晶体管 150b 上方,从而囊封对应栅极材料 151a 以及也覆盖主动区 103b。此外,可形成掩膜 106,例如阻剂掩膜及其类似物,以在暴露晶体管 150a 时覆盖掩膜层 105a。

[0009] 可基于以下的制程策略来形成如图 1a 所示的习知半导体装置 100。

[0010] 主动区 103a、103b 可基于用公认有效之微影技术、蚀刻、沉积及平坦化技术来形成的绝缘结构 104 而加以定义。之后,例如用基于适当屏蔽方案 (masking regime) 来进行的植入制程,可建立对应主动区 103a、103b 的基本掺杂能级 (doping level)。接下来,用复杂的微影及图样化方案来形成栅极结构 151 以得到栅极材料 151a 及栅极绝缘层 151b,其中也可图样化覆盖层 151c。接下来,用例如用公认有效的低压 CVD(化学气相沉积)技术可沉积掩膜层 105a,从而形成氮化硅,有可能结合二氧化硅材料作为蚀刻终止衬垫 (etch stop liner)。尽管提供高度的可控制性,然而低压 CVD 技术使得衬底 101 有一定程度的非均匀性,与衬底的中心相比,这导致衬底边缘的厚度增加。结果,在形成掩膜 106 及暴露装置 100 于非等向性蚀刻环境用以由先前所沉积的掩膜层 105a 来形成间隔体结构 105 时,可能造成

所得宽度 105w 有一定程度的非均匀性,而导致例如与衬底 101 的中央区相比,衬底 101 周边区的宽度稍微增加。由于间隔体结构 105 以非等向性蚀刻技术实质定义出将会形成于主动区 103a 之空腔的横向偏移 (lateral offset),对应的横向偏移也可能随着在沉积掩膜层 105a 及进行后续非等向性蚀刻制程期间所引进的非均匀性而稍微改变。另一方面,在精密的应用中,鉴于增强毗邻沟道区 152 的总应变可减少对应应变硅-锗合金的横向偏移,从而需要减少宽度 105w 以便使应变硅/锗合金更加靠近沟道区 152。通常,对于减少的宽度 105w,沟道区 152 中的应变可超比例地增加,使得在想要提供适度小宽度 105w 的精密制程策略中,由沉积层 105a 及后续蚀刻制程造成的变异性也可能超比例地增加,从而对于被极度缩放的半导体组件,会造成晶体管 150a 的所得效能有高度的变异性。

[0011] 图 1b 示意图示在非等向性电浆辅助蚀刻制程 107 期间的半导体装置 100,其中可使用例如基于溴化氢 (hydrogen bromide) 及其类似物结合适当有机添加物的适当蚀刻化学,藉此结合适当的选定电浆条件,可得到对应的非等向性蚀刻性能。不过,如以上所解释的,在电浆辅助蚀刻制程 107 期间也可能引发一定程度的变异性,从而也造成整体的变异性,特别是如果考虑的是其中即使横向偏移些微的差异会造成晶体管效能大幅改变的高度精密晶体管时。结果,由于先前层 105a 之沉积及用于形成间隔体结构 105 的对应非等向性蚀刻制程可能结合用于形成个别空腔 107a 的非等向性蚀刻制程 107 会导致宽度 105w 改变,因此位置及大小也有对应程度的变异性。

[0012] 图 1c 示意图示处于更进一步制造阶段的半导体装置 100。亦即,在形成空腔 107a(参考图 1b)后,移除掩膜 106(参考图 1b),以及进行选择外延生长制程以便在晶体管 150a 中沉积硅/锗合金 109,同时用掩膜层 105 覆盖晶体管 150b。对应选择性外延生长配方都是公认有效的,其中适当地选定对应的制程参数,例如压力、温度、先驱物流率 (precursor flow rate) 及其类似者,以便在结晶硅暴露表面上得到硅/锗材料的显著沉积,同时使沉积于电介质表面区上的对应材料大幅减少甚至可忽略。因此,在受应变的状态下可生长硅/锗材料 109,因为硅/锗的自然晶格常数大于硅的晶格常数,从而得到压缩应变材料,它在毗邻沟道区 152 中也可产生对应的压缩应变。压缩应变的大小可取决于先前形成空腔的位置及大小以及取决于材料 109 内的锗浓度。因此,在给定制程参数下,在形成材料 109 的选择性外延生长制程期间,用于形成掩膜层 105a、图样化间隔体结构 105 及形成空腔 107a 的前面制程的变异性可能导致衬底 101 的晶体管效能有一定程度的非均匀性。

[0013] 图 1d 示意图示处于更进一步制造阶段的半导体装置 100,其中掩膜层 105a、间隔体结构 105 及覆盖层 151c(参考图 1a)的移除可用公认有效之选择性蚀刻技术来实现。之后,藉由形成根据装置要求的漏极及源极区,可继续进一步的加工。

[0014] 图 1e 示意图示处于已实质完成基本晶体管构造之制造阶段的半导体装置 100。如图示,晶体管 150a、150b 可包含可能与对应蚀刻终止衬垫 153b 结合的侧壁间隔体结构 153(可包含一个或多个间隔组件 153a),这取决于有必要复杂度的漏极及源极区 154 的掺杂物分布。可根据公认有效的技术来形成间隔体结构 153,亦即,沉积蚀刻终止衬垫 153b 以及对应掩膜层,随后用非等向性蚀刻制程图样化对应掩膜层以便形成间隔组件 153a。在形成间隔体结构 153 之前,可进行适当植入制程以便定义延伸区 154e,其结合可基于间隔体结构 153 来形成代表漏极及源极区 154 的深漏极及源极区 154d。之后,可藉由退火装置 100 来激活掺杂物,从而使植入所引发的损伤再结晶至少至某一程度。之后,根据公认有效的

制程策略,有可能基于应力电介质材料,藉由形成金属硅化物区以及形成对应接触结构,可继续进一步的加工。如以上所解释的,对于精密的应用,晶体管 150a 的效能可实质取决于由硅 / 锗合金 109 所提供的应变引发机构,其中尤其是在对于硅 / 锗材料 109 与沟道区 152 有想要减少的横向偏移时,中等高度的变异性可能导致生产良率减少,而在其它的情形下,材料 109 所提供的应变引发机构可能无法完全发挥其潜力,因为必须保持比所想要的还大的沟道区 152 的对应偏移。

[0015] 鉴于上述情形,本揭示内容有关于数种技术及半导体组件用以藉由外延生长半导体合金来实现增强的晶体管效能,同时避免或至少减少以上所述问题中之一或更多的影响。

### 发明内容

[0016] 本揭示内容大体提供数种半导体装置及技术,其中基于两个或更多专属间隔组件,以对于沟道区之横向偏移有增强可控制性的方式,在晶体管装置的主动区中可形成空腔,从而使得该等空腔有逐渐成形构造以及可形成应变引发半导体合金 (strain-inducing semiconductor alloy) 于其中。由于制造顺序是基于两个或更多间隔组件的制造,所以在定义应变引发半导体合金的构造上可实现增强程度的弹性,因为,例如,可使该空腔的第一部份有减少的深度以及与沟道区有想要的小偏移,因而可基于可有效控制的蚀刻制程来达成,从而减少如先前所述习知可能导致显著晶体管变异性的制程非均匀性。之后,在一个或多个额外的蚀刻制程中,可适当地设计该空腔的深度及横向延伸以便得到高度的总应变引发效应 (overall strain-inducing effect),但是仍然减少整体制程非均匀性。另外,在揭示于本文的一些例示态样中,例如鉴于原位掺杂、材料组合物及类似者,基于两个或更多间隔组件用以形成应变引发半导体合金的制造顺序在提供有不同特性的半导体合金上也可提供增加的弹性。结果,可扩展基于嵌入半导体合金所得到的应变引发机构的可扩展性而不会不当地损及晶体管特性的均匀性以及不当地造成整体制程的复杂度。

[0017] 揭示于本文的一种例示方法包含下列步骤:以对于由第一侧壁间隔体定义的栅极结构有偏移的方式,在结晶半导体区中形成数个第一凹处,该第一侧壁间隔体形成于该栅极结构的侧壁上,其中该第一凹处延伸至第一深度。该方法更包含下列步骤:以对于由形成于该第一侧壁间隔体上的第二侧壁间隔体定义的栅极结构有偏移的方式,在该结晶半导体区中形成数个第二凹处,其中该第二凹处延伸至大于该第一深度的第二深度。另外,该方法包含下列步骤:通过进行选择性地外延生长制程,在该第一及第二凹处中形成应变引发半导体合金。

[0018] 揭示于本文的另一例示方法包含下列步骤:在已有第一栅极结构形成于其上的第一半导体区上方以及在已有第二栅极结构形成于其上的第二半导体区上方形成第一间隔层。该方法更包含下列步骤:在该第一栅极结构的侧壁上,由该第一间隔层选择性地形成第一侧壁间隔体。此外,进行第一蚀刻制程以便基于该第一侧壁间隔体,在该第一半导体区中形成数个空腔。另外,在该第一侧壁间隔体上形成第二侧壁间隔体以及进行第二蚀刻制程以便基于该第二侧壁间隔体来增加该空腔的深度。最后,在该空腔中形成应变引发半导体合金。

[0019] 揭示于本文的一种例示半导体装置包含形成于衬底上方的晶体管,其中该晶体管

包含形成于结晶半导体区上方以及包含栅极材料的栅极结构。该晶体管更包含形成于该结晶半导体区中、有第一深度及与该栅极材料有第一横向偏移的第一应变引发半导体合金。另外,形成于结晶半导体区中的第二应变引发半导体合金具有第二深度以及与该栅极材料有第二横向偏移,其中该第一及第二深度不相同,以及其中该第一及第二横向偏移不相同。

#### 附图说明

[0020] 本揭示内容的各种具体实施例皆定义于权利要求书中,阅读以下参考附图的详细说明可更加明白这些具体实施例。

[0021] 图 1A 至图 1E 为含有 p 型沟道晶体管的习知半导体装置的横截面图,其示意图示处于以复杂习知制造顺序形成硅 / 锗合金的不同制造阶段;

[0022] 图 2A 至图 2G 的半导体装置横截面图根据示范具体实施例示意图示基于渐变空腔来形成应变引发半导体合金的不同制造阶段;

[0023] 图 2H 及图 2I 的横截面图示意图示半导体装置,其中根据其它示范具体实施例,基于两种不同的外延生长步骤可形成渐变空腔;

[0024] 图 2J 至图 2L 的横截面图示意图示处于不同制造阶段的半导体装置,其中根据其它示范具体实施例,通过减少间隔体结构的宽度以及进行中间蚀刻制程可形成渐变空腔;以及

[0025] 图 2M 示意图示处于更进一步制造阶段的半导体装置,其中根据示范具体实施例,可提供至少部份在应变引发半导体合金内的漏极及源极区。

#### 具体实施方式

[0026] 尽管用如以下详细说明及附图所图解说明的具体实施例来描述本揭示内容,然而应了解,以下详细说明及附图并非旨限定本揭示内容于所揭示的特定示范具体实施例,而是所描述的具体实施例只是用来举例说明本揭示内容的各种态样,本发明的范畴是由随附的权利要求书所定义。

[0027] 本揭示内容大体描述数种技术及半导体装置,其中应变引发半导体合金的精密横向及垂直构造可基于用以形成毗邻及偏移栅极结构之对应空腔的适当顺序来实现。因此,空腔的逐渐成形构造使得沟道区的横向偏移可减少,但是仍然使得对应蚀刻制程有高度的可控制性,因为藉由限制对应蚀刻制程的深度可避免不当暴露于蚀刻环境。之后,基于经适当构造的间隔组件可进行一个或多个其它蚀刻制程,其中可增加空腔的深度,不过,一个或多个附加间隔组件也可用来增加偏移,从而减少与蚀刻有关之非均匀性对于最终所得晶体管特性的影响。结果,空腔中可形成中高量的应变引发半导体合金,其中在非常接近栅极绝缘层之高度水平的高度水平可实现减少的沟道区横向偏移,其中,不过,可实现对应空腔及后续沉积制程的高度可控制性,从而不会不当地造成装置变异性。在揭示于本文的一些示范具体实施例中,在设计应变引发半导体合金的整体特性上可得到更加增强的弹性,例如藉由提供有不同程度之原位掺杂 (in situ doping) 的半导体合金,从而提供用增强的弹性来调整所想要的掺杂物分布的可能性。此外,在揭示于本文的一些图示态样中,实现空腔的逐渐成形构造可基于两个或更多间隔组件,这些可在不需要额外的微影步骤下形成,从而促进高度有效的整体制程流程。在其它的示范具体实施例中,空腔的逐渐成形构造可藉由



提供间隔体结构实现,间隔体结构的宽度可通过接下来的对应蚀刻制程而连续减小,从而持续增加空腔之暴露部份的深度,同时持续减少沟道区的横向偏移,其中基于专属间隔组件,可以高度可控制性的方式进行最终蚀刻步骤。在此最终蚀刻制程中,也可减少所要求的深度,使得在此情形下也可达成增强的制程均匀性。结果,本揭示内容可提供数种制造技术及半导体组件,其中即使对于有 50 奈米及更小关键尺寸的晶体管组件,也可增强增添应变引发半导体合金(例如,硅/锗合金、硅/锗/锡合金、硅/锡合金、硅/碳合金、及类似物)的效果,因为这些材料的逐渐成形构造与涉及的制造顺序可提供增强的制程均匀性从而减少晶体管特性的变异性,从而对于这些效能增加机构可提供一定程度的可扩展性。

[0028] 请参考图 2A 至图 2L,此时更详细地描述其它的示范具体实施例,其中如有必要也请参考图 1A 至图 1E。

[0029] 图 2A 示意图示半导体装置 200 的横截面图,它可包含衬底 201 与形成于衬底 201 上方的半导体层 203。衬底 201 结合半导体层 203 可代表任何适当装置架构,例如块体构造、SOI 构造、及类似物,也如参考图 1A 至图 1E 所示之半导体装置 100 时所述者。例如,在 SOI 构造的情形下,埋藏绝缘层(未图示)可位于衬底 201、半导体层 203 之间,如先前所解释的。此外,半导体装置 200 可包含绝缘结构 204,该绝缘结构 204 可使第一主动区或半导体区 203A 与第二主动半导体区 203B 分离,半导体区 203A、203B 各自为半导体层 203 之一部份且于其中及上方形成对应的晶体管 250A、250B。在图示的制造阶段中,晶体管 250A、250B 可包含栅极结构 251,该栅极结构 251 可包含栅极材料 251A 及栅极绝缘层 251B,栅极绝缘层 251B 可使栅极材料 251A 各自与主动区 203A、203B 的沟道区 252 分离。此外,栅极结构 251 可包含覆盖层 251C,如先前在说明半导体装置 100 时所述。此外,蚀刻终止衬垫 215,例如氧化物材料及类似物,可形成于栅极材料 251A 的侧壁上以及也形成于主动区 203A、203B 的材料上。例如,在一些示范具体实施例中,主动区 203A、203B 可实质由硅材料构成,因而层 215 可为二氧化硅材料。不过,应了解,在其它的情形下,可沉积例如形式为二氧化硅、氮化硅及其类似物的衬垫材料。就此情形而言,也可在覆盖层 251C 的暴露表面区上形成蚀刻终止衬垫 215。此外,在一示范具体实施例中,在晶体管 250B 的半导体区 203B 及栅极结构 251 上方可形成由二氧化硅构成的间隔层 205A。另一方面,间隔组件 205 可形成于栅极结构 251 的侧壁,亦即,蚀刻终止衬垫 215 上,若有的话。间隔组件 205 可具有明确的宽度 205W,它可实质决定待于后面制造阶段形成之应变引发半导体合金的横向偏移。在一些示范具体实施例中,可选择数奈米及更小的宽度 205W,例如约 2 奈米及更小,因为藉由选择与横向宽度 205W 结合的适当蚀刻深度,可减少晶体管 250A 的不当晶体管变异性,从而增强整体制程均匀性,下文会有更详细的说明。

[0030] 基于以下的制程可形成如图 2A 所示的半导体装置 200。如前面在说明装置 100 时所述,利用制程技术可形成绝缘结构 204 及栅极结构 251。之后,如有必要,可例如藉由氧化、沉积及其类似者形成蚀刻终止衬垫 215,接着是可用公认有效的 CVD 技术来沉积间隔层 205A。如先前所述,可选定间隔层 205A 的厚度以便得到有想要减少宽度 205W 的间隔组件 205,因为可提供对应的其它制程顺序用以增强形成逐渐成形空腔的均匀性,从而可减少与任何制程有关的晶体管变异性。在一些示范具体实施例中,用公认有效的沉积配方,基于二氧化硅材料可形成间隔层 205A。在其它的示范具体实施例中,可以不同材料的形式来提供间隔层 205A,例如氮化硅及类似物,以及后面的制造阶段可使用适当的其它材料来提供额

外的侧壁间隔组件,如下文所述。接下来,用微影法可形成蚀刻掩膜 206,例如阻剂掩膜,以便暴露在晶体管 250A 上方的间隔层 205A 以及覆盖在晶体管 250B 上方的间隔层 205A。之后,可进行适当的非等向性蚀刻制程以便对于蚀刻终止衬垫 215(若有的话)或至少对于半导体区 203A 的材料有选择性地来移除间隔层 205A 的材料,从而提供有宽度 205W 的间隔组件 205。

[0031] 图 2B 示意图示暴露于蚀刻环境 207 的半导体装置 200,蚀刻环境 207 可为非等向性电浆辅助蚀刻制程用以对于间隔组件 205 有选择性地移除半导体区 203A 的材料以便形成第一凹处或空腔 207A 之一部份。在图示于图 2B 的具体实施例中,可进行基于蚀刻掩膜 206 的蚀刻制程 207,而在其它的示范具体实施例中,在进行蚀刻制程 207 之前,可移除掩膜 206,从而使用间隔层 205A 作为蚀刻掩膜用以保护晶体管 250B 的半导体区 203B 及栅极结构 251。应了解,与习知策略相反,可进行蚀刻制程 207 以便对于给定化学,藉由选择对应减少的蚀刻时间来得到深度减少的凹处 207A,藉此对于凹处 207A 与沟道区 252 的横向偏移可实现高度的可控制性及均匀性。结果,即使对于如宽度 205W 所定义之整体再利用横向偏移,整个衬底可实现所得晶体管特性的增强均匀性,因为相较于要求对应空腔要有显著深度(例如,图 1B 的空腔 107A)的制程策略,可减少横向蚀刻速率在制程 207 期间的对应变异性。结果,基于公认有效之选择性非等向性蚀刻配方,藉由形成深度减少的凹处 207A 可实现应变引发材料之横向位置的优异控制。

[0032] 又在其它的示范具体实施例中,可进行基于湿化学蚀刻配方的蚀刻制程 207,其中也可提供深度减少的凹处 207A 用于高度可控制的横向蚀刻速率,藉此基于初始间隔体宽度 205W,可得到对应的明确横向偏移。例如,由于凹处 207A 有减少的深度,可建立等向性湿化学蚀刻环境,因此对应横向蚀刻速率在其中也可有效地控制,从而例如,对于在栅极结构 251 边缘的栅极绝缘层 251B 可提供优异的完整性,但是仍然可基于低数值来调整凹处 207A 与沟道区 252 的横向偏移而不会损及晶体管特性的均匀性。

[0033] 图 2C 示意图示处于更进一步制造阶段的半导体装置 200。如图示,半导体区 203A 中可形成向下至深度 207D 的凹处 207A,这可提供增强的整体制程控制,如先前所述。此外,在第一及第二晶体管 250A、250B 上方形成另一间隔层 216,其中间隔层 216 可由与间隔层 205A 材料不同的材料构成。例如,在一示范具体实施例中,间隔层 216 可由氮化硅构成,而可基于二氧化硅来形成间隔层 205A。应了解,在其它的示范具体实施例中,如上述,间隔层 216 可由不同的材料构成,例如二氧化硅,只要可基于有不同蚀刻特性的材料来形成间隔层 205A 以及间隔组件 205。可提供有适当厚度的间隔层 216 以便结合对应蚀刻制程参数来得到待基于间隔层 216 形成之间隔组件的适当厚度。为此目的,可使用任何公认有效的沉积技术。

[0034] 图 2D 示意图示的半导体装置 200 是在另一非等向性蚀刻制程 211 期间以便至少在晶体管 250A 之间隔组件 205 上形成间隔组件 216A。为此目的,可利用公认有效的选择性非等向性蚀刻配方,其中,例如,对于二氧化硅材料及硅材料有选择性地移除氮化硅材料。此外,在图示于图 2D 的具体实施例中,可以无掩膜制程的方式进行非等向性蚀刻制程 211,从而也在晶体管 250B 的间隔层 205A 上形成对应间隔组件 216A。结果,可提供晶体管 250A 的间隔组件 216A 而不需额外的微影步骤,从而促进极有效率的整体制造流程。在其它的示范具体实施例中,如果认为在蚀刻制程 211 期间移除间隔层 205A 的材料不适当,例如因为

制程 211 的蚀刻选择性较不明显及 / 或因为间隔层 205A 有减少的厚度, 则在进行蚀刻制程 211 之前, 可进行另一蚀刻掩膜, 例如蚀刻掩膜 206, 以便覆盖晶体管 250B。结果, 在蚀刻制程 211 期间, 可暴露形成于半导体区 203A 的凹处 207A, 同时提供有想要的宽度 216W 的间隔组件 216A。例如, 可选定宽度 216W 以便得到仍待形成于区域 203A 之半导体材料的想要的渐变形状, 同时可实现所得空腔之横向形状的高度可控制性。此外, 也可以增强的效率来控制所得空腔的垂直延伸部份, 因为相较于必须以单一蚀刻步骤形成对应空腔的习知策略, 显然材料移除的要求程度比较不明显。

[0035] 图 2E 示意图示暴露于另一蚀刻制程 217 时的半导体装置 200, 其中在先前形成凹处 207A 的暴露部份中可形成另一凹处 217A。于是, 基于蚀刻环境 217 的制程参数与间隔组件 216A 的宽度 216W, 可定义该另一凹处 217A 的横向偏移, 同时基于在制程 217 期间对于给定移除速率的加工时间可调整它的深度。在一些示范具体实施例中, 可形成延伸至深度 217D 的凹处 217A, 深度 217D 可对应至以凹处 207A 及 217A 表示之空腔的最终想要深度, 例如有基底层 203 厚度的百分之 50 至 90。就此情形而言, 深度 217D 应被视为是凹处 207A 的深度与在该另一蚀刻制程 217 期间得到之深度的组合。应了解, 即使深度 217D 明显大于初始定义的深度 207D, 它对于凹处 217A 与沟道区 252 的横向偏移仍可能造成一定程度的变异性, 不过相较于习知策略, 仍可大幅增强整体晶体管变异性, 因为晶体管变异性的最关键影响可用“浅部份”表示, 亦即, 仍可以增强的可控制性来提供凹处 270A, 如先前所述。

[0036] 应了解, 若需要, 例如基于相同的材料, 可形成一个或多个其它间隔组件, 例如间隔组件 216, 以及可进行后续的蚀刻制程以便进一步增加先前形成的凹处之对应部份的深度, 其中也可使对于沟道区 252 的横向偏移逐渐增加。

[0037] 图 2F 示意图示半导体装置 200 暴露于经设计成对于间隔组件 205 及间隔层 205A 有选择性地移除间隔组件 216A 的另一蚀刻环境 218。在其它的示范具体实施例中, 如先前所述, 在已基于对应蚀刻掩膜来进行形成晶体管 250A 之间隔组件 216A 的制程时, 晶体管 250B 可用间隔层 216 覆盖, 如上述。就此情形而言, 在蚀刻制程 218 期间, 可移除间隔层 216 与晶体管 250A 的间隔组件 216A。在间隔组件 216A 由氮化硅构成时, 可使用例如, 公认有效的蚀刻配方, 例如基于热磷酸。在其它的情形下, 当以二氧化硅材料的形式提供间隔组件 216A 时, 可使用其它适当的配方, 例如稀释的氢氟酸 (HF), 同时间隔层 205A 及间隔体 205 可提供被这些组件覆盖之对应材料的完整性。因此, 在蚀刻制程 218 后, 形成对应空腔 218A 于半导体区 203A 中, 因而可由凹处 207A、217A 构成。

[0038] 图 2G 示意图示处于更进一步制造阶段的半导体装置 200, 其中可进行选择性外延生长制程 210 以使用应变引发半导体合金 209 填满空腔 218A。在一些示范具体实施例中, 晶体管 250A 可为 p 型沟道晶体管, 其中半导体区 203A 的晶体构造可使得沿着电流流动方向 (亦即, 图 2G 中的水平方向) 作用的压缩应变分量可提供晶体管效能的增加, 如先前所述。因此, 可提供形式为硅 / 锗合金的半导体合金 209, 其中可根据将要在沟道区 252 中引发的想要应变分量来选定一小部份的锗。此外, 由于空腔 218A 有渐变形状, 可实现材料 209 的对应渐变构造, 其中可使它的浅部份 209A 非常接近沟道区 252, 同时避免不当的晶体管变异性, 如先前在说明装置 100 时所述。在其它的示范具体实施例中, 半导体合金 209 可包含锡, 例如结合硅或硅 / 锗, 从而也提供沟道区 252 的压缩应变分量。又在其它的示范具体实施例中, 晶体管 250A 可为能基于拉伸应变分量来增加效能的晶体管, 这可藉由提供形式

为硅 / 碳合金的半导体合金 209 来达成。

[0039] 在选择性外延生长制程 210 期间,间隔组件 205 及间隔层 205A 可用作生长掩膜 (growth mask) 以便实质避免显著的半导体沉积从而维持晶体管 250A、250B 之栅极结构 251 的完整性和半导体区 203B 的完整性。

[0040] 之后,在这些组件由二氧化硅材料构成时,例如基于公认有效的蚀刻配方,例如氢氟酸,藉由移除间隔组件 205 及间隔层 205A,可继续进一步的加工。在其它的情形下,在间隔体 205 及间隔层 205A 由氮化硅构成时,可使用任何其它的选择性蚀刻配方,例如热磷酸,如前述。之后,可用任何适当蚀刻配方(例如,热磷酸)来移除覆盖层 251C,之后,可继续进一步的加工,如在说明图示于图 1E 之装置 100 时所述。例如,可形成漏极及源极延伸区(未图示),接着是形成适当间隔体结构,随后基于离子植入,它可用来定义深漏极及源极区,其中藉由基于选择性外延生长制程 210 来引进适当掺杂物种可显著增强晶体管 250A 的对应植入制程。因此,在此情形下,在制程 210 期间可实现想要程度的原位掺杂。之后,若需要,可进行适当的退火制程以便启动一定程度的掺杂物扩散,以及也激活掺杂物以及使植入所引发的损伤再结晶。接下来,根据装置要求可形成金属硅化物。

[0041] 图 2H 示意图示根据其它示范具体实施例的半导体装置 200。如图示,间隔组件 216A 仍可存在以及装置 200 可经受第一外延生长制程 210B 以便使第一部份 209B 填入凹处 217A。因此,在外延生长制程 210B 期间,可建立适当的制程参数,例如关于原位掺杂的程度、材料组合物及类似物,以便提供有想要特性的下半部 209B。例如,可选定原位掺杂的程度以便实质对应至晶体管 250A 之深漏极及源极区的想要的掺杂物浓度。此外,若需要,可根据整体装置要求来设计合金 209B 之应变引发物种的浓度。例如,如果想要的是压缩应力分量,可提供中高浓度的锗、锡及类似物。

[0042] 之后,可进行蚀刻制程 218(参考图 2F) 以便移除晶体管 250A、250B 的间隔组件 216A,其中,如前述,当此一晶体管中不形成对应间隔组件时,可移除晶体管 250B 上方的对应间隔层,如以上所解释的。可进行对应的清洗配方以便制备材料 201B 中用于另一选择性外延生长制程的暴露表面部份。

[0043] 图 2I 示意图示暴露于另一选择性外延生长制程 210A 之沉积环境的半导体装置 200。因此,可形成应变引发半导体合金 209 的浅部份 209A,其中,除了材料 209 的整体增强表面拓朴以外,也可根据制程及装置要求来调整材料 209A 的不同特性。例如,在制程 210A 期间可达成适当的原位掺杂,使得可显著减轻仍待形成之漏极及源极区的进一步检测 (profiling),甚至可完全省略,从而造成更加增强的漏极引发效应 (drain inducing effect),因为可减少对应植入所引发的松弛效应。此外,若需要,可选择与材料 209B 不同的材料组合物,如有必要。在外延生长制程 210A 后,可继续进一步的加工,如上述。

[0044] 请参考图 2J 至图 2L,此时描述其它的示范具体实施例,其中藉由减少间隔体结构的宽度及进行对应的空腔蚀刻制程可实现逐渐成形的空腔构造。

[0045] 图 2J 示意图示处于以下制造阶段的半导体装置 200:至少在晶体管 250A 中可形成间隔组件 216A,同时第二晶体管 250B 可包含对应间隔层或间隔组件 216A,这取决于间隔层 205A 的蚀刻终止能力。亦即,如果认为间隔层 205A 过度暴露于两个或更多蚀刻环境为不适当时,可基于对应阻剂掩膜来形成间隔组件 216A,以及可保留在晶体管 250B 上方的间隔层。此外,可使间隔组件 216A 具有表示偏移的宽度 216T,结合间隔组件 205 的宽度 205W,

这为对应空腔的想要的最大深度。基于间隔组件 216A, 装置 200 可暴露于蚀刻环境 227 用以形成对应凹处 227A。关于蚀刻制程 227 的任何制程参数, 可应用如先前所述用于形成凹处 207A、217A (参考图 2F) 的相同准则。

[0046] 图 2K 示意图示暴露于另一蚀刻环境 218A 的半导体装置 200, 其中可移除一部份的间隔组件 216A。例如, 当间隔组件 216A 由氮化硅构成时, 可建立基于热磷酸的蚀刻环境 218A。在其它的情形下, 可使用任何其它适当的选择性蚀刻配方。在蚀刻制程 218A 期间, 可以高度可控制的方式移除间隔组件 216A 的宽度, 例如以便维持减少的间隔组件 216R 用来调整逐渐成形的空腔的另一横向偏移, 在图示的制造阶段中, 它可包含凹处 227A。

[0047] 图 2L 示意图示暴露于另一蚀刻环境 237 的半导体装置 200, 在此期间, 可增加凹处 227A 的深度, 同时可形成另一凹处 237A, 它对于沟道区 252 有取决于间隔组件 216R 之宽度的横向偏移。之后, 可进行与制程 218A (参考图 2K) 类似的另一蚀刻制程以便移除间隔组件 216R, 从而暴露间隔体 205, 由于与间隔组件 216R 相比它有显著的蚀刻选择性, 因而可高度均匀地定义对应凹处的横向偏移。因此, 在可基于与制程 237 类似之蚀刻参数的后续蚀刻制程中, 可以高度制程均匀性及对于沟道区 252 有想要的减少偏移而形成浅凹处, 如先前所述。另一方面, 可进一步增加对应凹处 227A、237A 的深度, 同时形成有最小所欲横向偏移的浅凹处。结果, 就此情形而言, 也可实现有逐渐成形构造的对应空腔, 其中高度制程均匀性也可产生对应稳定的晶体管特性。因此, 在形成晶体管 250A 的逐渐成形空腔后, 藉由移除间隔组件 205 及间隔层 205A 及将适当的半导体合金填入逐渐成形空腔, 可继续进一步的加工, 如先前所述。

[0048] 图 2M 示意图示处于更进一步制造阶段的半导体装置 200。如图示, 晶体管 250A、250B 可包含间隔体结构 253, 其经设计成可调整至少晶体管 250B 中之漏极及源极区 254 的横向及垂直掺杂物分布。亦即, 在图示具体实施例中, 形成晶体管 250B 的漏极及源极区 254 可基于植入顺序, 以及提供间隔体结构 253 以便调整区域 254 的横向及垂直分布。如先前所述, 可提供作为原位掺杂材料的半导体合金 209, 从而在设计对应漏极及源极区 254 之整体掺杂物分布方面可提供增强的弹性, 因为减少的掺杂物种数量可能必须用离子植入制程来加入, 从而减少对应植入制程的应力松弛效应。在其它的情形下, 如先前所述, 基于至少一部份材料 209 的原位掺杂, 对于漏极及源极延伸区 254E 可至少提供相当数量的掺杂物浓度, 其中由于材料 209 有逐渐成形构造, 所以可使对应掺杂物种非常接近沟道区。此外, 在一些示范具体实施例中, 基于原位掺杂材料 209, 可实质完全建立漏极及源极区 254 的掺杂物分布, 如前述, 它可能有不同的掺杂物浓度。就此情形而言, 若需要, 可调整最终掺杂物分布, 例如如有必要, 基于引进反向掺杂物种 (counter-doping species), 这通常在对应植入制程期间需要明显减少的剂量, 从而不会不当地产生植入所引发的损伤。结果, 在对应的退火制程 219 期间, 可调整最终的所欲掺杂物分布, 例如藉由启动一定程度的掺杂物扩散, 在要定位对应 pn 结于材料 209 “外面”时, 然而在其它的情形下, 显著的掺杂物扩散可用公认有效的退火技术抑制, 例如基于雷射的技术, 闪光退火制程, 其中可极短时间内可改变有效退火时间以便抑制不当的掺杂物扩散, 但是仍然提供掺杂物的激活与植入所引发之损伤的再结晶。

[0049] 之后, 可继续进一步的加工, 例如藉由在漏极及源极区 254 及栅极结构 251 (如有必要) 中形成金属硅化物区, 接着是沉积任何适当的层间电介质材料, 它也可包含有高内

应力水平的电介质材料以便进一步增强晶体管 250 及 / 或晶体管 250B 的效能。

[0050] 结果,本揭示内容提供数种半导体组件及对应制造技术,其中基于图样化顺序可提供逐渐成形的应变引发半导体材料,包括提供两种不同的间隔组件,从而提供增强的整体制程均匀性,这接着使得应变引发材料可极其靠近沟道区而不会不当地减少整体晶体管变异性。

[0051] 熟谙此艺者基于本说明可明白本揭示内容的其它修改及变体。因此,本说明应被视为仅供图解说明而且目的是用来教导熟谙此艺者实施本文提供之教导的一般方式。应了解,应将图示及描述于本文的形式应视为目前为较佳的具体实施例。

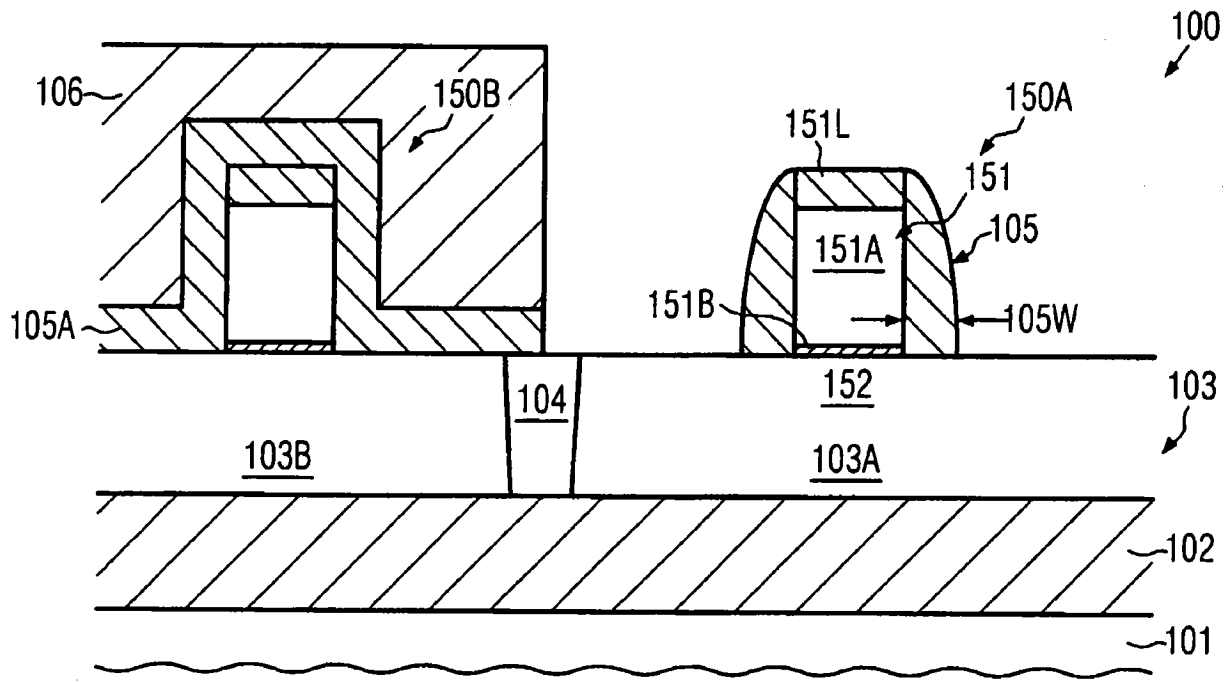


图 1a(现有技术)

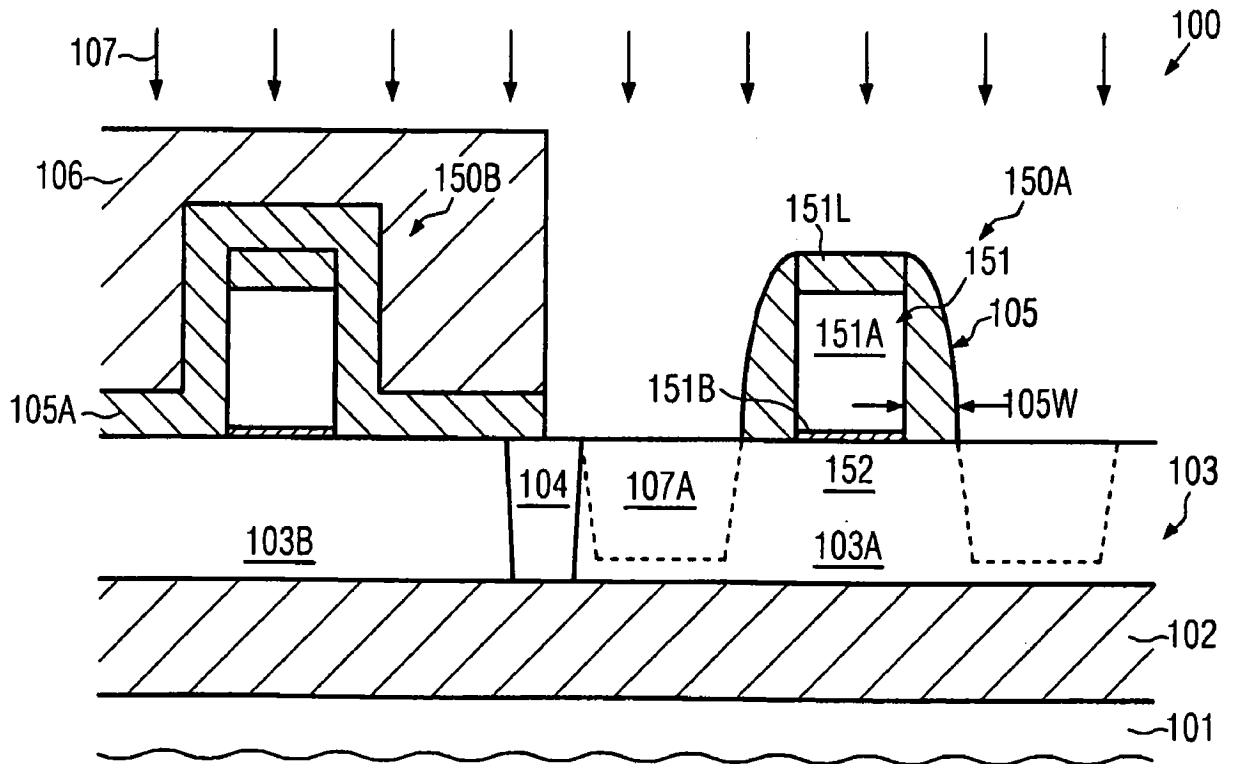


图 1b(现有技术)

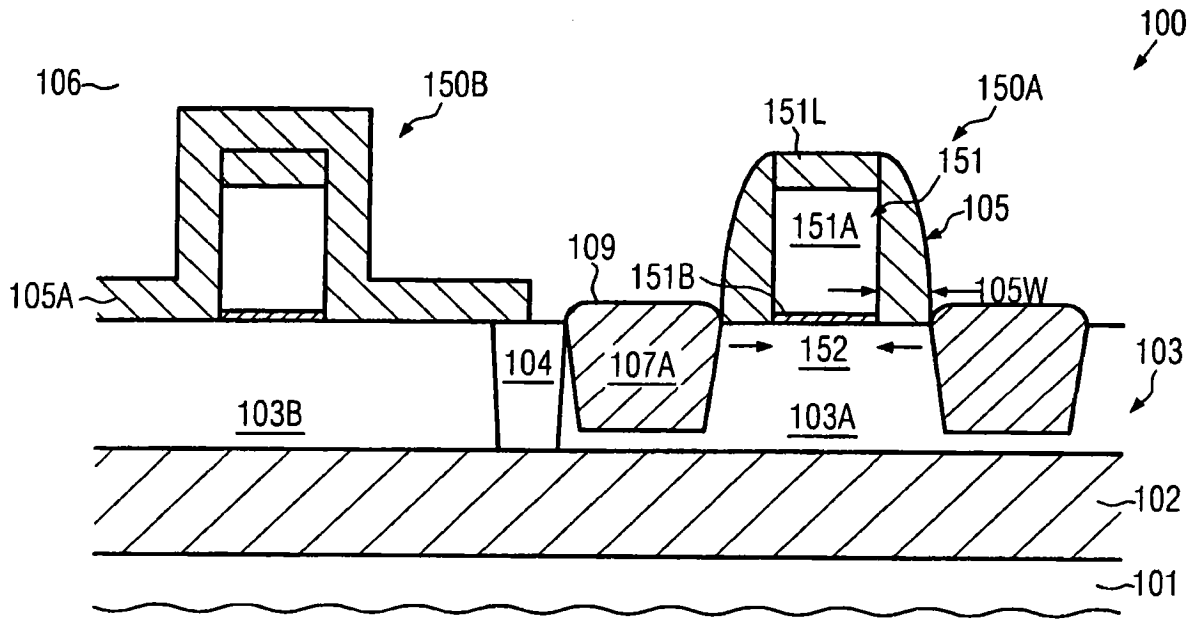


图 1c(现有技术)

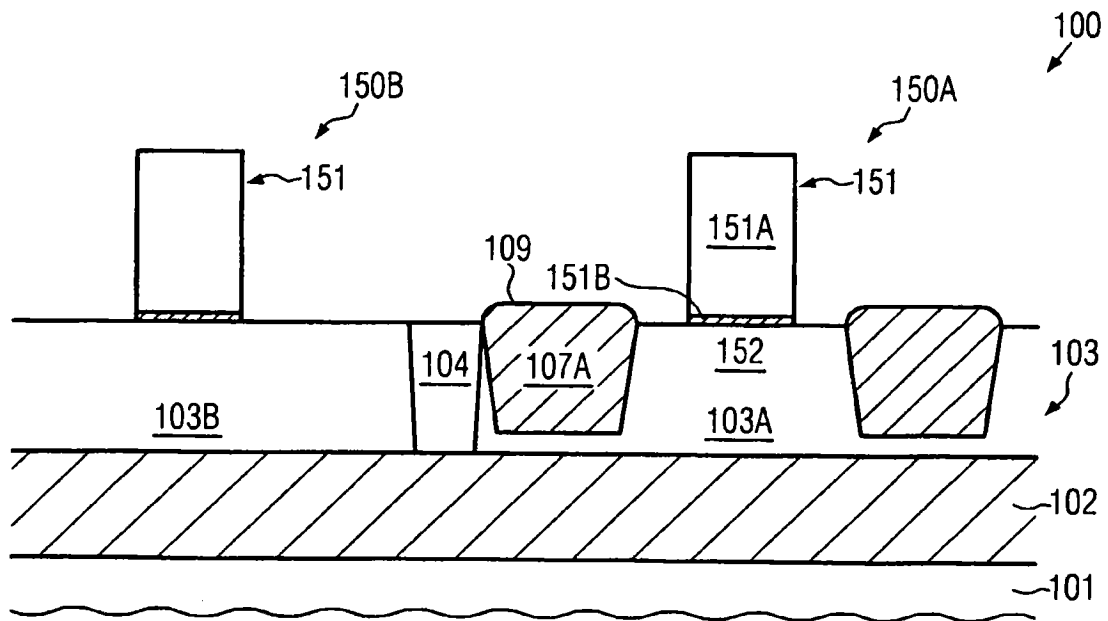


图 1d(现有技术)



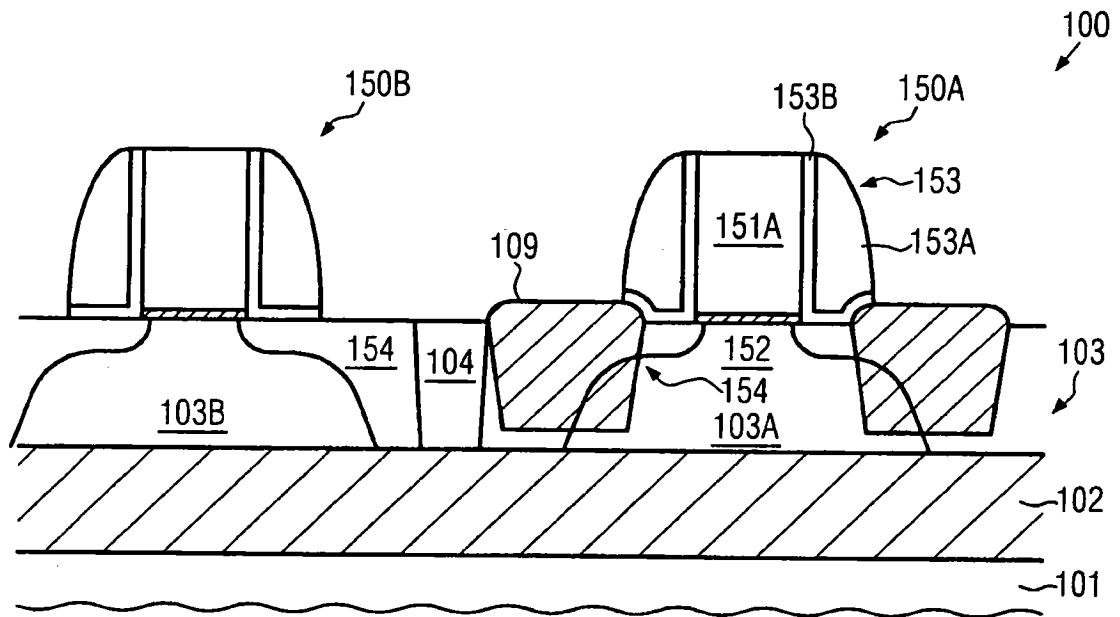


图 1e(现有技术)

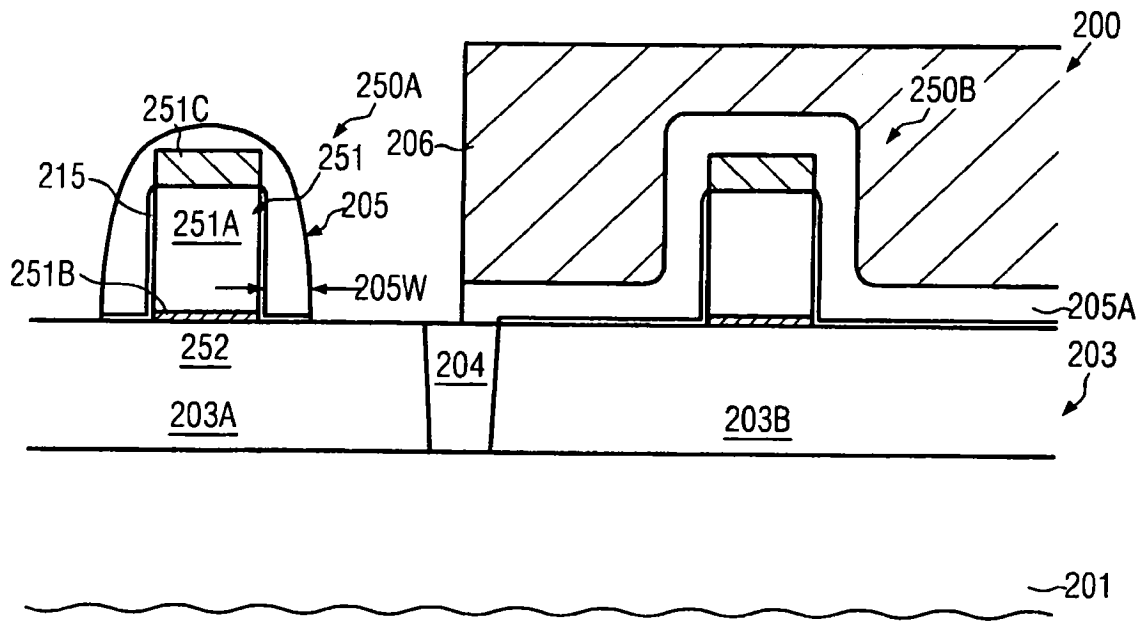


图 2a

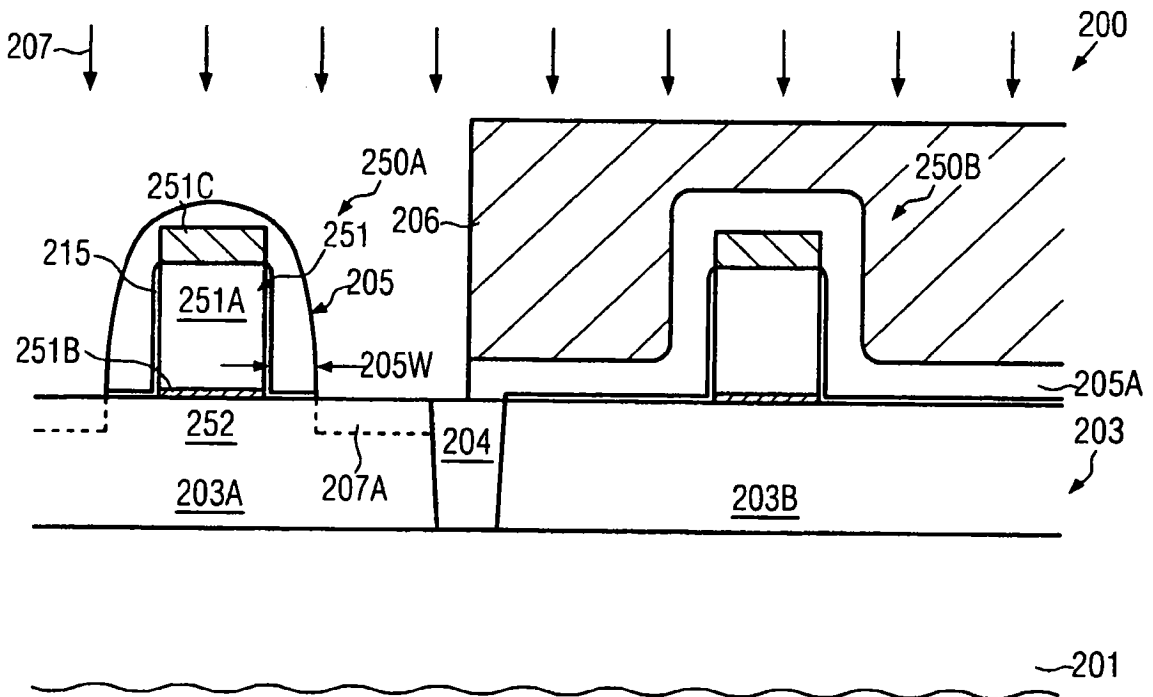


图 2b

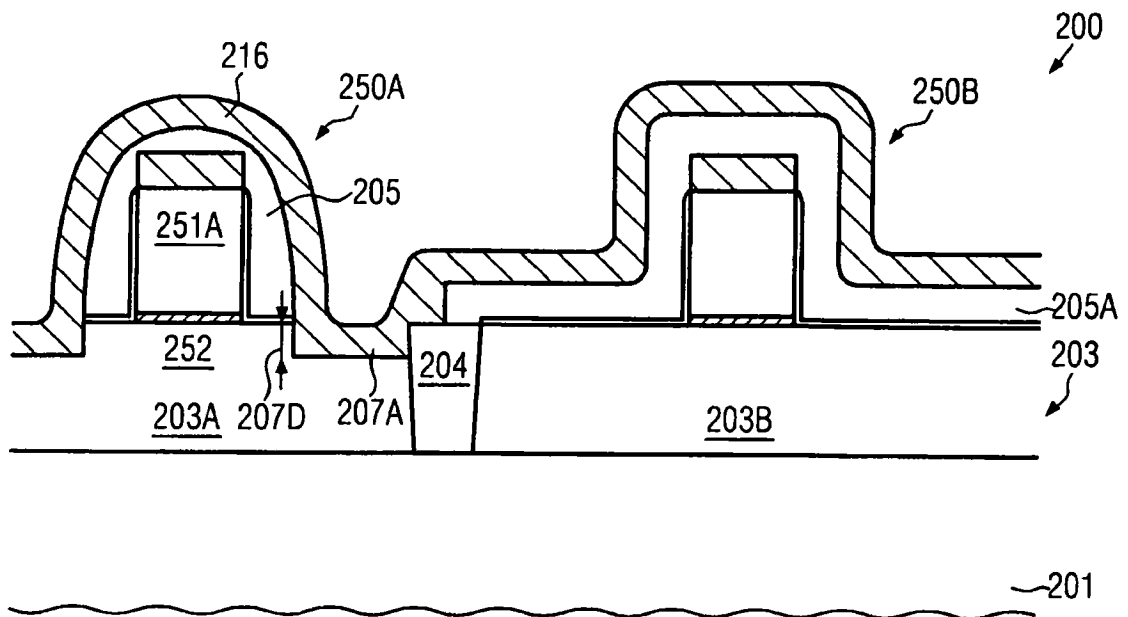


图 2c

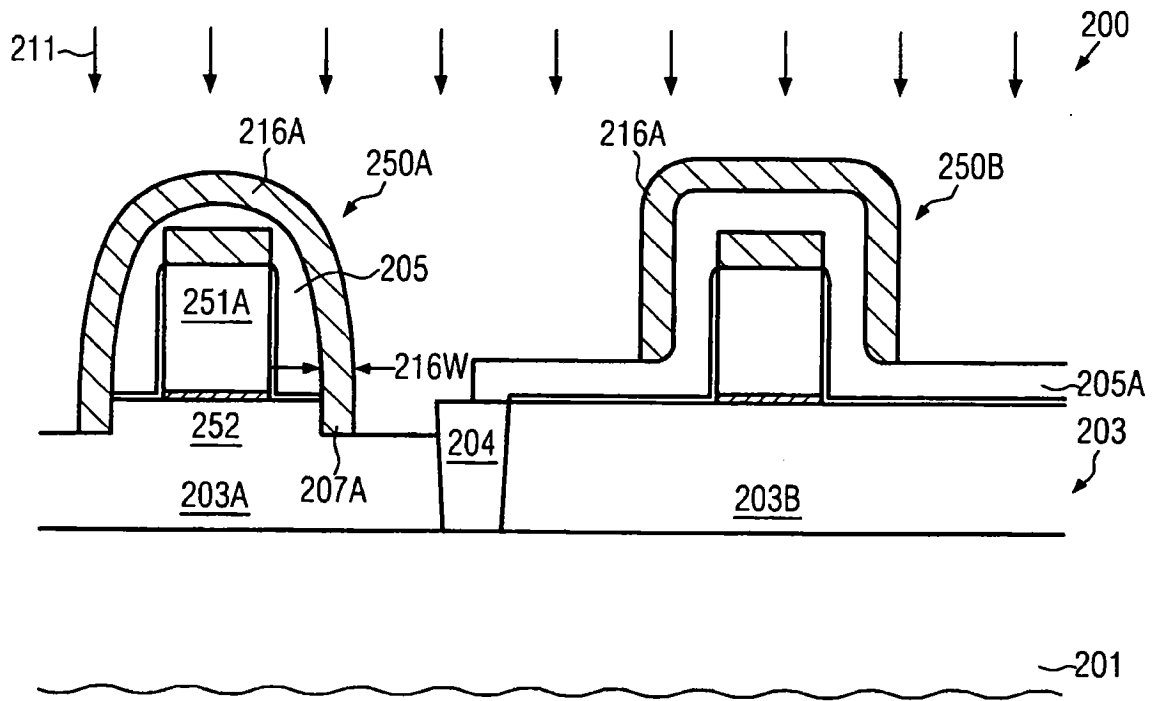


图 2d

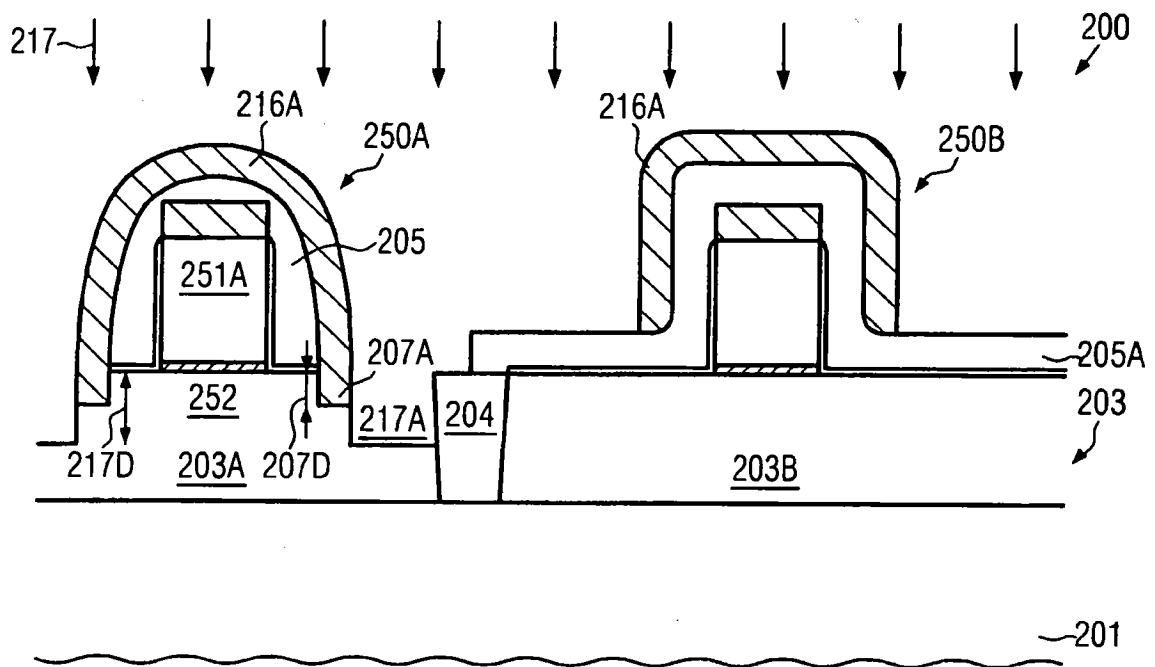


图 2e

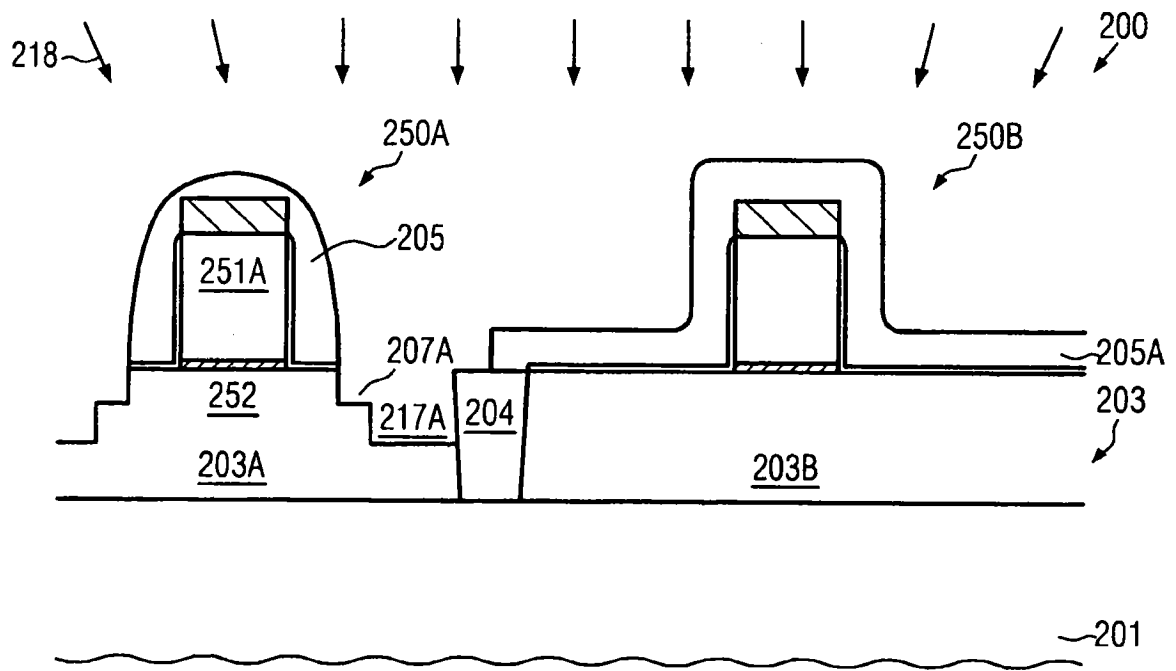


图 2f

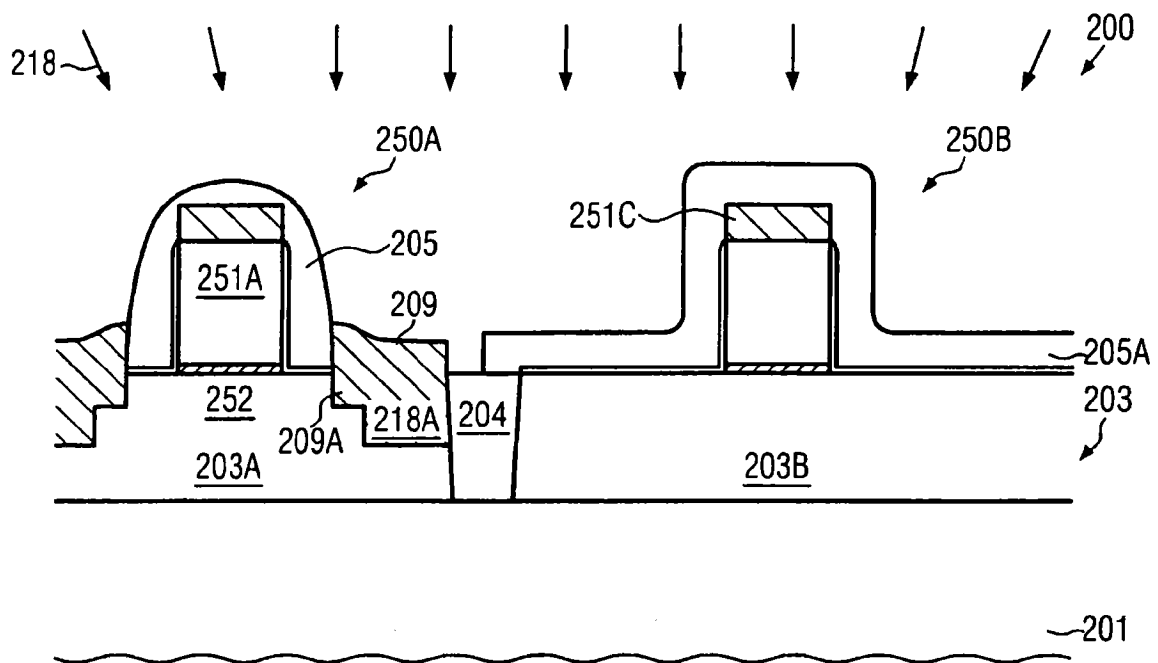


图 2g

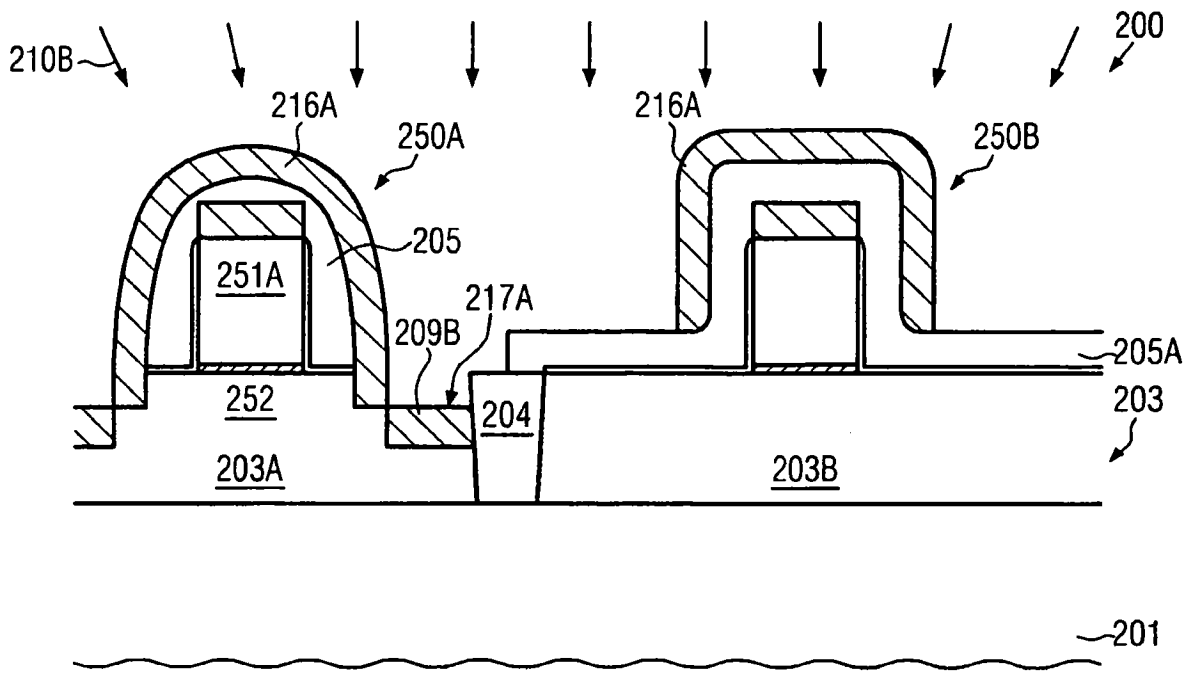


图 2h

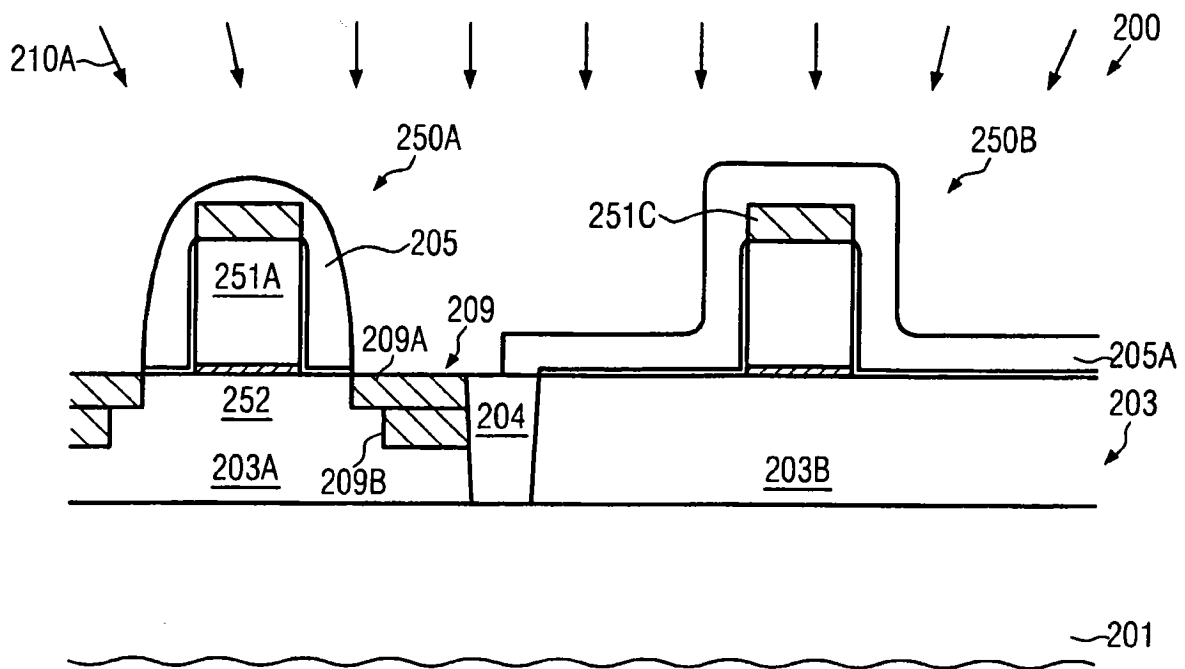


图 2i

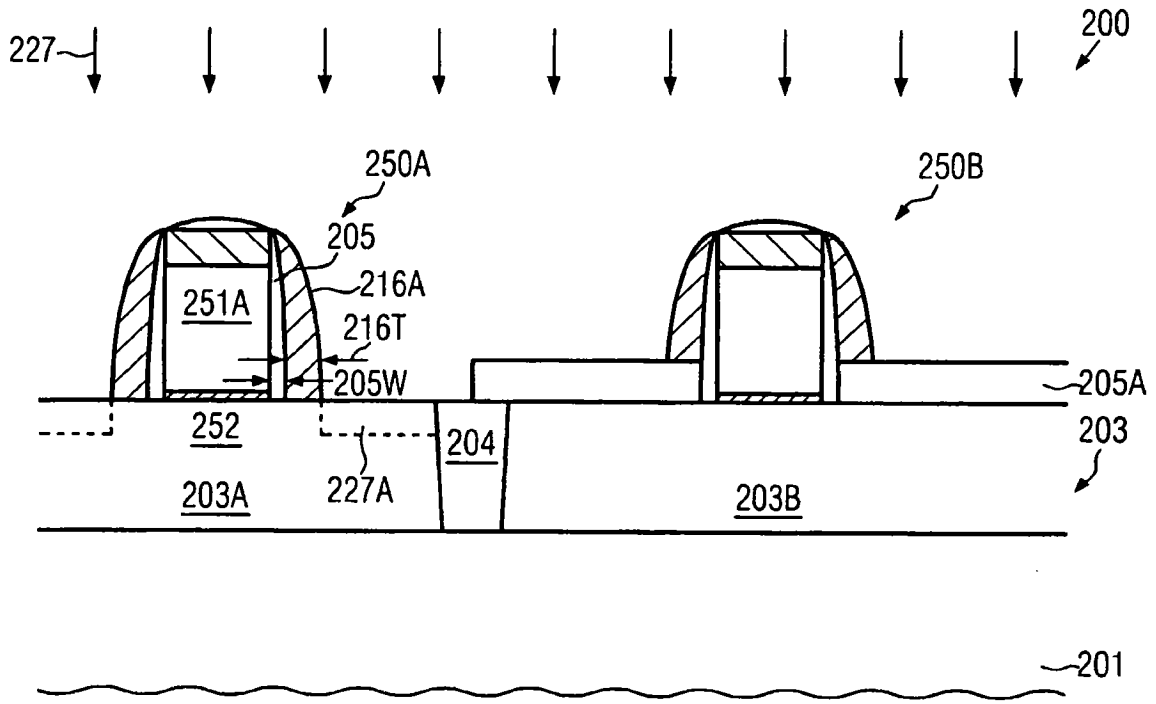


图 2j

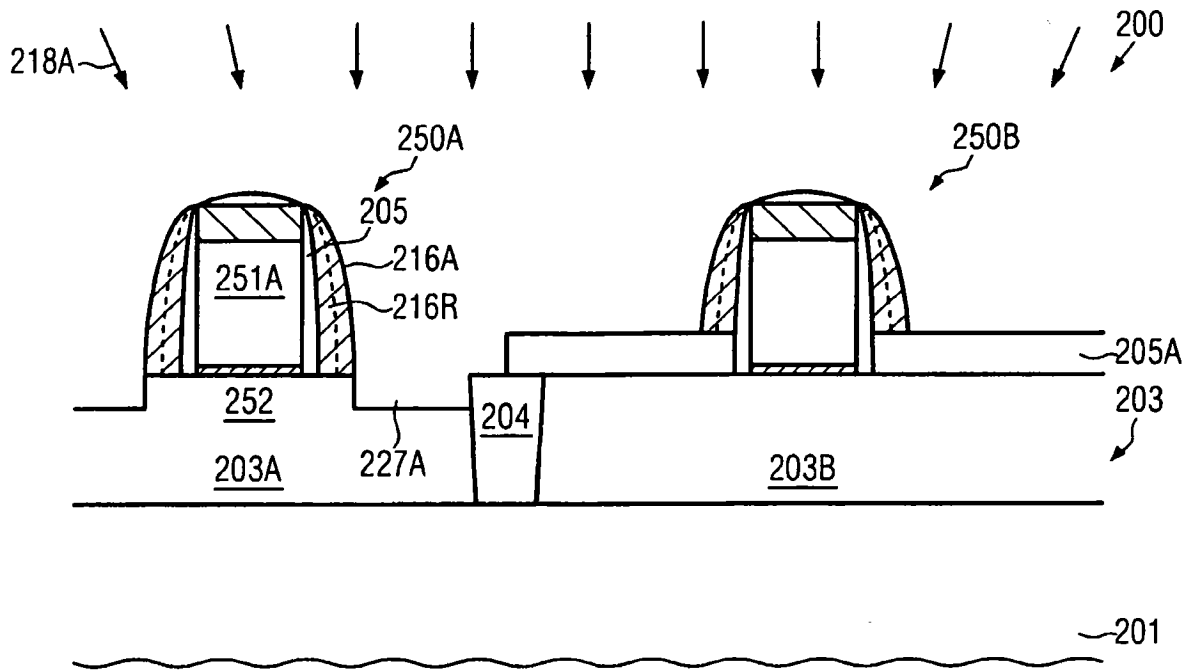


图 2k

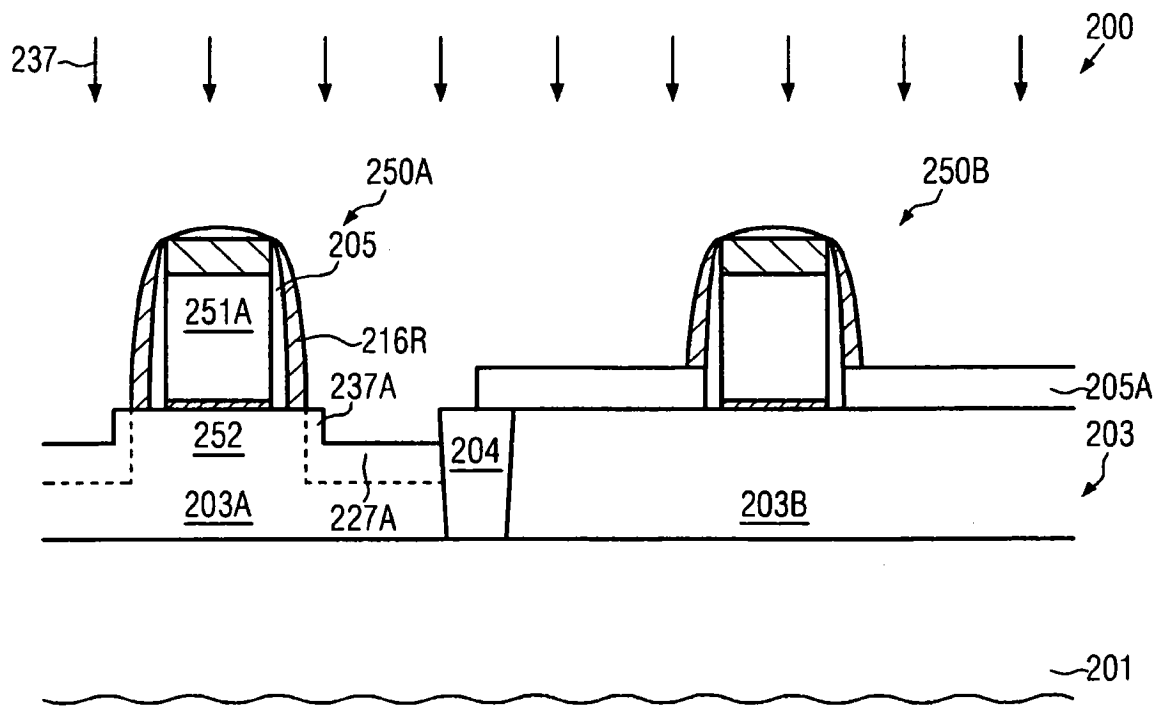


图 21

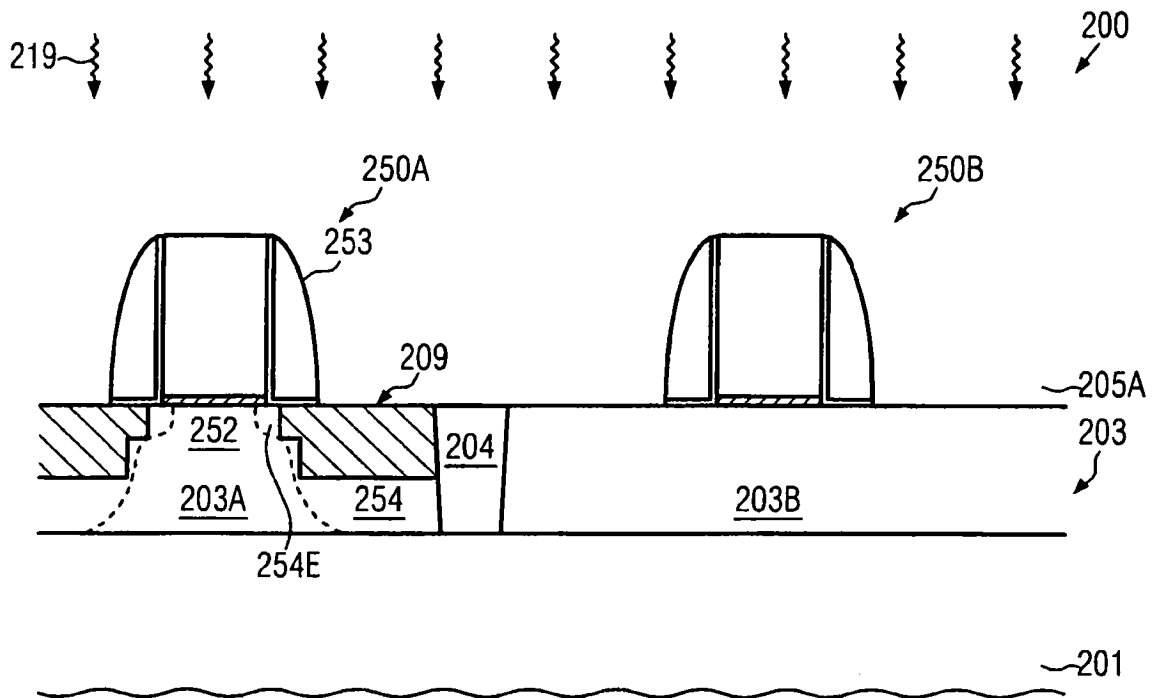


图 2m