

특허청구의 범위

청구항 1

소정의 패턴으로 제1 금속 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 식각하여 커패시터 영역 및 일반 배선 영역에는 상기 제1 금속 배선이 노출되는 제1 다마신 패턴을 형성하면서, 박막 저항 영역에는 트렌치 형태의 제2 다마신 패턴을 형성하는 단계;

상기 제1 및 제2 다마신 패턴에 상기 층간 절연막보다 낮은 높이로 제2 금속 배선을 형성하는 단계;

상기 제2 금속 배선 상부의 상기 다마신 패턴에 절연막 및 전극층을 적층 구조로 형성하여, 상기 커패시터 영역에는 상기 제2 금속 배선, 상기 절연막 및 상기 전극층으로 이루어진 커패시터를 형성하고, 상기 박막저항 영역에는 상기 전극층으로 이루어진 박막 저항을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서, 상기 전극층을 형성한 후,

상기 전극층을 포함한 전체 구조 상에 상부 층간 절연막을 형성하는 단계;

상기 커패시터 영역에서는 상기 전극층이 노출되고, 상기 일반 배선 영역에서는 상기 제2 금속 배선이 노출되며, 상기 박막 저항 영역에서는 상기 전극층이 노출되는 다마신 패턴을 상기 상부 층간 절연막에 형성하는 단계; 및

상기 상부 층간 절연막의 상기 다마신 패턴에 제3 금속 배선을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제1 금속 배선 또는 상기 제2 금속 배선이 구리로 형성된 반도체 소자의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 전극층이 TiN 또는 TaNx로 형성되는 반도체 소자의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 절연막이 SiN, Al₂O₃, Ta₂O₅ 또는 HfO 중 선택된 어느 하나로 형성하거나 두개 이상 적층된 구조로 형성되는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 MIM(Metal-Insulator-Metal) 구조로 이루어진 커패시터와 박막 저항을 동시에 형성하는 반도체 소자의 제조 방법에 관한 것이다.

[0009]

- [0010] 높은 정밀도를 요구하는 CMOS IC 논리 소자에 적용되는 아날로그 커패시터는 개량된 아날로그 MOS 기술, 특히 A/D 컨버터나 switched-capacitor filter 분야의 핵심 요소이다. 이와 같은 커패시터의 구조로는 폴리실리콘 대 폴리실리콘, 폴리실리콘 대 실리콘, 금속 대 실리콘, 금속 대 폴리실리콘 및 금속 대 금속 등 다양한 커패시터 구조들이 사용되어 왔다. 이들 중 금속 대 금속(Metal to metal) 구조(MIM 구조)는 직렬 저항(Series resistance)이 낮아 높은 정전용량을 갖는 커패시터를 만들 수 있으며, 열부담(Thermal budget) 및 Vcc가 낮은 장점으로 인하여 현재 아날로그 커패시터 구조로 널리 이용되고 있다. 이러한 MIM 구조의 커패시터 제조 방법을 간략하게 설명하면 다음과 같다.
- [0011] 도 1a 내지 도 1e는 종래 기술에 따른 반도체 소자의 커패시터와 박막 저항 형성 방법을 설명하기 위한 소자의 단면도들이다.
- [0012] 도 1a를 참조하면, 전체 구조 상부에 층간 절연막(102)이 형성되고 층간 절연막(102)에 형성된 다마신 패턴에는 금속 배선(103)이 형성된 반도체 기판(101) 상에 제1 금속층(104), 절연막(105) 및 제2 금속층(106)을 순차적으로 형성한다.
- [0013] 여기서, 제1 금속층(104)은 하부 전극이 되고, 절연막(105)은 유전체막이 되며, 제2 금속층(106)은 상부 전극이 된다. 이때, 제1 금속층(104)이나 제2 금속층(106)은 TaN 또는 TiN으로 형성할 수 있으며, 절연막(105)은 Al₂O₃, HfO₂, ZrO₂ 및 Ta₂O₅ 중 선택된 어느 하나로 형성할 수 있다.
- [0014] 도 1b를 참조하면, 커패시터가 형성될 영역에만 잔류되도록 제2 금속층(106), 절연막(105) 및 제1 금속층(104)을 순차적으로 식각한다.
- [0015] 도 1c를 참조하면, 후속 공정에서 제1 금속층(104) 상에 플러그를 형성하기 위하여 제1 금속층(104) 상부에 형성된 제2 금속층(106)의 일부를 제거한다. 이때, 절연막(105)이 식각 방지막의 역할을 하면서 제1 금속층(104)은 식각되지 않는다.
- [0016] 도 1d를 참조하면, 전체 구조 상에 확산 방지막(107) 및 층간 절연막(108)을 형성한다. 이어서, 제1 금속층(104) 및 제2 금속층(106)이 각각 노출되도록 다마신 패턴을 형성한 후 다마신 패턴을 금속 물질로 매립하여 금속 배선(109)을 형성한다.
- [0017] 상기에서 서술한 커패시터 제조 방법은 포토 마스크 공정과 단계별 세정 공정이 많이 공정 단순화 및 제조 비용에서 불리한 측면이 있다.

발명이 이루고자 하는 기술적 과제

- [0018] 이에 대하여, 본 발명이 제시하는 반도체 소자의 제조 방법은 층간 절연막에 형성된 다마신 패턴 내부에 층간 절연막보다 낮은 높이로 금속 배선을 형성하고 단차가 발생되지 않도록 나머지 공간에 절연막과 전극층을 형성하여, 금속 배선/절연막/전극층으로 이루어진 MIM 구조의 커패시터를 형성함과 동시에, 다른 소자와 연결되지 않는 플로팅 상태의 금속 배선 상에 형성된 전극층으로는 박막 저항을 형성함으로써, 공정 단계를 감소시키면서 커패시터와 박막 저항을 동시에 형성할 수 있다.

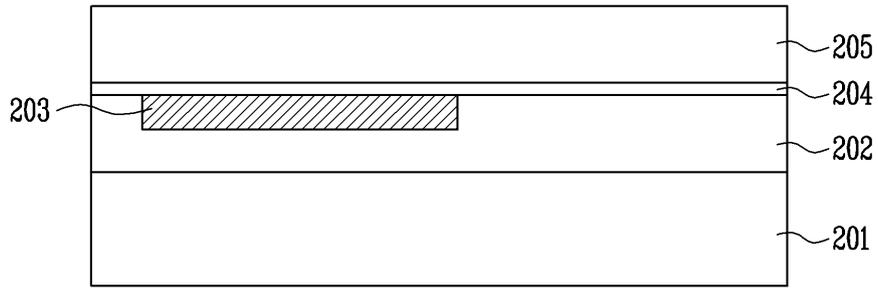
발명의 구성 및 작용

- [0019] 본 발명의 실시예에 따른 반도체 소자의 제조 방법은 소정의 패턴으로 제1 금속 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하는 단계와, 층간 절연막을 식각하여 커패시터 영역 및 일반 배선 영역에는 상기 제1 금속 배선이 노출되는 제1 다마신 패턴을 형성하면서, 박막 저항 영역에는 트렌치 형태의 제2 다마신 패턴을 형성하는 단계와, 제1 및 제2 다마신 패턴에 층간 절연막보다 낮은 높이로 제2 금속 배선을 형성하는 단계와, 제2 금속 배선 상부의 다마신 패턴에 절연막 및 전극층을 적층 구조로 형성하여, 커패시터 영역에는 제2 금속 배선, 절연막 및 전극층으로 이루어진 커패시터를 형성하고, 박막저항 영역에는 전극층으로 이루어진 박막 저항을 형성하는 단계를 포함한다.
- [0020] 상기에서, 전극층을 형성한 후, 전극층을 포함한 전체 구조 상에 상부 층간 절연막을 형성하는 단계와, 커패시터 영역에서는 전극층이 노출되고, 일반 배선 영역에서는 제2 금속 배선이 노출되며, 박막 저항 영역에서는 전극층이 노출되는 다마신 패턴을 상부 층간 절연막에 형성하는 단계, 및 상부 층간 절연막의 다마신 패턴에 제3

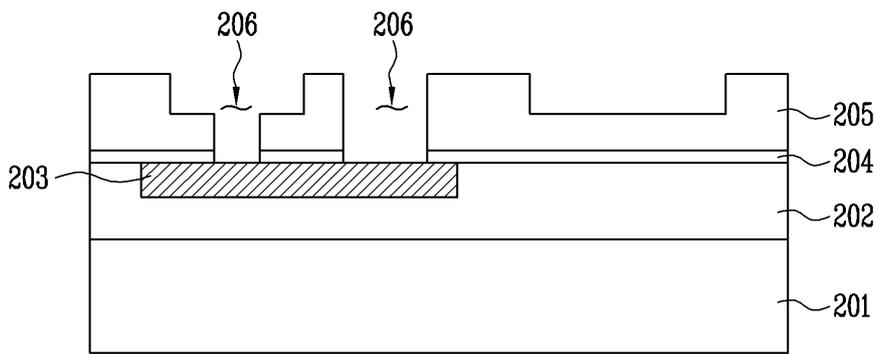
금속 배선을 형성하는 단계를 더 포함할 수 있다.

- [0021] 한편, 제1 금속 배선 또는 제2 금속 배선은 구리로 형성할 수 있으며, 전극층은 TiN 또는 TaNx로 형성할 수 있다. 그리고, 절연막은 SiN, Al₂O₃, Ta₂O₅ 또는 HfO 중 선택된 어느 하나로 형성하거나 두개 이상 적층된 구조로 형성할 수 있다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.
- [0023] 한편, 어떤 막이 다른 막 또는 반도체 기판의 '상'에 있다라고 기재되는 경우에 상기 어떤 막은 상기 다른 막 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제3의 막이 개재되어질 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면 상에서 동일 부호는 동일한 요소를 지칭한다.
- [0024] 도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도들이다.
- [0025] 도 2a를 참조하면, 반도체 소자를 형성하기 위한 여러 요소(도시되지 않음)가 형성된 반도체 기판(201)이 제공된다. 예를 들면, 반도체 기판(201)에는 트랜지스터(도시되지 않음)와 같은 요소들이 형성될 수 있다. 이어서, 반도체 기판(201) 상에 제1 층간 절연막(202)을 형성한 후, 듀얼 다마신 공정으로 제1 층간 절연막(202)에 콘택홀(도시되지 않음)과 트렌치로 이루어진 듀얼 다마신 패턴을 형성하고, 듀얼 다마신 패턴을 전도성 물질로 매립하여 제1 금속 배선(203)을 형성한다. 이때, 제1 금속 배선(203)은 구리로 형성할 수 있다. 한편, 제1 금속 배선(203)의 금속 성분이 제1 층간 절연막(202)으로 확산되는 것을 방지하기 위하여 제1 금속 배선(203)과 제1 층간 절연막(202) 사이에 장벽 전극층(도시되지 않음)을 형성할 수도 있다.
- [0026] 이어서, 제1 금속 배선(203)을 포함한 전체 구조 상에 확산 방지막(204) 및 제2 층간 절연막(205)을 순차적으로 형성한다. 확산 방지막(204)은 제1 금속 배선(203)의 금속 성분이 제2 층간 절연막(205)으로 확산되는 것을 방지하는 역할을 함과 동시에, 제2 층간 절연막(205)에 듀얼 다마신 패턴 형성 시 식각 방지막의 역할을 한다.
- [0027] 도 2b를 참조하면, 듀얼 다마신 공정을 적용하여 제2 층간 절연막(205)에 다마신 패턴(206)을 형성한다. 이때, 일부 영역에서는 다마신 패턴(206)이 비아홀이나 트렌치의 형태로만 형성될 수 있으며, 후속 공정에서 형성될 금속 배선과 제1 금속 배선(203)을 연결시키는 영역에서는 트렌치와 비아홀이 동시에 형성될 수 있다. 예를 들면, 커패시터가 형성될 영역에서는 트렌치와 비아홀이 동시에 형성될 있으며, 박막 저항이 형성될 영역에서는 트렌치만 독립적으로 형성될 수 있다.
- [0028] 이로써, 제1 금속 배선(203)의 일부 영역이 다마신 패턴(206)을 통해 노출된다.
- [0029] 도 2c를 참조하면, 다마신 패턴(206)을 금속 물질로 매립하여 제2 금속 배선(207)을 형성한다. 여기서, 제2 금속 배선(207)은 구리로 형성할 수 있으며, 다마신 패턴(206)이 완전히 매립되도록 시드층(도시되지 않음)을 이용한 전기 도금법으로 전극층을 형성한 후, 화학적 기계적 연마 공정으로 제2 절연막(206) 상부의 전극층을 제거하면서 다마신 패턴(206) 내부에만 잔류시키는 방식으로 형성할 수 있다. 이때, 화학적 기계적 연마 공정을 과도하게 실시하여 제2 금속 배선(207)을 제2 층간 절연막(205)의 높이보다 낮게 잔류시킨다.
- [0030] 다마신 패턴(206)에서 제2 금속 배선(207)이 낮게 형성되면서 남게된 공간에는 후속 공정에서 커패시터의 유전체막을 형성하기 위한 절연막과 상부 전극을 형성하기 위한 전극층이 형성된다. 따라서, 이들이 형성된 후에도 단차가 발생되지 않도록, 이들 두께를 고려하여 제2 금속 배선(207)의 과도 연마량을 조절하는 것이 바람직하다.
- [0031] 도 2d를 참조하면, 제2 금속 배선(207)을 포함한 전체 구조 상에 절연막(208) 및 전극층(209)을 순차적으로 형성한다. 이때, 절연막(208)은 커패시터의 유전체막을 형성하기 위한 것으로, SiN, Al₂O₃, Ta₂O₅ 또는 HfO 중 선택된 어느 하나로 형성하거나 두개 이상 적층시켜 할 수 있다. 그리고, 전극층(209)은 커패시터의 상부 전극이나 박막 저항을 형성하기 위한 것으로, TiN 이나 TaN으로 형성할 수 있다.
- [0032] 도 2e를 참조하면, 절연막(208)과 전극층(209)을 제2 금속 배선(207) 상에만 잔류시킨다. 예를 들어, 제2 층간 절연막(205)이 노출될때까지 화학적 기계적 연마 공정을 실시하면 절연막(208)과 전극층(209)을 제2 금속 배선

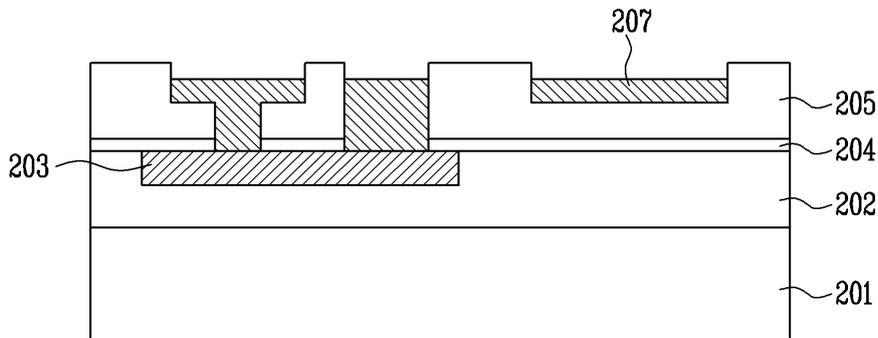
도면2a



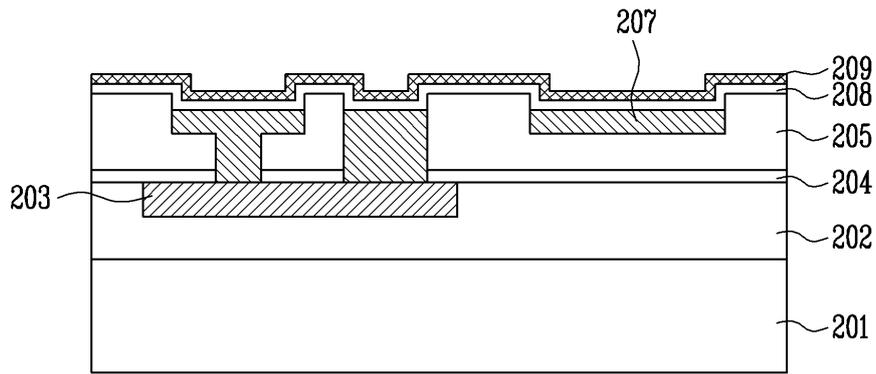
도면2b



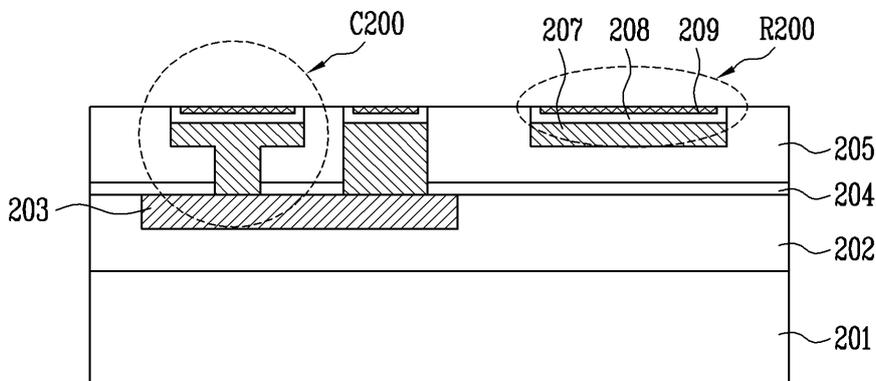
도면2c



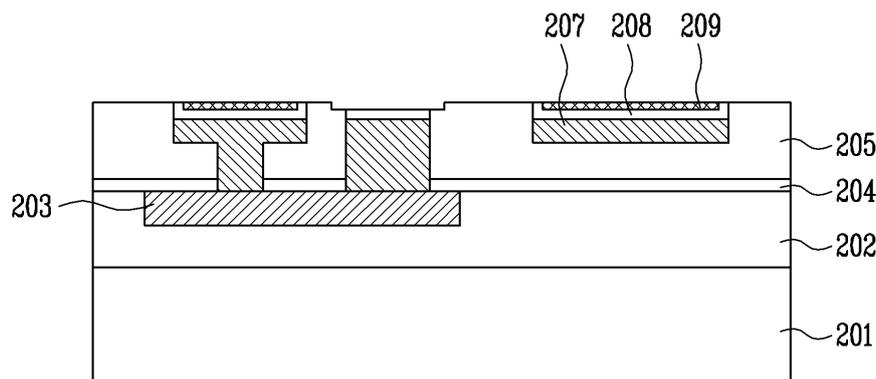
도면2d



도면2e



도면2f



도면2g

