



(12)发明专利

(10)授权公告号 CN 105990448 B

(45)授权公告日 2019.06.18

(21)申请号 201510085512.7

H01L 29/51(2006.01)

(22)申请日 2015.02.16

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 105990448 A

US 2009/0159884 A1,2009.06.25,
CN 102664194 A,2012.09.12,
CN 103869524 A,2014.06.18,

(43)申请公布日 2016.10.05

审查员 徐晨

(73)专利权人 南京瀚宇彩欣科技有限责任公司
地址 210038 江苏省南京市经济技术开发
区恒飞路18号
专利权人 瀚宇彩晶股份有限公司

(72)发明人 王永庆

(74)专利代理机构 北京中誉威圣知识产权代理
有限公司 11279
代理人 王正茂 丛芳

(51)Int.Cl.

H01L 29/786(2006.01)

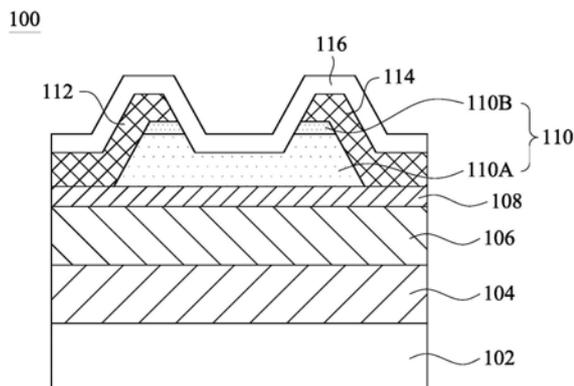
权利要求书1页 说明书5页 附图1页

(54)发明名称

薄膜晶体管

(57)摘要

本发明公开了一种薄膜晶体管,其包括栅极、第一栅极介电层、第二栅极介电层、通道层、源极和漏极。栅极设置在基板上。第一栅极介电层设置在栅极及基板上,第一栅极介电层的硅氢键含量与氮氢键含量的比值介于0.2与1.0之间。第二栅极介电层设置在第一栅极介电层上,第二栅极介电层的硅氢键含量与氮氢键含量的比值介于0.01与0.2之间。通道层设置在第二栅极介电层上。源极和漏极设置在通道层上且位于通道层的相对两侧。本发明的薄膜晶体管应用在显示面板上,可提升显示面板中像素的反应速度,进而改善画面残影的问题。



1. 一种薄膜晶体管,其特征在于,所述薄膜晶体管包括:

栅极,其设置在基板上;

第一栅极介电层,其设置在所述栅极和所述基板上且直接接触所述栅极,所述第一栅极介电层的硅氢键含量与氮氢键含量的比值介于0.2与1.0之间;

第二栅极介电层,其直接设置在所述第一栅极介电层上,所述第二栅极介电层的硅氢键含量与氮氢键含量的比值介于0.01与0.2之间;

通道层,其设置在所述第二栅极介电层上且直接接触所述第二栅极介电层;以及

源极和漏极,其均设置在所述通道层上,所述源极和所述漏极位于所述通道层的相对两侧,且所述源极与所述漏极之间具有间隔;

其中,所述第二栅极介电层的厚度介于300埃与750埃之间,所述第一栅极介电层的厚度与所述第二栅极介电层的厚度的和介于2000埃与4000埃之间,所述第一栅极介电层的介电常数介于5与7之间,且所述第二栅极介电层的介电常数介于6与7之间。

2. 如权利要求1所述的薄膜晶体管,其特征在于,所述第一栅极介电层和所述第二栅极介电层各自包括氮化硅层。

3. 一种薄膜晶体管,其特征在于,所述薄膜晶体管包括:

源极和漏极,其均设置在基板上,且所述源极与所述漏极之间具有间隔;

通道层,其设置在所述源极、所述漏极和所述基板上,所述通道层覆盖所述间隔;

第一栅极介电层,其设置在所述通道层上且直接接触所述通道层,所述第一栅极介电层的硅氢键含量与氮氢键含量的比值介于0.01与0.2之间;

第二栅极介电层,其直接设置在所述第一栅极介电层上,所述第二栅极介电层的硅氢键含量与氮氢键含量的比值介于0.2与1.0之间;以及

栅极,其设置在所述第二栅极介电层上且直接接触所述第二栅极介电层;

其中,所述第一栅极介电层的厚度介于300埃与750埃之间,所述第一栅极介电层的厚度与所述第二栅极介电层的厚度的和介于2000埃与4000埃之间,所述第一栅极介电层的介电常数介于6与7之间,且所述第二栅极介电层的介电常数介于5与7之间。

4. 如权利要求3所述的薄膜晶体管,其特征在于,所述第一栅极介电层和所述第二栅极介电层各自包括氮化硅层。

薄膜晶体管

技术领域

[0001] 本发明涉及一种薄膜晶体管,且特别涉及一种具有高载子迁移率(Carrier Mobility)的薄膜晶体管。

背景技术

[0002] 薄膜晶体管目前已广泛应用在平面显示面板上,例如液晶显示面板或有机发光二极管(Organic Light-Emitting Diode;OLED)显示面板。现今常见的薄膜晶体管主要有三种类型,分别为非晶硅薄膜晶体管(Amorphous Silicon;a-Si)、低温多晶硅(Low Temperature Polysilicon;LTPS)薄膜晶体管和氧化铟镓锌(Indium Gallium Zinc Oxide;IGZO)薄膜晶体管等。这三种薄膜晶体管各有特色,例如,非晶硅薄膜晶体管的制造成本低,低温多晶硅薄膜晶体管的载子移动率高,而氧化铟镓锌薄膜晶体管则是具有介于非晶硅薄膜晶体管的制造成本与低温多晶硅薄膜晶体管之间的优点。

[0003] 一般而言,在大尺寸显示面板的生产上,大多选择使用非晶硅薄膜晶体管作为显示面板中像素的驱动晶体管。然而,非晶硅薄膜晶体管的载子移动率低,像素的反应速度较慢,导致易于发生画面残影的情形。

发明内容

[0004] 本发明的目的是在于提供一种薄膜晶体管,其提供比现有薄膜晶体管高的载子迁移率。将本发明的薄膜晶体管应用在显示面板上,可提升显示面板中像素的反应速度,进而改善画面残影的问题。

[0005] 根据本发明的上述目的,提出一种薄膜晶体管,该薄膜晶体管包括栅极、第一栅极介电层、第二栅极介电层、通道层、源极和漏极。栅极设置在基板上。第一栅极介电层设置在该栅极及该基板上,且第一栅极介电层的硅氢键含量与氮氢键含量的比值介于0.2与1.0之间。第二栅极介电层设置在第一栅极介电层上,且第二栅极介电层的硅氢键含量与氮氢键含量的比值介于0.01与0.2之间。通道层设置在第二栅极介电层上。源极和漏极设置在所述通道层上且位于通道层的相对两侧,且源极和漏极之间具有间隔。

[0006] 根据本发明的一个实施例,上述第二栅极介电层的厚度介于300埃与750埃之间。

[0007] 根据本发明的又一个实施例,上述第一栅极介电层的厚度与上述第二栅极介电层的厚度的和介于2000埃与4000埃之间。

[0008] 根据本发明的又一个实施例,上述第二栅极介电层的介电常数介于6与7之间。

[0009] 根据本发明的又一个实施例,上述第一栅极介电层和上述第二栅极介电层各自包括氮化硅层。

[0010] 根据本发明的上述目的,提出一种薄膜晶体管,该薄膜晶体管包括源极、漏极、通道层、第一栅极介电层、第二栅极介电层和栅极。源极和漏极设置在基板上,且源极与漏极之间具有间隔。通道层设置在源极、漏极和基板上且覆盖源极与漏极之间的间隔。第一栅极介电层设置在通道层上,且第一栅极介电层的硅氢键含量与氮氢键含量的比值介于0.01与

0.2之间。第二栅极介电层设置在第一栅极介电层上,且第二栅极介电层的硅氢键含量与氮氢键含量的比值介于0.2与1.0之间。栅极设置在第二栅极介电层上。

[0011] 根据本发明的一个实施例,上述第一栅极介电层的厚度介于300埃与750埃之间。

[0012] 根据本发明的又一个实施例,上述第一栅极介电层的厚度与上述第二栅极介电层的厚度的和介于2000埃与4000埃之间。

[0013] 根据本发明的又一个实施例,上述第一栅极介电层的介电常数介于6与7之间。

[0014] 根据本发明的又一个实施例,上述第一栅极介电层和上述第二栅极介电层各自包括氮化硅层。

[0015] 综上所述,本发明薄膜晶体管具有两层栅极介电层,且按本发明所公开的这两层栅极介电层硅氢键含量与氮氢键含量的比值范围、介电常数范围和厚度范围,可有效提高薄膜晶体管的载子迁移率。将本发明薄膜晶体管应用在显示面板上,可提升显示面板中像素的反应速度,进而改善画面残影的问题。

附图说明

[0016] 为了让本发明的上述和其他目的、特征、优点与实施例能更明显易懂,附图说明如下:

[0017] 图1是根据本发明一个实施例薄膜晶体管的示意图;以及

[0018] 图2是根据本发明又一个实施例薄膜晶体管的示意图。

具体实施方式

[0019] 以下详细讨论本发明的实施例。然而,可以理解的是,实施例提供许多可应用的发明概念,其可实施于各式各样的特定内容中。所讨论的特定实施例仅供说明,并非用以限定本发明的范围。

[0020] 请参照图1,图1是根据本发明一个实施例薄膜晶体管100的示意图。薄膜晶体管100设置在基板102上,其中基板102可包括但不限于玻璃基板、半导体基板或塑胶基板等。在本实施例中,薄膜晶体管100是底栅极(bottom-gate)薄膜晶体管,且其包含栅极104、栅极介电层106、栅极介电层108、通道层110、源极112、漏极114和保护层116。栅极104设置在基板102上。栅极104的材料可包括铬、钨、钽、钛、钼、铝、铜等金属元素,或是包括上述金属元素的任意组合所形成的合金或化合物等,但不限于此。栅极104可通过下列步骤形成。首先,使用物理气相沉积法(Physical Vapor Deposition;PVD)或其他沉积方法,在基板102上沉积金属层,接着再经由微影和蚀刻等工艺过程,仅保留金属层的一部分作为栅极104,而另一部分则是经由光刻去除。

[0021] 栅极介电层106设置在栅极104和基板102上,且栅极介电层106覆盖栅极104。栅极介电层106可通过等离子体化学气相沉积法(Plasma Chemical Vapor Deposition;PCVD)、等离子体增强化学气相沉积法(Plasma Enhanced Chemical Vapor Deposition;PECVD)或其他类似沉积方法沉积包括氮化硅的材料而形成。在一些实施例中,栅极介电层106的硅氢键(Si-H)含量与氮氢键(N-H)含量的比值介于0.2与1.0之间。此外,在一些实施例中,栅极介电层106的介电常数介于5与7之间。

[0022] 栅极介电层108设置在栅极介电层106上。类似地,栅极介电层108可通过等离子体

化学气相沉积法、等离子体增强化学气相沉积法或其他类似沉积方法沉积包含氮化硅的材料而形成。在一些实施例中,栅极介电层108的硅氢键含量与氮氢键含量的比值介于0.01与0.2之间。在一些实施例中,栅极介电层108的厚度介于300埃(angstrom; Å)与750埃之间。此外,在一些实施例中,栅极介电层108的介电常数介于6与7之间。

[0023] 根据上述有关栅极介电层106和栅极介电层108的说明,栅极介电层106的硅氢键含量与氮氢键含量的比值大于栅极介电层108的硅氢键含量与氮氢键含量的比值。此外,在一些实施例中,栅极介电层106和栅极介电层108的厚度的和介于2000埃与4000埃之间。

[0024] 通道层110设置在栅极介电层108上,用来提供薄膜晶体管100中电子移动的途径。在本实施例中,如图1所示,通道层110包括非晶硅(Amorphous Silicon)层110A和掺杂非晶硅层110B。其中,非晶硅层110A包括氢化非晶硅(a-Si:H)材料,且掺杂非晶硅层110B包括N型掺杂(N-type doped)氢化非晶硅材料。在一些实施例中,掺杂非晶硅层110B包括N型重度掺杂(N-type heavily doped)氢化非晶硅材料。

[0025] 形成非晶硅层110A和掺杂非晶硅层110B的步骤如下。首先,使用化学气相沉积法或其他沉积方法,在栅极介电层108上按序沉积非晶硅材料和掺杂非晶硅材料。接着再经由微影和蚀刻等工艺过程,对沉积在栅极介电层108上的非晶硅材料和掺杂非晶硅材料进行图案化,以形成如图1所示的非晶硅层110A与掺杂非晶硅层110B。

[0026] 源极112和漏极114设置在通道层110和栅极介电层108上,且分别位于通道层110的相对两侧。源极112和漏极114的材料可包括铬、钨、钼、钛、钽、铝、铜等金属元素,或是包括上述金属元素的任意组合所形成的合金或化合物等,但不限于此。源极112和漏极114可通过下列步骤形成。首先,使用物理气相沉积法或其他沉积方法,在通道层110和栅极介电层108上沉积金属层,接着再经由微影和蚀刻等工艺过程,去除沉积在通道层110上方的金属层的部分,且金属层未被去除的部分分别作为源极112和漏极114。在对此金属层蚀刻的过程中,同时也去除非晶硅层110A和掺杂非晶硅层110B的部分。

[0027] 最后,在源极112、栅极114和通道层110上形成保护层116。保护层116覆盖住源极112、栅极114和通道层110,用来保护薄膜晶体管100,避免薄膜晶体管100受到外部水气、氧气或杂质的污染。保护层116的材料可包括但不限于氧化硅、氮化硅或氮氧化硅等。此外,保护层116可以是单层或多层结构。

[0028] 薄膜晶体管100的特点在于其具有两层栅极介电层,即栅极介电层106和栅极介电层108,且栅极介电层106和栅极介电层108的硅氢键含量与氮氢键含量的比值不同。按上述实施例所实施的两层栅极介电层的硅氢键含量与氮氢键含量的比值范围、介电常数范围和厚度范围,可有效提高薄膜晶体管的载子迁移率(Carrier Mobility)。相较于现有非晶硅薄膜晶体管,本发明的薄膜晶体管具有较高的载子迁移率,应用在显示面板上可提升像素的反应速度,进而改善画面残影的问题。

[0029] 上述实施例的技术特征也可以应用在顶栅极(top-gate)薄膜晶体管上。请参照图2,图2是根据本发明又一个实施例薄膜晶体管200的示意图。薄膜晶体管200设置在基板202上,其中基板202可包括但不限于玻璃基板、半导体基板或塑胶基板等。在本实施例中,薄膜晶体管200是顶栅极薄膜晶体管,且其包含阻挡层204、绝缘层206、源极208、漏极210、通道层212、栅极介电层214、栅极介电层216、栅极218和保护层220。阻挡层204设置在基板202上,用来阻挡背光通过基板202入射到通道层212,避免光致漏电流(photo-induced

leakage current)的产生。阻障层204包括不透光材料,其可以是由金属、半导体或非金属所组成。

[0030] 绝缘层206设置在阻障层204和基板202上,且覆盖住阻障层204。绝缘层206可包括例如聚酰亚胺(Polyimide;PI)、聚乙烯醇(Polyvinyl Alcohol;PVA)或聚甲基丙烯酸甲酯(Polymethyl Methacrylate;PMMA)等有机绝缘材料,或是例如氧化硅或氮化硅等无机绝缘材料,但不限于此。绝缘层206可通过化学气相沉积法其他类似沉积方法沉积绝缘材料而形成。

[0031] 源极208和漏极210设置在绝缘层206上,且源极208与漏极210之间具有间隔。源极208和漏极210的材料可包括铬、钨、钽、钛、钼、铝、铜等金属元素,或是包括上述金属元素的任意组合所形成的合金或化合物等,但不限于此。源极208和漏极210可通过下列步骤形成。首先,使用物理气相沉积法或其他沉积方法,在绝缘层206上沉积金属层,接着再经由微影和蚀刻等工艺过程,将沉积于绝缘层206上的金属层的部分去除,以形成源极208和漏极210,且使源极208与漏极210之间具有间隔。

[0032] 在一些实施例中,薄膜晶体管200可不具有阻障层204和绝缘层206,使得源极208和漏极210直接形成在基板202上。

[0033] 通道层212设置在源极208、漏极210和绝缘层206上,用来提供薄膜晶体管200中电子移动的途径。在本实施例中,如图2所示,通道层212包括非晶硅层212A和掺杂非晶硅层212B。其中,非晶硅层212A包括N型掺杂氢化非晶硅材料,且掺杂非晶硅层212B包括氢化非晶硅材料。在一些实施例中,掺杂非晶硅层212B包括N型重度掺杂氢化非晶硅材料。

[0034] 非晶硅层212A和掺杂非晶硅层212B通过使用化学气相沉积法或其他沉积方法在源极208、漏极210和绝缘层206上按序形成,使得掺杂非晶硅层212B覆盖源极208和漏极210,且非晶硅层212A覆盖掺杂非晶硅层212B和源极208与漏极210之间的间隔。

[0035] 栅极介电层214设置在通道层212上,且栅极介电层214覆盖通道层212。栅极介电层214可通过等离子体化学气相沉积法、等离子体增强化学气相沉积法或其他类似沉积方法沉积包含氮化硅的材料而形成。在一些实施例中,栅极介电层214的硅氢键含量与氮氢键含量的比值介于0.01与0.2之间。在一些实施例中,栅极介电层214的厚度介于300埃与750埃之间。此外,在一些实施例中,栅极介电层214的介电常数介于6与7之间。

[0036] 栅极介电层216设置在栅极介电层214上,且栅极介电层216覆盖栅极介电层214。栅极介电层216可通过等离子体化学气相沉积法、等离子体增强化学气相沉积法或其他类似沉积方法沉积包含氮化硅的材料而形成。在一些实施例中,栅极介电层216的硅氢键含量与氮氢键含量的比值介于0.2与1.0之间。此外,在一些实施例中,栅极介电层216的介电常数介于5与7之间。

[0037] 在薄膜晶体管200的实施例中,栅极介电层216的硅氢键含量与氮氢键含量的比值大于栅极介电层214的硅氢键含量与氮氢键含量的比值。此外,在一些实施例中,栅极介电层214和栅极介电层216的厚度的和介于2000埃与4000埃之间。

[0038] 栅极218设置在栅极介电层216上。栅极218的材料可包括铬、钨、钽、钛、钼、铝、铜等金属元素,或是包括上述金属元素的任意组合所形成的合金或化合物等使用物理气相沉积法或其他沉积方法,但不限于此。

[0039] 保护层220设置在栅极218上,且保护层220覆盖栅极218,用来保护薄膜晶体管

200,避免其受到外部水气、氧气或杂质的污染。保护层220的材料可包括但不限于氧化硅、氮化硅或氮氧化硅等。此外,保护层220可以是单层或多层结构。

[0040] 综上所述,本发明薄膜晶体管具有两层栅极介电层,且按本发明所公开的这两层栅极介电层硅氢键含量与氮氢键含量的比值范围、介电常数范围和厚度范围,可有效提高薄膜晶体管的载子迁移率。将本发明薄膜晶体管应用在显示面板上,可提升显示面板中像素的反应速度,进而改善画面残影的问题。

[0041] 虽然本发明已以实施方式公开如上,然其并非用来限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,可作各种不同的选择和改变,因此本发明的保护范围应以权利要求书及其等同形式所限定。

100

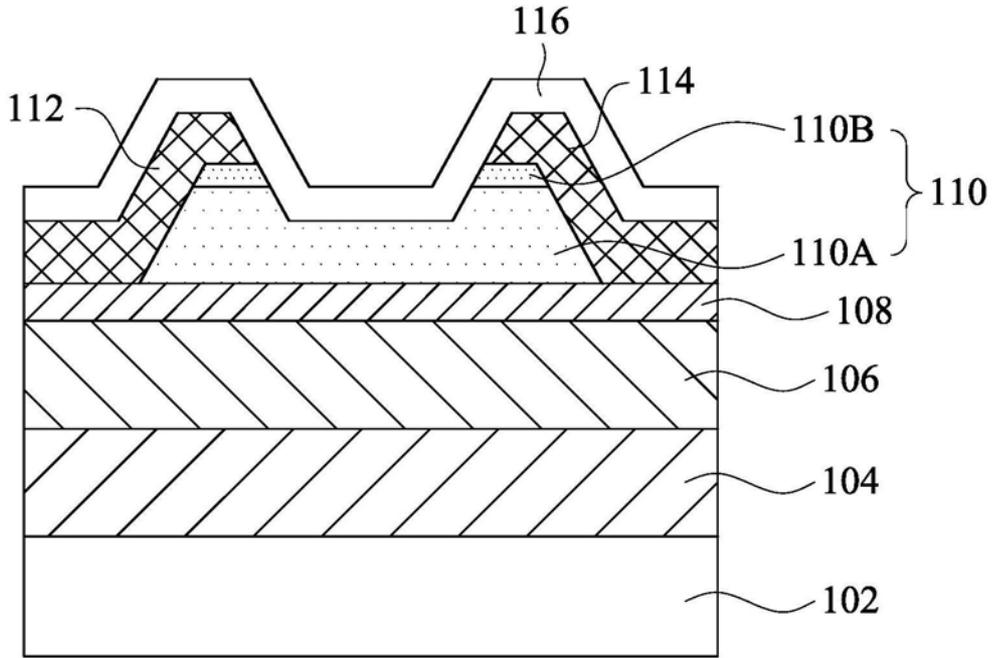


图1

200

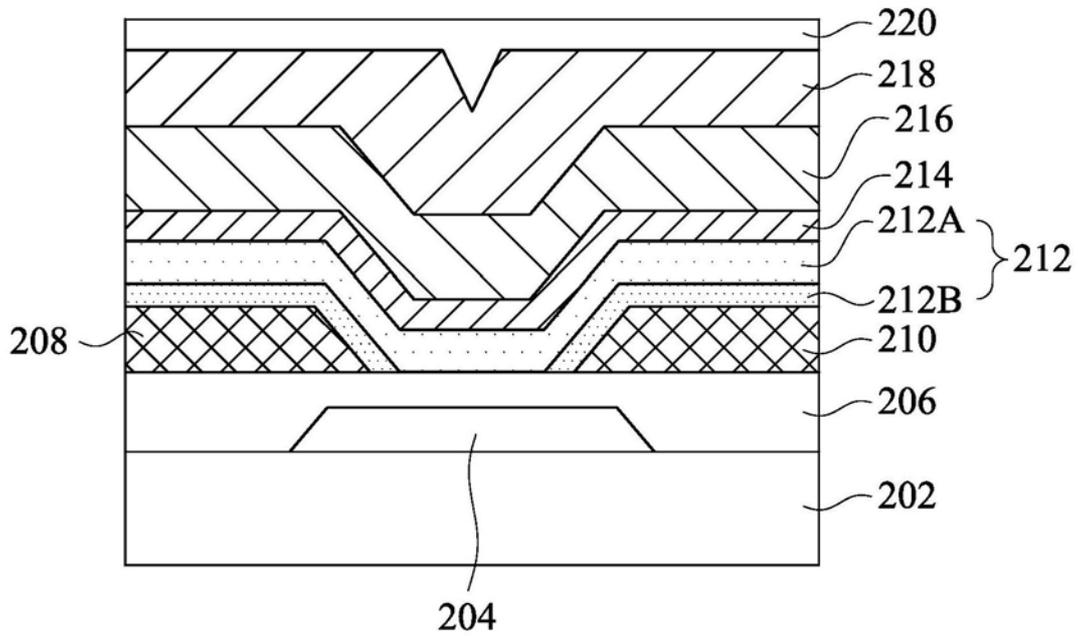


图2