

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7091113号

(P7091113)

(45)発行日 令和4年6月27日(2022.6.27)

(24)登録日 令和4年6月17日(2022.6.17)

(51)国際特許分類

H 0 2 M 3/07 (2006.01)

F I

H 0 2 M 3/07

請求項の数 7 (全12頁)

(21)出願番号	特願2018-68034(P2018-68034)	(73)特許権者	308033711 ラピスセミコンダクタ株式会社 神奈川県横浜市港北区新横浜二丁目4番地8
(22)出願日	平成30年3月30日(2018.3.30)	(74)代理人	100079049 弁理士 中島 淳
(65)公開番号	特開2019-180145(P2019-180145 A)	(74)代理人	100084995 弁理士 加藤 和詳
(43)公開日	令和1年10月17日(2019.10.17)	(74)代理人	100099025 弁理士 福田 浩志
審査請求日	令和2年12月28日(2020.12.28)	(72)発明者	谷川 博之 神奈川県横浜市港北区新横浜二丁目4番 8 ラピスセミコンダクタ株式会社内
		審査官	土井 悠生

最終頁に続く

(54)【発明の名称】 半導体装置、および半導体装置の制御方法

(57)【特許請求の範囲】

【請求項1】

第1の速度で動作する第1のモードと、前記第1の速度より速い第2の速度で動作する第2のモードとを有し、

電源電圧を入力する第1の入力部、参照電圧を入力する第2の入力部、および比較電圧を入力する第3の入力部を備え、前記参照電圧と前記比較電圧との比較に基づいて前記電源電圧を変換し出力電圧として出力部から出力する電圧変換部と、

一方の端子が前記出力部に接続されるとともに、前記出力電圧を分圧した電圧を前記比較電圧として他方の端子から前記第3の入力部に出力する分圧部と、

一方の端子が前記出力部に接続され、他方の端子が前記第3の入力部に接続された容量と、を含み、

動作モードが前記第1のモードから前記第2のモードに切り替わった際に、前記出力電圧の低下に伴う前記比較電圧の低下が前記容量を介して前記電圧変換部に帰還され、前記分圧部が充電を完了する前に前記出力電圧が上昇する

半導体装置。

【請求項2】

前記容量の他方の端子と前記分圧部の他方の端子との間に接続されたスイッチと、

前記スイッチを導通させて前記容量を充電させるとともに前記分圧部を充電させる第1の期間、および前記スイッチを遮断して前記容量に蓄えられた電荷で前記比較電圧を生成させる第2の期間が交互に到来するように前記スイッチを制御する制御部と、をさらに含む

請求項 1 に記載の半導体装置。

【請求項 3】

前記制御部は、前記第 1 の期間および前記第 2 の期間が到来する前に、前記出力電圧が目標電圧に収束するまでの期間より長い第 3 の期間だけ前記スイッチを導通させるようにさらに制御する

請求項 2 に記載の半導体装置。

【請求項 4】

第 1 の速度で動作する第 1 のモードと、前記第 1 の速度より速い第 2 の速度で動作する第 2 のモードとを有し、

電源電圧を入力する第 1 の入力部、参照電圧を入力する第 2 の入力部、および比較電圧を入力する第 3 の入力部を備え、前記参照電圧と前記比較電圧との比較に基づいて前記電源電圧を変換し出力電圧として出力部から出力する電圧変換部と、

前記出力部に接続された負荷と、

一方の端子が前記出力部に接続されるとともに、前記出力電圧を分圧した電圧を前記比較電圧として他方の端子から前記第 3 の入力部に出力する分圧部と、

前記出力部に接続された放電部と、

前記第 1 のモードから前記第 2 のモードに切り替えられてから予め定められた期間において、前記放電部に前記第 2 のモードで前記負荷に流れる負荷電流と同程度の電流を流すように前記放電部を制御する制御部と、を含む

半導体装置。

【請求項 5】

一方の端子が前記出力部に接続され、他方の端子が前記第 3 の入力部に接続された容量をさらに含み、

動作モードが第 1 のモードから第 2 のモードに切り替わった際に、前記出力電圧の低下に伴う前記比較電圧の低下が前記容量を介して前記電圧変換部に帰還され、前記分圧部が充電を完了する前に前記出力電圧が上昇する

請求項 4 に記載の半導体装置。

【請求項 6】

前記出力部に駆動回路を介して接続された負荷としての複数のメモリセルをさらに備え、前記第 1 のモードが前記メモリセルを低速で読み出すモードであり、前記第 2 のモードが前記メモリセルを高速で読み出すモードである

請求項 1 から請求項 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

第 1 の速度で動作する第 1 のモードと、前記第 1 の速度より速い第 2 の速度で動作する第 2 のモードとを有し、電源電圧を入力する第 1 の入力部、参照電圧を入力する第 2 の入力部、および比較電圧を入力する第 3 の入力部を備え、前記参照電圧と前記比較電圧との比較に基づいて前記電源電圧を変換し出力電圧として出力部から出力する電圧変換部、一方の端子が前記出力部に接続されるとともに、前記出力電圧を分圧した電圧を前記比較電圧として他方の端子から前記第 3 の入力部に出力する分圧部、および一方の端子が前記出力部に接続され、他方の端子が前記第 3 の入力部に接続された容量を含む半導体装置の制御方法であって、動作モードが前記第 1 のモードから前記第 2 のモードに切り替わった際に、前記出力電圧の低下に伴う前記比較電圧の低下を前記容量を介して前記電圧変換部に帰還させ、前記分圧部が充電を完了する前に前記出力電圧を上昇させる

半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、および半導体装置の制御方法、特に内蔵された電圧変換回路（昇圧回路、降圧回路）により駆動されるメモリ回路を備えた半導体装置、および半導体装置の制御方法に関するものである。

10

20

30

40

50

【背景技術】

【0002】

メモリ回路を備えた半導体装置において昇圧回路を構成する場合、チャージポンプを用いる場合も多い。例えば、チャージポンプを用いた電源回路を有するメモリ回路の従来技術として、例えば特許文献1に開示された可変ステージチャージポンプが知られている。特許文献1に開示された可変ステージチャージポンプは、第1チャージポンプと、第2チャージポンプと、第1チャージポンプの出力を第2チャージポンプの入力に結合する第1スイッチと、第1チャージポンプの入力を第2チャージポンプの入力に結合する第2スイッチと、を備える可変ステージチャージポンプであって、第1スイッチが第1位置にあり、第2スイッチが第2位置にあるとき、第1チャージポンプおよび第2チャージポンプが共通出力ノードへ直列結合され、第1スイッチが第2位置にあり、第2スイッチが第1位置にあるとき、第1チャージポンプおよび第2チャージポンプが共通出力ノードへ並列結合される。

10

【0003】

ここで、特許文献1にも記載されているように、従来、半導体装置においては、消費電力の低減を目的として外部電源電圧を用いる傾向がある。また、半導体装置のプロセスの微細化に伴う酸化膜の耐圧の改善や、電源電圧の平坦化（安定化）の課題に対応するために、半導体チップの内部において、外部電源電圧を必要とする電源電圧に降圧して用いる内部降圧が一般的に行われている。

20

【0004】

一方、例えばフラッシュメモリの書込み、消去、読出し動作のように、電源で供給される電圧を上回る電圧を必要とされる場合も多く、そのような場合には昇圧回路としてチャージポンプ回路が使用される。一般的なチャージポンプ回路は、電荷をポンピングする容量と、ポンピングした電荷を移送し、逆流を防止して昇圧させていくトランスマOS（Metal Oxide Semiconductor）トランジスタ（電界効果トランジスタ）とから構成される。

【0005】

また、チャージポンプの出力電圧を目標の昇圧電圧に制御するために、センサ回路を設け、ポンプ動作を継続して該センサ回路が目標以上の電圧になったことを検知した場合にポンプ動作を停止し、停止後駆動電流やリーク電流により昇圧電圧が低下したことを該センサ回路が検知した場合にはポンプ動作を再開する。ポンプ動作、およびその停止と起動により昇圧電圧にリングングが発生する場合もあるため、例えばフラッシュメモリの読出し時のワード線電圧のように昇圧電圧を変動させたくない場合には、昇圧電圧を降圧して安定的に電圧を供給する降圧電源回路を追加する場合がある。

30

【先行技術文献】

【特許文献】

【0006】

【文献】特表平11-512864号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

ここで、上記のようにセンサ回路を設けた場合、昇圧電圧の出力とグラウンド（GND）との間に接続されたP型MOSトランジスタ（以下、「PMOSトランジスタ」によるダイオード接続列や抵抗素子列による分圧回路によって比較電圧を発生させるのが一般的である。この場合、分圧回路を流れる電流によって昇圧電圧源の電力が消費される。このため、特に低速動作時のフラッシュメモリ搭載マイクロコントローラのように、低消費電流が求められる用途には動作電流規格を満たすために分圧回路に流れる電流を絞ることが一般的である。しかしながら、分圧回路に流れる電流を絞ると、上記マイクロコントローラを低速動作から高速動作に切り替えた場合、比較電圧がすぐに追従せず、その間に昇圧電圧が低下し続けて読出しが困難になるという問題があった。また、低速動作時の場合も、

50

昇圧電圧源から分圧回路に電流が流れているために、たとえ分圧回路を流れる電流を絞ったとしても動作電流の損失が大きいという問題があった。このような問題は、昇圧回路に接続された、昇圧回路からの昇圧電圧を降圧させて電源を供給する降圧回路についても同様に発生する。なお、以下では、昇圧回路および降圧回路を総称して「電圧変換回路」という場合がある。

【0008】

この点、特許文献1に開示された可変ステージチャージポンプは、所与のチャージポンプ電源入力レベルで、異なる出力レベルに対応できるようにすることが目的であり、消費電流の抑制を問題とするものではない。

【0009】

本発明は、上述した課題を解決するためになされたものであり、消費電流の増加を抑制しつつ、安定した電圧を供給することが可能な電圧変換回路を備えた半導体装置、および半導体装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明に係る半導体装置は、第1の速度で動作する第1のモードと、前記第1の速度より速い第2の速度で動作する第2のモードとを有し、電源電圧を入力する第1の入力部、参照電圧を入力する第2の入力部、および比較電圧を入力する第3の入力部を備え、前記参照電圧と前記比較電圧との比較に基づいて前記電源電圧を変換し出力電圧として出力部から出力する電圧変換部と、一方の端子が前記出力部に接続されるとともに、前記出力電圧を分圧した電圧を前記比較電圧として他方の端子から前記第3の入力部に出力する分圧部と、一方の端子が前記出力部に接続され、他方の端子が前記第3の入力部に接続された容量と、を含み、動作モードが前記第1のモードから前記第2のモードに切り替わった際に、前記出力電圧の低下に伴う前記比較電圧の低下が前記容量を介して前記電圧変換部に帰還され、前記分圧部が充電を完了する前に前記出力電圧が上昇するものである。

【0011】

本発明に係る他の態様の半導体装置は、第1の速度で動作する第1のモードと、前記第1の速度より速い第2の速度で動作する第2のモードとを有し、電源電圧を入力する第1の入力部、参照電圧を入力する第2の入力部、および比較電圧を入力する第3の入力部を備え、前記参照電圧と前記比較電圧との比較に基づいて前記電源電圧を変換し出力電圧として出力部から出力する電圧変換部と、前記出力部に接続された負荷と、一方の端子が前記出力部に接続されるとともに、前記出力電圧を分圧した電圧を前記比較電圧として他方の端子から前記第3の入力部に出力する分圧部と、前記出力部に接続された放電部と、前記第1のモードから前記第2のモードに切り替えられてから予め定められた期間において、前記放電部に前記第2のモードで前記負荷に流れる負荷電流と同程度の電流を流すように前記放電部を制御する制御部と、を含むものである。

【0012】

一方、本発明に係る半導体装置の制御方法は、第1の速度で動作する第1のモードと、前記第1の速度より速い第2の速度で動作する第2のモードとを有し、電源電圧を入力する第1の入力部、参照電圧を入力する第2の入力部、および比較電圧を入力する第3の入力部を備え、前記参照電圧と前記比較電圧との比較に基づいて前記電源電圧を変換し出力電圧として出力部から出力する電圧変換部、一方の端子が前記出力部に接続されるとともに、前記出力電圧を分圧した電圧を前記比較電圧として他方の端子から前記第3の入力部に出力する分圧部、および一方の端子が前記出力部に接続され、他方の端子が前記第3の入力部に接続された容量を含む半導体装置の制御方法であって、動作モードが前記第1のモードから前記第2のモードに切り替わった際に、前記出力電圧の低下に伴う前記比較電圧の低下を前記容量を介して前記電圧変換部に帰還させ、前記分圧部が充電を完了する前に前記出力電圧を上昇させるものである。

【発明の効果】

【0013】

10

20

30

40

50

本発明によれば、消費電流の増加を抑制しつつ、安定した電圧を供給することが可能な電圧変換回路を備えた半導体装置、および半導体装置の制御方法を提供することが可能となる。

【図面の簡単な説明】

【0014】

【図1】第1の実施の形態に係る半導体装置の、(a)はブロック図、(b)は各部の動作波形を示すタイミングチャートである。

【図2】第2の実施の形態に係る半導体装置の、(a)はブロック図、(b)は各部の動作波形を示すタイミングチャートである。

【図3】第3の実施の形態に係る半導体装置の、(a)はブロック図、(b)は各部の動作波形を示すタイミングチャートである。

10

【図4】第3の実施の形態に係る半導体装置の、ショート回路の一例を示すブロック図である。

【発明を実施するための形態】

【0015】

以下、図面を参照して、本発明を実施するための形態について詳細に説明する。以下の実施の形態では、半導体装置としてメモリ装置、半導体装置の制御方法として該メモリ装置に内蔵され、データアクセスに必要な電位を生成する昇圧回路を制御する昇圧回路制御方法を例示して説明する。

【0016】

20

[第1の実施の形態]

図1を参照して、本実施の形態に係るメモリ装置50および昇圧回路制御方法について説明する。

【0017】

図1に示すように、メモリ装置50は、昇圧回路52およびメモリ部54を含んで構成されている。

【0018】

昇圧回路52は、発振回路1、昇圧クロック生成回路2、チャージポンプ回路3、参照電圧発生回路4、分圧回路5、定電流源回路6、タイミング発生回路7、センサ回路8、降圧回路10、分圧回路11、NMOSトランジスタ16、17-1~17-4、18-1~18-4を備えている。

30

【0019】

チャージポンプ回路3は、駆動クロック信号に同期して動作するコンデンサとスイッチを組み合わせることによって電圧を上昇させるための回路であり、本実施の形態では、電位VDDの電源電圧を基準として電圧を上昇させ、出力電圧VCPとして出力する。

【0020】

昇圧クロック生成回路2は、発振回路1からのクロック信号を、チャージポンプ回路3を動作させるための上記駆動クロック信号に変換する。発振回路1は、昇圧クロック生成回路2が上記駆動クロック信号の元となるクロック信号を生成するためのオシレータである。発振回路1は、センサ回路8からの制御信号SAOによって起動/停止が制御される。

40

【0021】

降圧回路10は、出力電圧VCPを降圧させてメモリ部54を動作させるための電圧を発生させる。本実施の形態では、降圧回路10からの降圧電圧は、NMOSトランジスタ16を介し、出力電圧VREGとして出力される。降圧回路10の非反転入力には、後述の参照電圧発生回路4からの参照電圧VREF2が入力され、反転入力には後述の比較電圧VDET2が入力されている。降圧回路10には直列に接続されたNMOSトランジスタ17-2および18-2が接続されている。NMOSトランジスタ18-2は降圧回路10に定電流を供給するトランジスタであり、降圧回路10は該定電流が供給されることにより動作する。NMOSトランジスタ17-2は、該定電流を流すか遮断するかを制御するスイッチである。

50

【 0 0 2 2 】

分圧回路 1 1 は、出力電圧 V R E G を分圧し、比較電圧 V D E T 2 を発生させる。分圧回路 1 1 は P M O S ダイオード接続列 1 1 a と容量 1 1 b を備えている。比較電圧 V D E T 2 は P M O S ダイオード接続列 1 1 a の途中から取り出され、容量 1 1 b は、出力電圧 V R E G と比較電圧 V D E T 2 との間に接続されている。P M O S ダイオード接続列 1 1 a には直列に接続された N M O S トランジスタ 1 7 - 1 および 1 8 - 1 が接続されている。N M O S トランジスタ 1 8 - 1 は P M O S ダイオード接続列 1 1 a に定電流を供給するトランジスタであり、P M O S ダイオード接続列 1 1 a は該定電流が供給されることにより動作する。N M O S トランジスタ 1 7 - 1 は、該定電流を流すか遮断するかを制御するスイッチである。

10

【 0 0 2 3 】

分圧回路 5 は出力電圧 V C P を分圧し、出力電圧 V C P のモニタ電圧である比較電圧 V D E T を発生させる。分圧回路 5 の構成は特に限定されず、P M O S ダイオード接続列、抵抗列等によって構成されるが、本実施の形態では P M O S ダイオード接続列とされている。分圧回路 5 には直列に接続された N M O S トランジスタ 1 7 - 3 および 1 8 - 3 が接続されている。N M O S トランジスタ 1 8 - 3 は分圧回路 5 に定電流を供給するトランジスタであり、分圧回路 5 は該定電流が供給されることにより動作する。N M O S トランジスタ 1 7 - 3 は、該定電流を流すか遮断するかを制御するスイッチである。

【 0 0 2 4 】

参照電圧発生回路 4 は、上記参照電圧 V R E F 2 とセンサ回路 8 に供給する参照電圧 V R E F を発生させる。参照電圧発生回路 4 は、ディープパワーダウン信号 D P P D N によって起動 / 停止が制御される。本実施の形態に係るディープパワーダウンとは、パワーダウンのうちでもメモリ装置 5 0 に付随する回路の大部分の動作を停止させるパワーダウンを意味し、図示しない制御回路等から供給される。ディープパワーダウン信号 D P P D N は制御信号の一例であって、他の適宜な制御信号を用いてもよい。

20

【 0 0 2 5 】

センサ回路 8 は出力電圧 V C P の電圧レベルを監視し、監視した電圧レベルに応じて発振回路 1 を制御する制御信号 S A O を生成する。センサ回路 8 には直列に接続された N M O S トランジスタ 1 7 - 4 および 1 8 - 4 が接続されている。N M O S トランジスタ 1 8 - 4 はセンサ回路 8 に定電流を供給するトランジスタであり、センサ回路 8 は該定電流が供給されることにより動作する。N M O S トランジスタ 1 7 - 4 は、該定電流を流すか遮断するかを制御するスイッチである。

30

【 0 0 2 6 】

タイミング発生回路 7 は、N M O S トランジスタ 1 7 - 1 ~ 1 7 - 4 のゲートに接続され、活性化信号 E N S A によって N M O S トランジスタ 1 7 - 1 ~ 1 7 - 4 のオン / オフを制御する。定電流源回路 6 は、N M O S トランジスタ 1 8 - 1 ~ 1 8 - 4 のゲートに接続され、N M O S トランジスタ 1 8 - 1 ~ 1 8 - 4 が定電流を流すためのバイアス電圧 V B I A S を供給している。タイミング発生回路 7 および定電流源回路 6 は、ディープパワーダウン信号 D P P D N によって制御される。N M O S トランジスタ 1 8 - 1 ~ 1 8 - 4 のソースはグランド (G N D) に接続されている。

40

【 0 0 2 7 】

メモリ部 5 4 は、複数のメモリセル 3 0 と、複数のメモリセル 3 0 を駆動するドライバ回路 9 を備えている。ドライバ回路 9 は、アドレス信号をデコードしたデコード信号に基づいて、メモリセル 3 0 に接続されたワード線に必要な電圧を供給する。例えば、メモリ装置 5 0 が微細化の進んだフラッシュメモリの場合には、昇圧回路 5 2 によって発生した出力電圧 V R E G を、ドライバ回路 9 を通してメモリセル 3 0 のワード線に供給し、読出し動作を行う。なお、本実施の形態に係るメモリ装置 5 0 は、低速で読出す低速動作モード、および高速で読出す高速動作モードを備えている。

【 0 0 2 8 】

次に、図 1 (b) を参照して、昇圧回路 5 2 の動作について説明する。図 1 (b) は、デ

50

ープパワーダウン信号 $DPPDN$ 、チャージポンプの出力電圧 VCP 、降圧回路の出力電圧 $VREG$ 、およびデコード信号の各々の動作波形を示したタイミングチャートである。ディープパワーダウン信号 $DPPDN$ が解除されると、タイミング発生回路 7、定電流源回路 6、センサ回路 8、分圧回路 5、降圧回路 10、分圧回路 11、参照電圧発生回路 4 が活性化される。

【0029】

ディープパワーダウン信号 $DPPDN$ が時刻 t_1 で解除されると、参照電圧発生回路 4 から参照電圧 $VREF$ 、定電流源回路 6 から定電流源のバイアス電圧 $VBIAS$ が発生するとともに、タイミング発生回路 7 から活性化信号 $ENSA$ が発生する。センサ回路 8 と分圧回路 5 は活性化されたバイアス電圧 $VBIAS$ と活性化信号 $ENSA$ を受けて動作を開始する。

10

【0030】

分圧回路 5 から発生した比較電圧 $VDET$ が参照電圧 $VREF$ より大きくなるまで、すなわちチャージポンプ回路 3 の出力電圧 VCP が昇圧目標電圧 $VPWL$ より大きくなるまで、センサ回路 8 の出力信号である制御信号 SAO をハイレベル（以下、「H」）とする。発振回路 1 は制御信号 SAO が H の間クロック信号を発生し続け、昇圧クロック生成回路 2 を介してチャージポンプ回路 3 を駆動する。

【0031】

チャージポンプ回路 3 の出力電圧 VCP の電圧が昇圧目標電圧 $VPWL$ に到達すると、制御信号 SAO はロウレベル（以下、「L」）となり、出力電圧 VCP の制御はセンサ回路 8 の制御による間欠動作に移行する。

20

【0032】

一方、降圧回路 10 と分圧回路 11 も活性化されたバイアス電圧 $VBIAS$ と活性化信号 $ENSA$ を受けて動作を開始し、出力電圧 $VREG$ を目標電圧 VWL に収束させる。

【0033】

メモリ装置 50 が時刻 t_2 で低速動作から高速動作に移行すると、ドライバ回路 9 によって出力電圧 $VREG$ を消費する電流が急増して降圧回路 10 の均衡が崩れ、一時的に出力電圧 $VREG$ が降下する。出力電圧 $VREG$ が降下すると、容量 11b のカップリング作用により比較電圧 $VDET2$ のノード電圧を低下させ、降圧回路 10 の出力ドライバである NMOS トランジスタ 16 のゲートの電圧を上げ、時刻 t_3 で出力電圧 $VREG$ の上昇を開始させる。

30

【0034】

その後、PMOS ダイオード接続列 11a が、比較電圧 $VDET2$ が出力電圧 $VREG$ の分圧電圧になるのに必要な充電を完了させるため、出力電圧 $VREG$ は目標電圧 VWL に制御される（時刻 t_4 ）。時刻 t_2 から t_4 までの出力電圧の効果を電圧降下量 VWL という。

【0035】

以上詳述したように、本実施の形態に係る半導体装置、および半導体装置の制御方法によれば、出力電圧 $VREG$ の負荷が高速動作モードに伴う高負荷に切り替わった際に、PMOS ダイオード接続列 11a が比較電圧 $VDET2$ を出力電圧 $VREG$ の分圧電圧に充電を完了させる前に、出力電圧 $VREG$ の上昇が開始されるので、出力電圧 $VREG$ の電圧降下量 VWL を小さくすることができる。このため、PMOS ダイオード接続列 11a に流す電流を絞ることが可能となるので、動作電流削減とメモリセル読出しの安定化（出力電圧 $VREG$ の安定化）を両立させることができる。

40

【0036】

[第2の実施の形態]

図 2 を参照して、本実施の形態に係るメモリ装置 50A および昇圧回路制御方法について説明する。本実施の形態に係るメモリ装置 50A は、メモリ装置 50 の昇圧回路 52 を昇圧回路 52A に置き換えた形態である。従って、同様の構成には同じ符号を付して詳細な説明を省略する。

50

【 0 0 3 7 】

図 2 (a) に示すように、昇圧回路 5 2 A は、昇圧回路 5 2 にタイミング発生回路 1 3 および放電回路 1 2 が追加されている。

【 0 0 3 8 】

タイミング発生回路 1 3 は、モード信号 F M O D E を入力とし、モード信号 F M O D E に応じて放電 (ディスチャージ) 信号 D I S C を発生する。モード信号 F M O D E は、昇圧回路 5 2 A を搭載するメモリ装置 5 0 A の読出し動作速度を定義しており、モード信号 F M O D E が L で低速動作 (読出し) モード、H で高速動作 (読出し) モードとなっている。

【 0 0 3 9 】

放電回路 1 2 は、出力電圧 V R E G に接続された P M O S ダイオード接続列 1 2 a および N M O S トランジスタ 1 2 b を備えている。N M O S トランジスタ 1 2 b のゲートには放電信号 D I S C が入力され、放電信号 D I S C によって N M O S トランジスタ 1 2 b がオンすると放電回路 1 2 が活性化される。

10

【 0 0 4 0 】

図 2 (b) を参照して、昇圧回路 5 2 A の動作について説明する。図 2 (b) は、ディープパワーダウン信号 D P P D N、チャージポンプの出力電圧 V C P、降圧回路 1 0 の出力電圧 V R E G、モード信号 F M O D E、放電信号 D I S C、およびデコード信号の各々の動作波形を示したタイミングチャートである。

【 0 0 4 1 】

時刻 t 1 でディープパワーダウン信号 D P P D N が解除されると、チャージポンプ回路 3 の出力電圧 V C P、降圧回路の出力電圧 V R E G は図 1 (b) で説明した動作と同様に動作する。図 2 (b) の例では、時刻 t 2 で、低速動作のデコード信号が入力されている。

20

【 0 0 4 2 】

その後、時刻 t 3 でモード信号 F M O D E が低速動作モードから高速動作モードに切り替わると、その直後、放電信号 D I S C が H となり、高速動作時の負荷電流と同程度の負荷電流が放電回路 1 2 を介して流れる。

【 0 0 4 3 】

出力電圧 V R E G が目標電圧 V W L に収束した後、時刻 t 4 で放電信号 D I S C が L になり、高速動作 (読出し) を開始する。放電信号 D I S C が H の期間は、高速動作セットアップ期間 S U T として、高速読出し動作を禁止する。

30

【 0 0 4 4 】

本実施の形態に係るメモリ装置および昇圧回路制御方法によれば、高速切り替え時に高速動作セットアップ時間を短縮できるとともに、高速動作セットアップ期間 S U T 後に、出力電圧 V R E G の電圧降下量 V W L に関係なく安定的に読出し動作をさせることができる。

【 0 0 4 5 】

なお、本実施の形態では、放電回路 1 2 の他に容量 1 1 b を備えた形態を例示して説明したが、放電回路 1 2 と容量 1 1 b の作用は共通しているので、容量 1 1 b を除いた形態としてもよい。

【 0 0 4 6 】

[第 3 の実施の形態]

図 3 を参照して、本実施の形態に係るメモリ装置 5 0 B および昇圧回路 5 2 B の昇圧回路制御方法について説明する。本実施の形態は、上記メモリ装置 5 0 において、昇圧回路 5 2 を昇圧回路 5 2 B に変更した形態であり、昇圧回路 5 2 B は、昇圧回路 5 2 の分圧回路 1 1 を分圧回路 2 0 に変更している。本実施の形態に係る分圧回路 2 0 は、分圧回路 1 1 にショート回路 1 4 およびタイミング発生回路 1 5 を追加している。その他の構成についてはメモリ装置 5 0 と同様なので、同様の構成には同じ符号を付して詳細な説明を省略する。

40

【 0 0 4 7 】

図 3 (a) に示すように、分圧回路 2 0 は、P M O S ダイオード接続列 1 1 a、容量 1 1

50

b、およびショート回路14を備えている。

【0048】

ショート回路14は、PMOSダイオード接続列11aの分圧電圧VDET3を出力する端子と、容量11bの比較電圧VDET2側の端子との間に接続されている。ショート回路14は以下で説明する活性化信号ENSKによって制御され、PMOSダイオード接続列11aと容量11bとの間を接続または遮断するスイッチとして機能する。

【0049】

図4に、ショート回路14の具体的回路例を示す。ショート回路14は、パストランジスタ(トランスファークラップ)21およびインバータ22を備えている。そして、活性化信号ENSKに基づいて、分圧電圧VDET3の端子と比較電圧VDET2の端子との間を接続または遮断する。本ショート回路14によれば、PMOSTランジスタとNMOSTランジスタによってノイズがキャンセルされるので、ショート回路14をオフする(遮断する)際にカップリングノイズで比較電圧VDET2の電位が変動し、活性化信号ENSKがLの期間において出力電圧VREGの制御電圧がずれるのを抑制する効果を奏する。

【0050】

タイミング発生回路15はディープパワーダウン信号DPPDNを入力とし、活性化信号ENSKを出力する。活性化信号ENSKはNMOSTランジスタ17-1のゲートおよびショート回路14に供給され、NMOSTランジスタ17-1およびショート回路14の動作を制御する。

【0051】

次に、図3(b)を参照して、昇圧回路52Bの動作について説明する。図3(b)は、ディープパワーダウン信号DPPDN、チャージポンプ回路3の出力電圧VCP、降圧回路10の出力電圧VREG、および活性化信号ENSKの動作波形を示すタイミングチャートである。

【0052】

タイミング発生回路15から出力される活性化信号ENSKは、ディープパワーダウン信号DPPDNがLになってから、降圧回路10の出力電圧VREGが目標電圧VWLに収束するまでの間以上の期間を活性化期間T1としてHとされる(時刻t1からt2の間)。活性化信号ENSKがHとされると、ショート回路14が導通し、NMOSTランジスタ17-1がオンとされる。その後活性化信号ENSKは、時刻t3から活性化周期T2の間隔で活性化期間T3の期間Hとされる(時刻t3からt4の間)。図3(b)では、時刻t5、t6において活性化周期T2が開始されている。

【0053】

活性化信号ENSKがLの期間は、ショート回路14が遮断され、容量11bに蓄えられた電荷で比較電圧VDET2が維持され、出力電圧VREGを昇圧目標電圧VPWLに向けて制御する。容量11bの電極間のリークやショート回路14の拡散層のリークにより容量11bに蓄えられた電荷が減少して出力電圧VREGの制御電圧が低下し、目標電圧VWLの許容電圧降下量を超える前に(すなわち活性化周期T2ごとに)、活性化期間T3において容量11bを再充電することによって、目標電圧VWLへの収束に向けて出力電圧VREGの制御を維持する。

【0054】

本実施の形態によれば、上記実施の形態と同様の効果を奏することに加えて、動作中、活性化期間T3を除いて分圧回路20に流れる電流を遮断することができるので、タイミング発生回路15のタイマ動作による消費電流増加を考慮しても、動作電流をさらに削減することが可能となる。また、容量11bを有しない従来の分圧回路を間欠動作させる場合と比較して、活性化期間T3を除く活性化周期T2の間に分圧回路20を流れる電流で出力電圧VREGが電圧降下することがないため、さらに間欠動作期間中も常に出力電圧VREGを制御しておくことが可能になるため、活性化周期T2(間欠周期)を長くとることができ、動作電流が低減される。

【符号の説明】

10

20

30

40

50

【 0 0 5 5 】

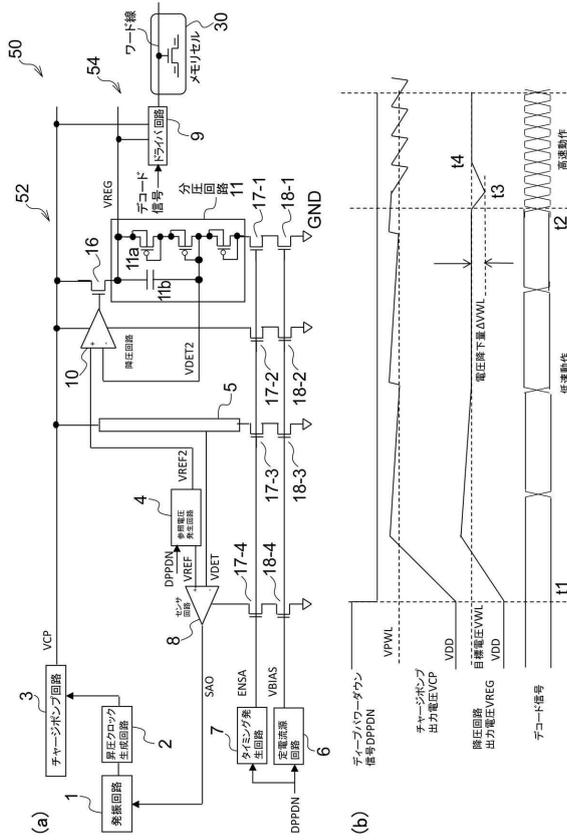
1	発振回路	
2	昇圧クロック生成回路	
3	チャージポンプ回路	
4	参照電圧発生回路	
5	分圧回路	
6	定電流源回路	
7	タイミング発生回路	
8	センサ回路	
9	ドライバ回路	10
1 0	降圧回路	
1 1	分圧回路	
1 1 a	PMOSダイオード接続列	
1 1 b	容量	
1 2	放電回路	
1 2 a	PMOSダイオード接続列	
1 2 b	NMOSトランジスタ	
1 3	タイミング発生回路	
1 4	ショート回路	
1 5	タイミング発生回路	20
1 6、1 7 - 1 ~ 1 7 - 4、1 8 - 1 ~ 1 8 - 4	NMOSトランジスタ	
2 0	分圧回路	
2 1	パストランジスタ	
2 2	OR回路	
3 0	メモリセル	
5 0、5 0 A、5 0 B	メモリ装置	
5 2、5 2 A、5 2 B	昇圧回路	
5 4	メモリ部	

30

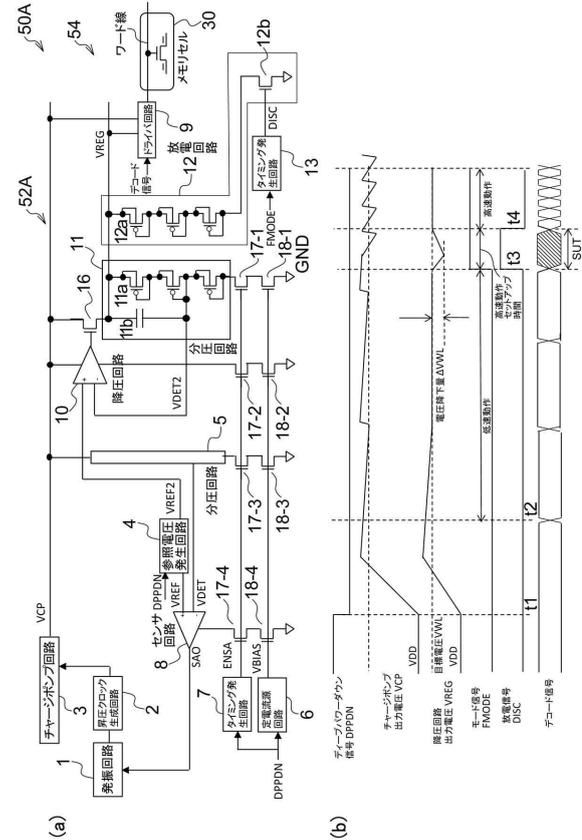
40

50

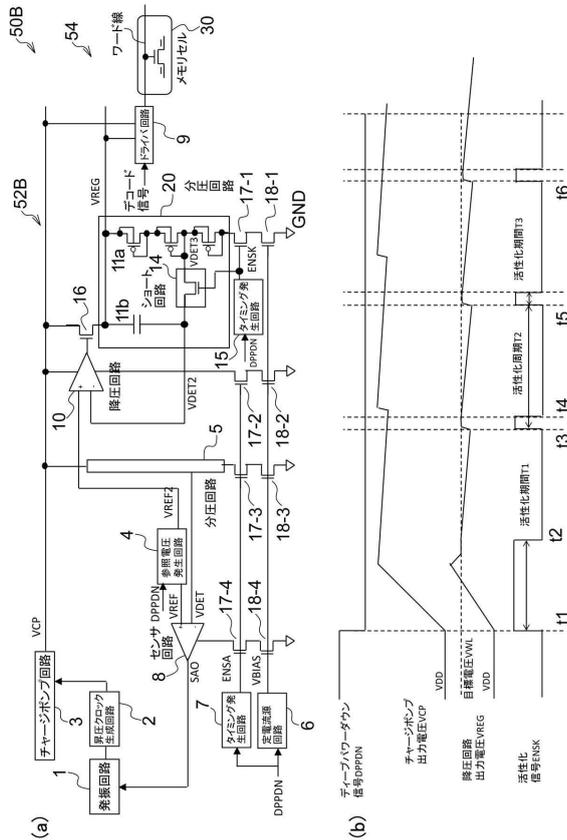
【図面】
【図 1】



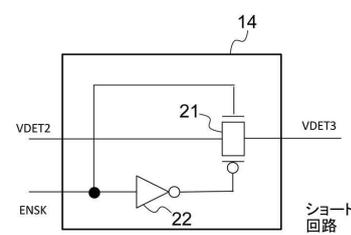
【図 2】



【図 3】



【図 4】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 5 - 1 9 1 2 8 0 (J P , A)
特開平 1 0 - 3 3 4 6 8 0 (J P , A)
特開平 0 2 - 0 3 5 6 9 4 (J P , A)
特開平 0 1 - 1 9 9 3 9 6 (J P , A)
特開平 0 6 - 2 3 7 5 7 5 (J P , A)
特開 2 0 1 0 - 1 0 3 7 0 7 (J P , A)
特開 2 0 1 0 - 2 7 7 1 9 2 (J P , A)
米国特許出願公開第 2 0 1 6 / 0 1 5 4 4 1 5 (U S , A 1)
- (58)調査した分野 (Int.Cl., D B 名)
- H 0 2 M 3 / 0 0 - 3 / 4 4
G 0 5 F 1 / 4 4 5
G 0 5 F 1 / 5 6
G 0 5 F 1 / 6 1 3
G 0 5 F 1 / 6 1 8
G 1 1 C 1 1 / 5 6
G 1 1 C 1 6 / 0 0 - 1 7 / 1 8