

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5709944号  
(P5709944)

(45) 発行日 平成27年4月30日(2015.4.30)

(24) 登録日 平成27年3月13日(2015.3.13)

(51) Int.Cl.		F I			
<b>HO 1 L</b>	<b>27/146</b>	<b>(2006.01)</b>	<b>HO 1 L</b>	27/14	A
<b>HO 4 N</b>	<b>5/369</b>	<b>(2011.01)</b>	<b>HO 4 N</b>	5/335	6 9 0
<b>HO 4 N</b>	<b>5/374</b>	<b>(2011.01)</b>	<b>HO 4 N</b>	5/335	7 4 0

請求項の数 9 (全 9 頁)

<p>(21) 出願番号 特願2013-151652 (P2013-151652)</p> <p>(22) 出願日 平成25年7月22日 (2013.7.22)</p> <p>(62) 分割の表示 特願2008-119737 (P2008-119737) の分割</p> <p>原出願日 平成20年5月1日 (2008.5.1)</p> <p>(65) 公開番号 特開2013-225704 (P2013-225704A)</p> <p>(43) 公開日 平成25年10月31日 (2013.10.31)</p> <p>審査請求日 平成25年7月22日 (2013.7.22)</p>	<p>(73) 特許権者 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号</p> <p>(74) 代理人 100126240 弁理士 阿部 琢磨</p> <p>(74) 代理人 100124442 弁理士 黒岩 創吾</p> <p>(72) 発明者 山下 雄一郎 東京都大田区下丸子3丁目30番2号キヤノン株式会社内</p> <p>審査官 溝本 安展</p>
--	--

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

光電変換部と、

前記光電変換部で生じた信号電荷を保持可能な第1導電型の半導体領域と、該半導体領域上に絶縁膜を介して配された制御電極とを含み、前記信号電荷を保持可能な電荷保持部と、

第1導電型のフローティングディフュージョン領域と、

前記第1導電型の半導体領域と前記フローティングディフュージョン領域との導通を制御する転送部と、

前記光電変換部をソースとし、前記光電変換部の電荷を排出するオーバーフロードレイ  
ンMOSトランジスタと、

を含む画素が二次元状に複数配され、

前記複数の画素は、

第1の画素と、

前記第1の画素と第1の方向において隣接して配置される第2の画素と、

前記第1の画素と前記第1の方向に直交する第2の方向において隣接して配置される第3の画素とを含み、

同一画素において、

前記第1導電型の半導体領域は前記光電変換部に対して第1の方向に配置され、前記フ  
ローティングディフュージョン領域は前記第1導電型の半導体領域に対して、前記第2の

10

20

方向に前記転送部を介して配置されており、

前記第 1 の画素の前記フローティングディフュージョン領域は、前記第 1 の画素の前記電荷保持部と、前記第 3 の画素の前記電荷保持部との間の領域に配置され、前記第 1 の画素の前記オーバーフロードレイン MOS トランジスタのドレインは、前記第 1 の画素の前記光電変換部と、前記第 3 の画素の前記光電変換部との間の領域に配置され、

前記第 1 の画素の前記第 1 導電型の半導体領域は、前記第 1 の画素の前記光電変換部と前記第 2 の画素の前記光電変換部との間の領域に配置され、

前記第 1 の画素の前記電荷保持部は遮光部で覆われており、前記遮光部は、前記第 1 の画素の前記光電変換部及び前記第 2 の画素の前記光電変換部の一部の上部まで延在して配置され、

10

前記第 1 の画素の前記第 1 導電型の半導体領域と前記第 2 の画素の前記光電変換部との間に、絶縁体を含んで構成される素子分離領域が配されており、

前記遮光部は、前記第 1 の画素に含まれる前記光電変換部の上面から、前記素子分離領域の絶縁体により形成される段差に沿って且つ前記段差を乗り越えて、前記第 2 の画素の前記光電変換部の上面まで延在していることを特徴とする固体撮像装置。

【請求項 2】

前記オーバーフロードレイン MOS トランジスタを導通状態から非導通状態とすることで、前記光電変換部における露光期間を開始することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

20

前記露光期間終了後は、前記オーバーフロードレイン MOS トランジスタを導通させ、前記光電変換部と前記オーバーフロードレイン MOS トランジスタのドレインとの間の電荷の経路のポテンシャルを、前記光電変換部と前記電荷保持部との間の電荷の経路のポテンシャルよりも低い状態とすることを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】

前記複数の光電変換部の電荷を同時に読み出すことで、グローバル電子シャッター動作を行なうことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記第 1 導電型の半導体領域の不純物濃度は、前記オーバーフロードレイン MOS トランジスタのドレインの不純物濃度よりも低いことを特徴とする請求項 1 ~ 4 のいずれか 1

30

【請求項 6】

前記第 1 導電型の半導体領域及び前記ドレインは、第 2 導電型の半導体領域と PN 接合を形成しており、前記第 1 導電型の半導体領域から伸びる空乏層の幅が、前記フローティングディフュージョン領域から伸びる空乏層の幅よりも小さいことを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 7】

前記画素は、増幅部を有しており、前記フローティングディフュージョン領域と、前記増幅部とが電氣的に接続されていることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の固体撮像装置。

40

【請求項 8】

前記画素は、前記フローティングディフュージョン領域の電位をリセットする、リセットトランジスタを有することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

前記光電変換部の露光期間において、前記光電変換部で生じた電荷を前記電荷保持部に転送して蓄積することを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、画素に光電変換部で生じた信号電荷を蓄積する電荷保持部を有する固体撮像装置の素子レイアウトに関する。

【背景技術】

【0002】

固体撮像装置は、二次元状に配された画素を有する構成が知られている。このような固体撮像装置において、全画素の信号電荷蓄積の開始時刻と終了時刻を同時にするために、電子シャッタ機能を有する構成が知られている。例えば特許文献1、2などにその構成が例示されている。

電子シャッタ機能のために、画素内には、光電変換を行う光電変換部とは別に、光電変換された電荷をある程度の時間保持しておく電荷保持部が設けられている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-246450号公報

【特許文献2】特開2006-049743号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1、2に開示された構成では、画素内での各素子のレイアウトによる半導体基板内でのポテンシャル構造の最適化、及び電荷保持部への光の入射を抑制する遮光部の配置に関しては、十分な検討が成されていなかった。

20

【0005】

本発明は上記課題に鑑み、画素を構成する素子を適切に配置することで、例えば、画素に電荷保持部を有する固体撮像装置の半導体基板でのポテンシャル構造を最適化させることを目的とする。

【課題を解決するための手段】

【0006】

本発明の固体撮像装置は、上記課題に鑑み、光電変換部と、前記光電変換部で生じた信号電荷を蓄積可能な第1導電型の半導体領域と、該半導体領域上に絶縁膜を介して配された制御電極とを含み、前記信号電荷を保持可能な電荷保持部と、第1導電型のフローティングディフュージョン領域と、前記第1導電型の半導体領域と前記フローティングディフュージョン領域との導通を制御する転送部と、を含む画素が二次元状に配され、同一画素内において、前記第1導電型の半導体領域は前記光電変換部に対して第1の方向に配置され、前記フローティングディフュージョン領域は前記第1導電型の半導体領域に対して、前記第1の方向に直交する第2の方向に転送部を介して配置されており、前記複数の画素は、第1の画素と、該第1の画素と前記第1の方向に隣接して配置される第2の画素とを含み、前記第1の画素に含まれる前記第1導電型の半導体領域は、該第1の画素に含まれる光電変換部と、前記第2の画素に含まれる光電変換部の間の領域に配され、前記第1の画素に含まれる電荷保持部は遮光部で覆われており、該遮光部は、前記第1及び第2の画素に含まれる光電変換部の一部の上部まで延在して配置されていることを特徴とする。

30

40

【発明の効果】

【0007】

本発明によれば、例えばポテンシャル構造を最適化させることが可能となり、画素ピッチを微細化することが可能となる。

【図面の簡単な説明】

【0008】

【図1】固体撮像装置の回路図の一例を説明するための図である。

【図2】第1の実施形態の固体撮像装置の上面図である。

【図3】第1の実施形態の固体撮像装置の断面図である。

【図4】第2の実施形態の固体撮像装置の断面図である。

50

## 【発明を実施するための形態】

## 【0009】

(第1の実施形態)

図1は本実施形態の固体撮像装置の画素回路図の例である。

## 【0010】

101は光電変換部である。ここでは例としてフォトダイオードを示している。102は光電変換部で生じた信号電荷を保持可能な電荷保持部である。103は信号電荷を電圧に変換する電荷電圧変換部である。104は光電変換部から電荷保持部への電荷転送を制御する第1の転送部である。ここでは例としてMOSトランジスタを示している。第1の転送部は、光電変換部と電荷保持部との間の信号電荷の経路の、信号電荷に対するポテンシャルを制御する。第1の転送部の構造の1つとしては、制御電極を設けて、ポテンシャル状態を能動的に制御して信号電荷の導通を制御する構成が考えられる。他には、電荷の経路を埋め込みチャネル構造としてポテンシャル勾配を設けて、露光期間中に光電変換部から電荷保持部へ信号電荷が移動するような構成としてもよい。後者の場合には後述の電荷保持部の制御ゲートを埋め込みチャネル部まで延在させて、電荷保持部と同様のバイアスを印加させることも可能である。

10

## 【0011】

105は、電荷保持部と電荷電圧変換部との導通を制御する第2の転送部である。電荷保持部102から電荷電圧変換部103へ信号電荷を転送可能な構造となっている。ここでは例としてMOSトランジスタを示している。106は電荷電圧変換部をリセットするリセット部である。ここでは例としてMOSトランジスタを示している。

20

## 【0012】

107は増幅トランジスタである。ここでは例としてMOSトランジスタを示している。このMOSトランジスタのゲートと電荷電圧変換部103とが電氣的に接続されている。電荷電圧変換部で電圧に変換された信号を増幅して外部へ出力する。例えば、不図示の定電流源とともにソースフォロワ回路を構成する。

## 【0013】

108は二次元状に配置された画素を画素行ごとに選択する選択部である。ここでは例としてMOSトランジスタを示している。109は光電変換部の電荷を外部へ排出可能な電荷排出制御部である。ここでは例として、光電変換部をソースとするオーバーフローレインMOSトランジスタを示している。光電変換部の信号電荷と同極性の半導体領域をソース、電源電圧が供給された半導体領域をドレインとした構造である。このドレインが電荷排出部となる。

30

## 【0014】

また、本画素は1つの画素内にすべての構成要件を含む回路構成になっているが、複数の画素で増幅部、選択部、リセット部を共有するような構成としてもよい。

## 【0015】

次に、本画素回路の動作を説明する。まず、光電変換部101内の電荷を電荷排出制御部109を介して電荷排出部へ排出した後に、光電変換(露光期間)を開始する。光電変換部101と電荷保持部102との間の信号電荷の経路が埋め込みチャネル構造の場合には光電変換により生じた信号電荷は速やかに電荷保持部102へ移動する。そして露光期間終了直前に光電変換部101に残存する信号電荷を第1の転送部104を介して電荷保持部102に転送する。

40

## 【0016】

次に電荷保持部102に蓄積された信号電荷を第2の転送部105を介して電荷電圧変換部103に転送し電圧に変換する。その電圧を増幅トランジスタ107で増幅し、選択部108により順次読み出す。

## 【0017】

また、露光期間終了後は、電荷排出制御部109を導通させ、光電変換部と電荷排出部との間の電荷の経路のポテンシャルを光電変換部と電荷保持部との間の経路のポテンシ

50

ルよりも低い状態とする。ここでのポテンシャルは信号電荷に対してのものである。これにより、光電変換部 101 から電荷保持部 102 への信号電荷の漏れ込みを制御することが可能となる。

#### 【0018】

図1の構成によれば、光電変換部101の電荷のリセット動作、光電変換部101から電荷保持部102への信号電荷の転送動作および電荷排出部109の導通動作を全画素同時に行うことが可能である。いわゆるグローバル電子シャッタである。

#### 【0019】

図2は、本実施形態の固体撮像装置の画素の上面図である。ここでは9画素を示しているが更に画素を配してもよい。各画素は、図1の回路図で説明した構成要素を有している。各領域は説明のために矩形であるが、各構成が矩形をしているわけではなく、この領域に各構成が少なくとも配されていることを示している。図1と同一の機能を有する部分には同一の符号を付し詳細な説明は省略する。

10

#### 【0020】

図2において、同一画素内での各素子のレイアウトは、電荷保持部102が光電変換部101に対して第1の方向に配置され、電荷電圧変換部103が電荷保持部102に対して、第1の方向に直交する第2の方向に転送部を介して配置されている。

#### 【0021】

このような構成により、電荷電圧変換部と光電変換部との距離を離して配置されず、隣接画素の電荷保持部との領域に電荷電圧変換部を配置することが可能となる。これにより、電荷保持部のポテンシャル構造を最適化することが可能となり、画素ピッチの縮小を達成することが可能となる。

20

#### 【0022】

更に詳細に説明する。電荷電圧変換部は信号電荷と同極性の第1導電型からなるフローティングディフュージョン領域(FD領域)を含んで構成される。FD領域は第2導電型の半導体領域とPN接合を形成している。FD領域は通常、高濃度(不純物濃度の例として、 $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ )に設定され、高いリセット電圧(およそ電源電圧)に逆バイアスされていることから空乏層が大きく伸びている。このような状態で、FD領域を光電変換部に近接させた場合、FD領域から伸びる空乏層の端を光電変換部から一定量だけ離すことで、信号電荷に対するポテンシャルバリアの高さの低下を抑制する必要がある。そしてこれにより光電変換部からFD領域への光電流を十分無視できる値にする必要がある。したがって、隣接する画素の光電変換部と電荷電圧変換部とが近接して配置されるような素子レイアウトでは、画素ピッチを微細化することが難しい。通常決められた面積に決められた数の画素を配置するが、この条件を満たし、且つできるだけ光電変換部の開口を広げるように各素子を配置する。素子分離領域の幅もできるだけ狭くした方が好ましい。このような状況で仮に同一画素の光電変換部、電荷保持部、電荷電圧変換部を直線状に配置し、これを繰り返した場合には、電荷電圧変換部は隣接画素の光電変換部に近接して配置される。この場合にも素子分離領域の幅を広げればよいが、そうすると画素ピッチが広がり、上記画素数等の条件を満たすのが困難となるのである。これに対して本実施形態によれば、電荷電圧変換部と周囲画素の光電変換部との間は比較的幅の広い素子分離領域で隔てられている。また更には画素を構成するMOSトランジスタ等を間に配しても良い。

30

40

#### 【0023】

ここで電荷保持部を構成する第1導電型の半導体領域は、その特性上、FD領域よりも低い不純物濃度(例えば $1 \times 10^{17} \text{ cm}^{-3}$ 程度)であり、FD領域に供給されている電圧よりも低い電圧(電源電圧の半分程度)に逆バイアスされている場合が多い。

#### 【0024】

本実施形態の構成によれば、このような電荷保持部と光電変換部との間の距離を短くすることが可能となる。したがって相対的に空乏層の伸びが小さい電荷保持部と光電変換部との間の距離を短くすることが可能となり、結果的に画素ピッチを微細化することが可能

50

となる。

【 0 0 2 5 】

このような構成は、特に、光電変換中の電荷を電荷保持部に転送して蓄積する画素では、信号電荷が電荷保持部以外へ移動することを抑制するため有効である。信号電荷が電荷保持部以外に移動すると感度が低下し、さらには画素の感度が電荷保持部で保持される電荷量や入射総光量に依存して変化してしまい感度の非線形性、および画素毎のその非線形性の差による感度ばらつきが生じるためである。

【 0 0 2 6 】

なお、FD領域のみならず、オーバーフロードレインMOSトランジスタ109のドレイン領域に対しても同様の課題がある。つまりこのドレイン領域も不純物濃度が高く、電源電圧近くまで逆バイアスされているために、空乏層の伸びが大きい。したがって光電変換部をこのドレイン領域に近接しないように配置しても良い。

10

【 0 0 2 7 】

ただし、オーバーフロードレインの機能上、自身の光電変換部とは近接させるのがよい。そのためのさらなる対策として、垂直オーバーフロードレインと呼ばれる、基板側に電荷を排出する構成をとることによって、オーバーフロードレインと光電変換部の平面での位置関係を考慮する必要が無く、さらなる画素ピッチの微細化が可能となる。

【 0 0 2 8 】

さらに本実施形態では、図2の中央の列の一番下部に配された画素を第1の画素とすると、第1の画素と第1の方向(図2上方向)に隣接して配置される第2の画素とを含んでいる。そして、第1の画素の電荷保持部が、第1の画素の光電変換部と、第2の画素の光電変換部との間の領域に配置されている。そして、第1の画素に含まれる電荷保持部が遮光部304で覆われ、この遮光部が、第1及び第2の画素に含まれる光電変換部の一部の上部まで延在して配置されている。

20

【 0 0 2 9 】

電荷保持部の制御電極は、第1の転送部を構成する転送電極と同一の層で形成することが多く、その場合には厚さが等しい。更に、第1の転送部の転送電極および電荷保持部の制御電極はそれぞれ同一の半導体基板上に形成されているため、電極の厚みも等しい。その上に遮光部を堆積し、パターニングすることで、各光電変換部における光学対称性を高めることが可能となる。具体的に図2においては、第1の画素に含まれる電荷保持部は遮光部303で覆われ、遮光部303は、第1及び第2の画素に含まれる光電変換部の一部の上部まで延在して配置されている。ここで光学対称性とは、各画素の光路が並進対称となることである。画素領域の位置によって入射してくる光の角度は異なる場合もあるが、遮光部を下地が比較的平らな光電変換部まで延在させることにより、遮光部のパターンが下地の影響を受けにくくなる。

30

【 0 0 3 0 】

遮光部を素子分離領域上でパターニングすると、光学的な対称性を高めようとしたとしても、下地の素子分離領域の影響を受けて各画素で遮光パターンが変わりやすくなる場合もあるが、本実施形態によればそのような影響を低減可能である。

【 0 0 3 1 】

図3は、図2の305で示した点線A-Bに沿った断面図である。図2と同様の機能を有する部分には同一の符号を付し詳細な説明は省略する。以下、信号電荷として電子を用いる場合に関して説明する。信号電荷としてホールを用いる場合には、各半導体領域の導電型を逆にすることで対応可能である。上述した第1導電型をN型、第2導電型をP型とする。

40

【 0 0 3 2 】

401はP型の半導体基板である。もしくはN型基板に配されたP型半導体領域を用いても良い。402は光電変換部の一部を構成するN型半導体領域である。P型半導体基板401とPN接合を構成し、フォトダイオードの一部を構成する。

【 0 0 3 3 】

50

403は第1の転送部104の一部を構成する転送電極である。転送電極403に供給される電圧によりN型半導体領域402と後述のN型半導体領域405との間の信号電荷の経路の、信号電荷に対するポテンシャルを制御する。

【0034】

405はN型半導体領域である。光電変換部からの信号電荷を蓄積可能な半導体領域である。404はN型半導体領域405の表面の電位をコントロールする制御電極である。制御電極404はN型半導体領域上に絶縁膜を介して配されている。電荷保持部102は、制御電極404及びN型半導体領域405を含んで構成される。

【0035】

406は、異なる画素の電荷保持部のN型半導体領域405と光電変換部のN型半導体領域402とを分離するための素子分離領域である。ここでは例としてSTIと呼ばれる、シリコン酸化物などの絶縁体を埋め込んだ分離構造を示している。

10

【0036】

407は遮光層である。遮光層407は、電荷保持部102の全体を覆い、隣接する第1及び第2の画素に含まれる光電変換部の一部の上部まで延在して配置されている。さらには、転送電極403と制御電極404を覆うように配されている。

【0037】

このような構造によれば、遮光部と半導体基板の間に生じる隙間をきわめて狭くすることができ、光の漏れ込みを抑制することが可能となる。

【0038】

20

以上述べたように本実施形態によれば、画素に電荷保持部を有する構成において、遮光部を素子分離領域上でパターンニングせずに光電変換部まで延在させているため、画素ピッチを微細にすることが可能となる。加えて、電荷保持部に対する光の入射量を低減することが可能となる。

【0039】

(第2の実施形態)

図4は本実施形態の固体撮像装置の断面図である。平面レイアウトは、図2のレイアウトを用いることができる。図3と同様の機能を有する部分には同一の符号を付し、詳細な説明は省略する。

【0040】

30

本実施形態においては、異なる画素の、電荷保持部102のN型半導体領域405と、光電変換部101のN型半導体領域402の間の素子分離構造を、P型半導体基板401より不純物濃度の高いP型半導体領域を用いPN接合分離としている点である。

【0041】

PN接合で素子分離をすることで、酸化膜などを埋め込んで形成した構成に比べて更に表面の平坦性が向上する。これにより、電荷保持部の制御電極404の高さの変化を更に抑えることが可能となり、その上部に配する遮光部の形成も容易にすることが可能となる。さらに、シリコン酸化物で形成される素子分離構造とは異なり、分離部のP型半導体領域に到達した光電子は、光電変換後に多数キャリアのホールと結合し電荷保持部まで到達する前に吸収されてしまうので、遮光性能をより高めることができる。

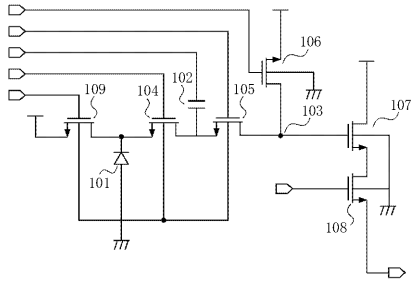
40

【符号の説明】

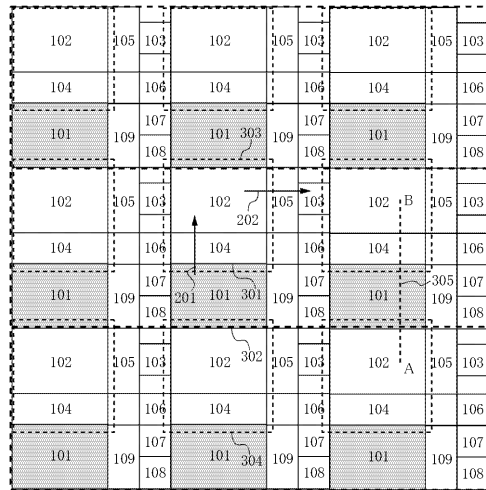
【0042】

- 101 光電変換部
- 102 電荷保持部
- 103 電荷電圧変換部
- 104 第1の転送部
- 105 第2の転送部
- 303, 304, 407 遮光部

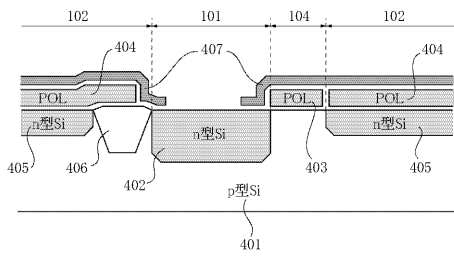
【図1】



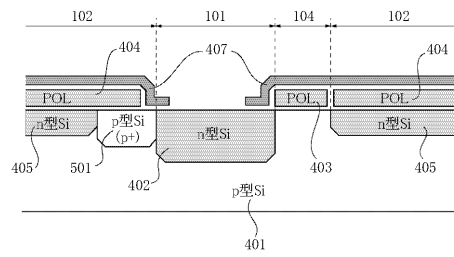
【図2】



【図3】



【図4】





---

フロントページの続き

- (56)参考文献 特開2007-157912(JP,A)  
特開2008-010502(JP,A)  
特開2006-246450(JP,A)  
特開2004-335882(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146  
H04N 5/369  
H04N 5/374