



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I503892 B

(45)公告日：中華民國 104 (2015) 年 10 月 11 日

(21)申請案號：101109789

(22)申請日：中華民國 101 (2012) 年 03 月 22 日

(51)Int. Cl. : **H01L21/335 (2006.01)****H01L29/78 (2006.01)****H01L21/22 (2006.01)**

(71)申請人：立錡科技股份有限公司(中華民國) RICHTEK TECHNOLOGY CORP (TW)

新竹縣竹北市台元街 20 號 5 樓

(72)發明人：黃宗義 HUANG, TSUNG YI (TW)；邱建維 CHIU, CHIEN WEI (TW)

(74)代理人：任秀妍

(56)參考文獻：

TW 428240

TW I258846

TW i303264

TW 201126715A

US 2004/0140517A1

US 2012/0043608A1

審查人員：趙天生

申請專利範圍項數：10 項 圖式數：5 共 20 頁

(54)名稱

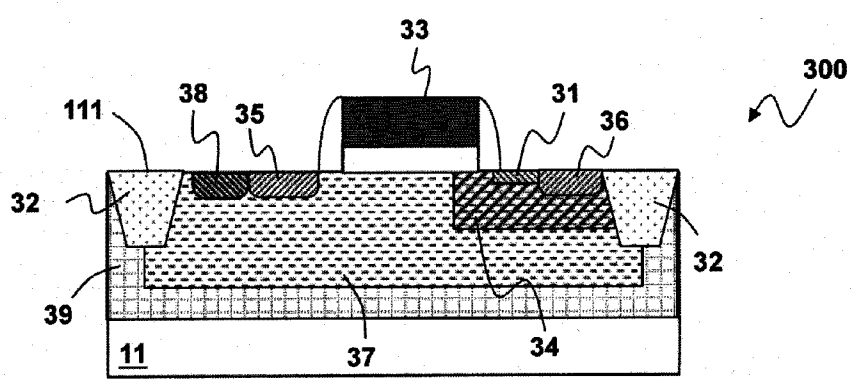
高壓元件及其製造方法

HIGH VOLTAGE DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明提出一種高壓元件及其製造方法，高壓元件形成於第一導電型基板中，且另有一低壓元件亦形成於同一基板中。該高壓元件包含漂移區、閘極、源極與汲極、以及緩和區。其中，緩和區具有第二導電型，形成於漂移區中，且緩和區介於閘極與汲極之間。此外，緩和區與低壓元件中之輕摻雜汲極(lightly doped drain region,LDD)區，利用相同製程步驟所形成。

The present invention discloses a high voltage device and a manufacturing method thereof. The high voltage device is formed in a first conductive type substrate. Besides, a low voltage device is also formed in the substrate. The high voltage device includes a drift region, a gate, a source, a drain, and a mitigation region. The mitigation region is formed in the drift region with second conductive type, and is between the gate and drain. Besides, the mitigation region and a lightly doped drain (LDD) region in the low voltage device are formed by a same process step.



第 3 圖

- 11 . . . 基板
- 31 . . . 緩和區
- 32 . . . 絕緣區
- 33 . . . 閘極
- 34 . . . 漂移區
- 35 . . . 源極
- 36 . . . 汲極
- 37 . . . 井區
- 38 . . . 本體極
- 39 . . . 隔離區
- 300 . . . 高壓元件

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101109789

※申請日：101.3.22

※IPC 分類：

H01L 21/335 2006.01

一、發明名稱：(中文/英文)

H01L 29/18 2006.01

高壓元件及其製造方法

H01L 21/22 2006.01

High Voltage Device and Manufacturing Method Thereof

二、中文發明摘要：

本發明提出一種高壓元件及其製造方法，高壓元件形成於第一導電型基板中，且另有一低壓元件亦形成於同一基板中。該高壓元件包含漂移區、閘極、源極與汲極、以及緩和區。其中，緩和區具有第二導電型，形成於漂移區中，且緩和區介於閘極與汲極之間。此外，緩和區與低壓元件中之輕摻雜汲極(lightly doped drain region, LDD)區，利用相同製程步驟所形成。

三、英文發明摘要：

The present invention discloses a high voltage device and a manufacturing method thereof. The high voltage device is formed in a first conductive type substrate. Besides, a low voltage device is also formed in the substrate. The high voltage device includes a drift region, a gate, a source, a drain, and a mitigation region. The mitigation region is formed in the drift region with second conductive type, and is between the gate and drain. Besides, the mitigation region and a lightly doped drain (LDD) region in the low voltage device are formed by a same process step.

本 部 分

指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

- 11 基板
- 31 緩和區
- 32 絕緣區
- 33 閘極
- 34 漂移區
- 35 源極
- 36 汲極
- 37 井區
- 38 本體極
- 39 隔離區
- 300 高壓元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種高壓元件及其製造方法，特別是指一種利用低壓元件製程之高壓元件及其製造方法。

【先前技術】

第 1 圖顯示先前技術之橫向雙擴散金屬氧化物半導體 (lateral double diffused metal oxide semiconductor, LDMOS) 元件 100 剖視示意圖。如第 1 圖所示，於 P 型基板 11 中，形成絕緣區 12，以電性隔絕 LDMOS 元件 100 與基板 11 中其他元件，絕緣區 12 例如為淺溝槽絕緣 (shallow trench isolation, STI) 結構或如圖所示之區域氧化 (local oxidation of silicon, LOCOS) 結構。LDMOS 元件 100 包含閘極 13、N 型漂移區 14、N 型源極 15、N 型汲極 16、P 型本體區 17、以及 P 型本體極 18。其中，N 型漂移區 14、N 型源極 15、以及 N 型汲極 16 係由微影技術且/或以部分或全部之閘極 13、絕緣區 12 為遮罩，以定義各區域，並分別以離子植入技術，將 N 型雜質，以加速離子的形式，植入定義的區域內所形成；而 P 型本體區 17 以及 P 型本體極 18 則是由微影技術且/或以部分或全部之閘極 13、絕緣區 12 為遮罩，定義該區域，並以離子植入技術，將 P 型雜質，以加速離子的形式，植入定義的區域內所形成。其中，源極 15 與汲極 16 分別位於閘極 13 兩側下方。而且 LDMOS 元件中，閘極 13 有一部分位於場氧化區 12a 上。

第 2 圖顯示先前技術之雙擴散汲極金屬氧化物半導體 (double diffused drain metal oxide semiconductor, DDDMOS) 元

件 200 剖視示意圖。與前述 LDMOS 元件主要的不同之處在於，DDDMOS 元件之閘極 23 完全位於 P 型基板 11 表面上。如圖所示，於 P 型基板 11 中，形成絕緣區 22，以電性隔絕 DDDMOS 元件 200 與基板 11 中其他元件，絕緣區 22 例如為 LOCOS 結構或如圖所示之 STI 結構。DDDMOS 元件 200 包含閘極 23、N 型漂移區 24、N 型源極 25、N 型汲極 26、N 型隔絕區 29、P 型井區 27、以及 P 型本體極 28。其中，N 型漂移區 24、N 型源極 25、N 型汲極 26、以及 N 型隔絕區 29 係由微影技術且/或以部分或全部之閘極 23、絕緣區 22 為遮罩，以定義各區域，並分別以離子植入技術，將 N 型雜質，以加速離子的形式，植入定義的區域內所形成；而 P 型井區 27 以及 P 型本體極 28 則是由微影技術且/或以部分或全部之閘極 23、絕緣區 22 為遮罩，定義該區域，並以離子植入技術，將 P 型雜質，以加速離子的形式，植入定義的區域內所形成。其中，源極 25 與汲極 26 分別位於閘極 23 兩側下方。

LDMOS 與 DDDMOS 元件為高壓元件，亦即其係設計供應用於較高的操作電壓，但當高壓元件需要與一般較低操作電壓之元件整合於同一基板上時，為配合較低操作電壓之元件製程，需要以相同的離子植入參數來製作高壓元件和低壓元件，使得高壓元件的離子植入參數受到限制，因而降低了高壓元件崩潰防護電壓，限制了元件的應用範圍。若不犧牲高壓元件崩潰防護電壓，則必須增加製程步驟，另行以不同離子植入參數的步驟來製作高壓元件，但如此一來將提高製造成本，才能達到所欲的崩潰防護電壓。

有鑑於此，本發明即針對上述先前技術之不足，提出一種高壓元件及其製造方法，在不增加製程步驟的情況下，提高元

件操作之崩潰防護電壓，增加元件的應用範圍，並可整合於低壓元件之製程。

【發明內容】

本發明目的在提供一種高壓元件及其製造方法。

為達上述之目的，本發明提供了一種高壓元件，形成於一第一導電型基板中，且另有一低壓元件形成於該基板中，該基板具有一上表面，該高壓元件包含：一漂移區，形成於該上表面下方，其具有第二導電型；一閘極，形成於該上表面上方，且至少部分該漂移區位於該閘極下方；一源極與一汲極，皆具有第二導電型，分別形成於閘極兩側之上表面下方，且該汲極位於該漂移區中，而該汲極與該閘極間，由該漂移區隔開；以及一緩和區，具有第二導電型，形成於該上表面下方之該漂移區中，且該緩和區介於該閘極與該汲極之間，且該緩和區與該低壓元件中之一輕摻雜汲極(lightly doped region, LDD)區，利用相同製程步驟所形成。

就另一觀點，本發明也提供了一種高壓元件製造方法，包含：提供一第一導電型基板，其具有一上表面，且另有一低壓元件形成於該基板中；形成一漂移區於該上表面下方，其具有第二導電型；形成一閘極於該上表面上方，且至少部分該漂移區位於該閘極下方；分別形成一源極與一汲極於閘極兩側之上表面下方，皆具有第二導電型，且該汲極位於該漂移區中，而該汲極與該閘極間，由該漂移區隔開；以及形成一緩和區於該上表面下方之該漂移區中，具有第二導電型，且該緩和區介於該閘極與該汲極之間，且該緩和區與該低壓元件中之一輕摻雜汲極(lightly doped region, LDD)區，利用相同製程步驟

所形成。

其中一種較佳的實施例中，上述高壓元件中，該低壓元件宜更包含一低壓閘極，形成於該上表面上方；以及一低壓源極與一低壓汲極，具有第二導電型，分別形成於該低壓閘極兩側之該上表面下方，且由上視圖視之，該低壓源極或/且該低壓汲極位於該輕摻雜汲極區中；其中，該輕摻雜汲極區用以緩和該低壓元件操作時之熱載子效應。

另一種較佳實施例中，上述高壓元件宜更包含一第二導電型隔絕區，形成於該上表面下方，且該漂移區、該源極、該汲極、與該緩和區位於該隔絕區中；以及一第一導電型井區，形成於該上表面下方該隔絕區中，且該隔絕區與該漂移區、該源極、該汲極、以及該緩和區之間，由該井區隔開；其中，該高壓元件係一雙擴散汲極金屬氧化物半導體(double diffused drain metal oxide semiconductor, DDDMOS)元件。

又一種更佳實施例中，該高壓元件宜更包含：一第一導電型本體區，形成於該上表面下方，且該源極位於該本體區中，且部分該本體區與該漂移區在水平方向上互相鄰接；以及一第一導電型本體極，形成於該上表面下方之該本體區中；其中，該高壓元件係一橫向雙擴散金屬氧化物半導體(lateral double diffused metal oxide semiconductor, LDMOS)元件。

上述高壓元件中，其中該輕摻雜汲極區利用一離子植入技術完成，其製程參數根據該第二導電型為 N 型或 P 型而宜有所不同：第二導電型為 N 型時：植入離子為含磷離子，加速電壓為 30~120 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm²；以及第二導電型為 P 型時：植入離子為含硼離子，加速

電壓為 10~100 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm² 或植入離子為含二氟化硼離子，加速電壓為 30~140 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm²。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明中的圖式均屬示意，主要意在表示製程步驟以及各層之間之上下次序關係，至於形狀、厚度與寬度則並未依照比例繪製。

請參閱第 3 圖，顯示本發明的第一個實施例。本實施例顯示本發明應用於 DDDMOS 元件 300 之剖視示意圖。如圖所示，DDDMOS 元件 300 形成於基板 11 中，且基板 11 具有上表面 111 與絕緣區 32；其中絕緣區 32 用以電性隔絕 DDDMOS 元件 300 與基板 11 中其他元件。絕緣區 32 例如為 LOCOS 結構或如圖所示之 STI 結構。基板 11 例如為 P 型但不限於為 P 型。DDDMOS 元件 300 包含閘極 33、N 型漂移區 34、N 型源極 35、N 型汲極 36、N 型隔絕區 39、N 型緩和區 31、P 型井區 37、以及 P 型本體極 38。其中，閘極 33 形成於上表面 111 上方。N 型漂移區 34、N 型源極 35、N 型汲極 36、N 型隔絕區 39、以及 N 型緩和區 31 形成於上表面 111 下方，係由微影技術且/或以部分或全部之閘極 33、絕緣區 32 為遮罩，以定義各區域，並分別以離子植入技術，將 N 型雜質，以加速離子的形式，植入定義的區域內所形成；而 P 型井區 37 以及 P 型本體極 38 形成於上表面 111 下方，由微影技術且/或以部分或全部之閘極 33、絕緣區 32 為遮罩，

定義該區域，並以離子植入技術，將 P 型雜質，以加速離子的形式，植入定義的區域內所形成。其中，源極 35 與汲極 36 分別位於閘極 33 兩側下方。汲極 36 位於漂移區 34 中，而汲極 36 與閘極 33 間，由漂移區 34 隔開，且至少部分漂移區 34 位於閘極 33 下方。且漂移區 34、源極 35、汲極 36、與緩和區 31 位於隔絕區 39 中。另外，隔絕區 39 與漂移區 34、源極 35、汲極 36、以及緩和區 31 之間，由井區 37 隔開。

與先前技術不同的是，在本實施例中，DDD MOS 元件 300 具有緩和區 31，形成於基板 11 上表面下方之漂移區 34 中，且緩和區 31 介於閘極 33 與汲極 36 之間，且緩和區 31 與同樣形成於基板 11 中之低壓元件之輕摻雜汲極(lightly doped region, LDD)區，利用相同製程步驟所形成。此外，DDD MOS 元件可具有或省略 N 型隔絕區 39、P 型井區 37 以及 P 型本體極 38。

此種安排方式的優點，在製程上可以但不限於利用形成於同一基板 11 中之低壓元件相同製程步驟，而不需要另外新增光罩或製程步驟，故可降低製造成本。

第 4A-4F 圖顯示本發明的第二個實施例。本實施例舉例說明本發明之第一個實施例 DDD MOS 元件 300 的製造方法。並說明如何利用基板 11 中之低壓元件製程，來完成本發明之高壓元件。為方便說明，第 4A-4F 圖中，由左而右以橫向虛線示意分開但形成於基板 11 的兩個不同元件；分別為低壓 NMOS 元件 400、以及本發明之高壓元件，例如但不限於如圖所示之 DDD MOS 元件 300。如第 4A 圖所示，首先提供例如但不限於 P 型基板 11，其具有上表面 111。接著於 P 型基板 11 中，分別於低壓 NMOS 元件 400 中上表面 111 下方形

成 P 型井區 47，於 DDDMOS 元件 300 中，上表面 111 下方形成絕緣區 32、N 型隔絕區 39、P 型井區 37、以及 N 型漂移區 34。

接著於 P 型基板 11 中，如第 4B 圖所示，於上表面 111 上，分別於低壓 NMOS 元件 400 中形成閘極 43，於 DDDMOS 元件 300 中形成閘極 33。

接下來，如第 4C 圖所示，利用同一光罩所形成之光阻 31b 或其他遮罩同時定義低壓 NMOS 元件 400 之 LDD 區 41 與高壓元件 DDDMOS 元件 300 之緩和區 31，並以如虛線箭頭所示意之 N 型雜質之加速離子植入 P 型基板 11 中，以於低壓 NMOS 元件 400 中形成 LDD 區 41，並同時於高壓元件 DDDMOS 元件 300 中形成緩和區 31。其中，N 型源極 45 與 N 型汲極 46，分別形成於閘極 43 兩側之上表面 111 下方，且由上視圖(未示出)視之，源極 45 或/且低壓汲極 46 位於輕摻雜汲極區 41 中；輕摻雜汲極區 41 用以緩和低壓 NMOS 元件 400 操作時之熱載子效應。

再接下來，如第 4D 圖所示，利用相同或不同製程步驟，於低壓 NMOS 元件 400 與高壓 DDDMOS 元件 300 中，形成 N 型源極 45 與 35、N 型汲極 46 與 36。其中，由上視圖(未示出)視之，源極 45 或/且該汲極 46 位於輕摻雜汲極區 41 中。

再接下來，如第 4E 圖所示，於高壓 DDDMOS 元件 300 中，形成 P 型本體極 38。最後請參閱第 4F 圖，分別完成低壓 NMOS 元件 400 與高壓 DDDMOS 元件 300。

需說明的是，輕摻雜汲極區 41 與緩和區 31 利用同一離子植入製程步驟完成，其製程參數根據輕摻雜汲極區 41 與緩和區 31 為 N 型或 P 型而不同：

N 型時：植入離子為含磷離子，加速電壓為 30~120 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm²；以及

P 型時：植入離子為含硼離子，加速電壓為 10~100 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm² 或植入離子為含二氟化硼離子，加速電壓為 30~140 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm²。

第 5 圖顯示本發明的第三個實施例。與第一個實施例不同的是，本實施例應用本發明於高壓 LDMOS 元件。如圖所示，LDMOS 元件 500 形成於基板 11 中，且基板 11 具有上表面 111 與絕緣區 52；其中絕緣區 52 用以電性隔絕 LDMOS 元件 500 與基板 11 中其他元件，絕緣區 52 例如為 STI 結構或如圖所示之 LOCOS 結構。基板 11 例如為 P 型但不限於為 P 型。LDMOS 元件 500 包含閘極 53、N 型漂移區 54、N 型源極 55、N 型汲極 56、N 型緩和區 51、P 型本體區 57、以及 P 型本體極 58。其中，N 型漂移區 54、N 型源極 55、N 型汲極 56、以及 N 型緩和區 51 形成於上表面 111 下方，係由微影技術且/或以部分或全部之閘極 53、絕緣區 52 為遮罩，以定義各區域，並分別以離子植入技術，將 N 型雜質，以加速離子的形式，植入定義的區域內所形成；而 P 型本體區 57 以及 P 型本體極 58 形成於上表面 111 下方，則是由微影技術且/或以部分或全部之閘極 53、絕緣區 52 為遮罩，定義該區域，並以離子植入技術，將 P 型雜質，以加速離子的形式，植入定義的區域內所形成。其中，源極 55 與汲極 56 分別位於閘極 53 兩側下方。而汲極 56 與閘極 53 間，由漂移區 54 隔開。源極 55 與本體極 58 形成於上表面 111 下方之本體區 57 中。其中，緩和區 51，形成於上表面 111 下方之漂移區 54 中，且

緩和區 51 介於閘極 53 與汲極 56 之間，且緩和區 51 與同樣形成於基板 11 中之低壓元件中之輕摻雜汲極區，利用相同製程步驟所形成。

以上已針對較佳實施例來說明本發明，唯以上所述者，僅係為使熟悉本技術者易於了解本發明的內容而已，並非用來限定本發明之權利範圍。在本發明之相同精神下，熟悉本技術者可以思及各種等效變化。例如，在不影響元件主要的特性下，可加入其他製程步驟或結構，如深井區等；又如，微影技術並不限於光罩技術，亦可包含電子束微影技術；再如，上述所有實施例中，隔絕區、漂移區、源極、汲極、緩和區等不限於為 N 型，且井區、本體區、本體極等不限於為 P 型，而可以互換，只要其他摻雜區做相應之調整即可；又如，本發明不限於應用在 DDDMOS 元件與 LDMOS 元件，亦可以應用於其他高壓元件。本發明的範圍應涵蓋上述及其他所有等效變化。

【圖式簡單說明】

- 第 1 圖顯示先前技術之 LDMOS 元件 100 剖視示意圖。
- 第 2 圖顯示先前技術之 DDDMOS 元件 200 剖視示意圖。
- 第 3 圖顯示本發明的第一個實施例。
- 第 4A-4F 圖顯示本發明的第二個實施例。
- 第 5 圖顯示本發明的第三個實施例。

【主要元件符號說明】

- | | |
|--------------------|-----------------------|
| 11 基板 | 12a 場氧化區 |
| 12, 22, 32, 52 絕緣區 | 13, 23, 33, 43, 53 閘極 |

14, 24, 34, 54 漂移區

15, 25, 35, 45, 55 源極

16, 26, 36, 46, 56 汲極

17 本體區

18, 28, 38, 58 本體極

29, 39 隔離區

31, 51 緩和區

37 井區

41 LDD 區

100, 200, 300, 500 高壓

元件

111 上表面

400 低壓元件

七、申請專利範圍：

1. 一種高壓元件，形成於一第一導電型基板中，且另有一低壓元件形成於該基板中，該基板具有一上表面，該高壓元件包含：

一漂移區，形成於該上表面下方，其具有第二導電型；

一閘極，形成於該上表面上方，且至少部分該漂移區位於該閘極下方；

一源極與一汲極，皆具有第二導電型，分別形成於閘極兩側之上表面下方，且該汲極位於該漂移區中，而該汲極與該閘極間，由該漂移區隔開；以及

一緩和區，具有第二導電型，形成於該上表面下方之該漂移區中，且該緩和區介於該閘極與該汲極之間，且該緩和區與該低壓元件中之一輕摻雜汲極(lightly doped region, LDD)區，利用相同製程步驟所形成。

2. 如申請專利範圍第 1 項所述之高壓元件，其中該低壓元件更包含：

一低壓閘極，形成於該上表面上方；以及

一低壓源極與一低壓汲極，具有第二導電型，分別形成於該低壓閘極兩側之該上表面下方，且由上視圖視之，該低壓源極或/且該低壓汲極位於該輕摻雜汲極區中；

其中，該輕摻雜汲極區用以緩和該低壓元件操作時之熱載子效應。

3. 如申請專利範圍第 1 項所述之高壓元件，更包含：

一第二導電型隔絕區，形成於該上表面下方，且該漂移區、該源極、該汲極、與該緩和區位於該隔絕區中；以及

一第一導電型井區，形成於該上表面下方該隔絕區中，且

該隔絕區與該漂移區、該源極、該汲極、以及該緩和區之間，由該井區隔開；

其中，該高壓元件係一雙擴散汲極金屬氧化物半導體 (double diffused drain metal oxide semiconductor, DDDMOS) 元件。

4. 如申請專利範圍第 1 項所述之高壓元件，更包含：

一第一導電型本體區，形成於該上表面下方，且該源極位於該本體區中；以及

一第一導電型本體極，形成於該上表面下方之該本體區中；

其中，該高壓元件係一橫向雙擴散金屬氧化物半導體 (lateral double diffused metal oxide semiconductor, LDMOS) 元件。

5. 如申請專利範圍第 2 項所述之高壓元件，其中該緩和區與該輕摻雜汲極區利用同一離子植入製程步驟完成，其製程參數根據該第二導電型為 N 型或 P 型而不同：

第二導電型為 N 型時：植入離子為含磷離子，加速電壓為 30~120 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm²；以及

第二導電型為 P 型時：植入離子為含硼離子，加速電壓為 10~100 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm² 或植入離子為含二氟化硼離子，加速電壓為 30~140 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm²。

6. 一種高壓元件製造方法，包含：

提供一第一導電型基板，其具有一上表面，且另有一低壓元件形成於該基板中；

形成一漂移區於該上表面下方，其具有第二導電型；

形成一閘極於該上表面上方，且至少部分該漂移區位於該閘極下方；

分別形成一源極與一汲極於閘極兩側之上表面下方，皆具有第二導電型，且該汲極位於該漂移區中，而該汲極與該閘極間，由該漂移區隔開；以及

形成一緩和區於該上表面下方之該漂移區中，具有第二導電型，且該緩和區介於該閘極與該汲極之間，且該緩和區與該低壓元件中之一輕摻雜汲極(lightly doped region, LDD)區，利用相同製程步驟所形成。

7. 如申請專利範圍第 6 項所述之高壓元件製造方法，其中該低壓元件更包含：

一低壓閘極，形成於該上表面上方；以及

一低壓源極與一低壓汲極，具有第二導電型，分別形成於該低壓閘極兩側之該上表面下方，且由上視圖視之，該低壓源極或/且該低壓汲極位於該輕摻雜汲極區中；

其中，該輕摻雜汲極區用以緩和該低壓元件操作時之熱載子效應。

8. 如申請專利範圍第 6 項所述之高壓元件製造方法，更包含：

形成一第二導電型隔絕區於該上表面下方，且該漂移區、該源極、該汲極、與該緩和區位於該隔絕區中；以及

形成一第一導電型井區於該上表面下方該隔絕區中，且該隔絕區與該漂移區、該源極、該汲極、以及該緩和區之間，由該井區隔開；

其中，該高壓元件係一雙擴散汲極金屬氧化物半導體(double diffused drain metal oxide semiconductor, DDDMOS)元件。

9. 如申請專利範圍第 6 項所述之高壓元件製造方法，更包含：
形成一第一導電型本體區於該上表面下方，且該源極位於該本體區中；以及

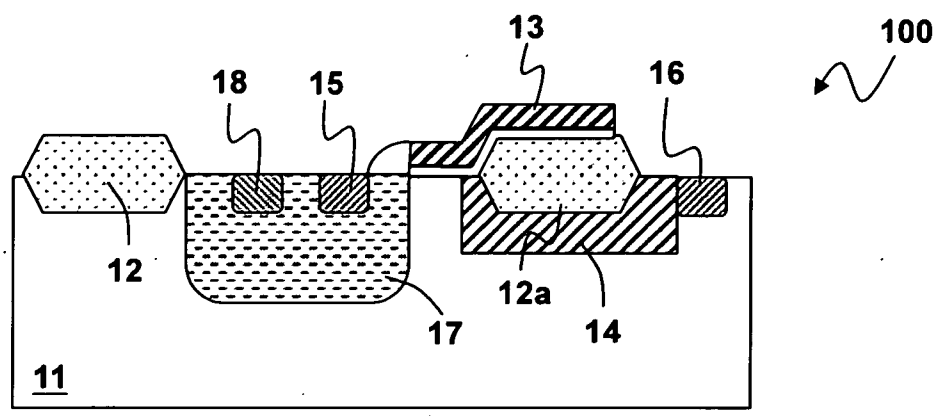
形成一第一導電型本體極於該上表面下方之該本體區中；
其中，該高壓元件係一橫向雙擴散金屬氧化物半導體 (lateral double diffused metal oxide semiconductor, LDMOS) 元件。

10. 如申請專利範圍第 7 項所述之高壓元件製造方法，其中該緩和區與該輕摻雜汲極區利用同一離子植入製程步驟完成，其製程參數根據該第二導電型為 N 型或 P 型而不同：

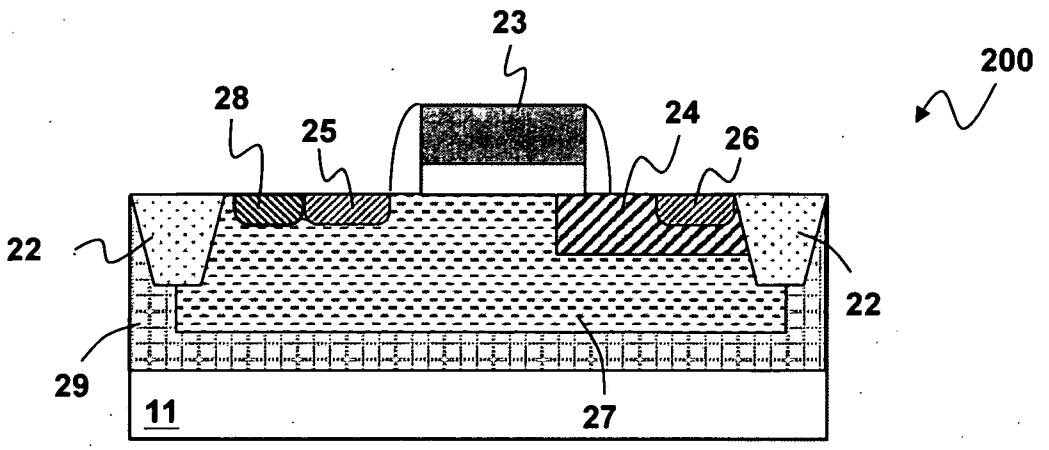
第二導電型為 N 型時：植入離子為含磷離子，加速電壓為 30~120 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm²；以及

第二導電型為 P 型時：植入離子為含硼離子，加速電壓為 10~100 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm² 或植入離子為含二氟化硼離子，加速電壓為 30~140 千伏特，植入劑量為 1×10^{13} 至 6×10^{13} 個離子/cm²。

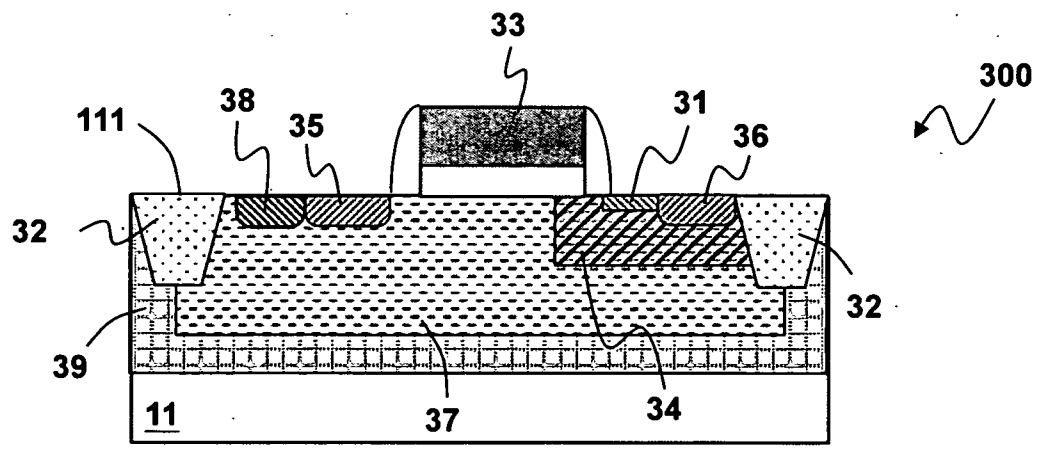
八、圖式



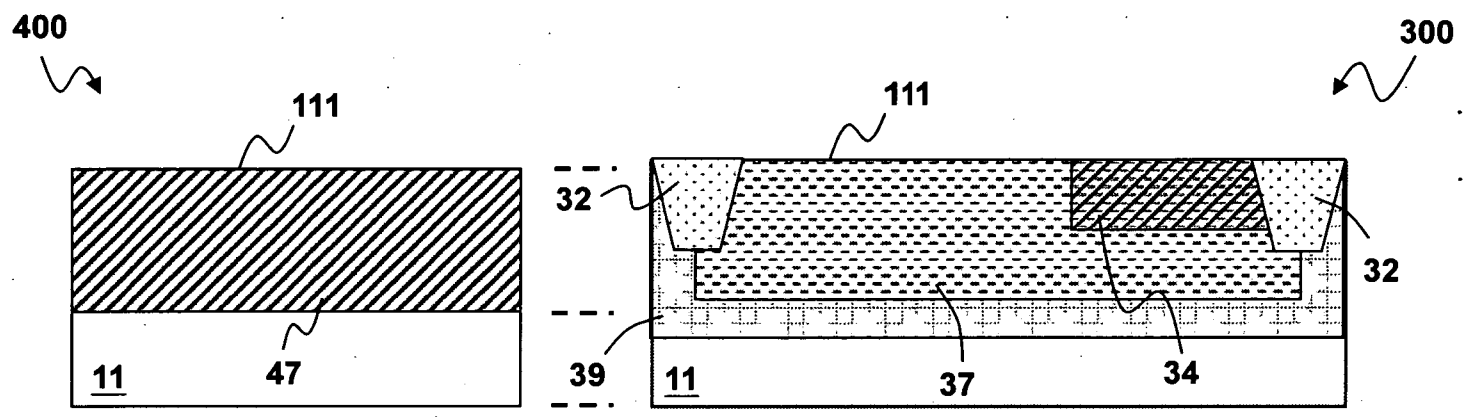
第 1 圖 (先前技術)



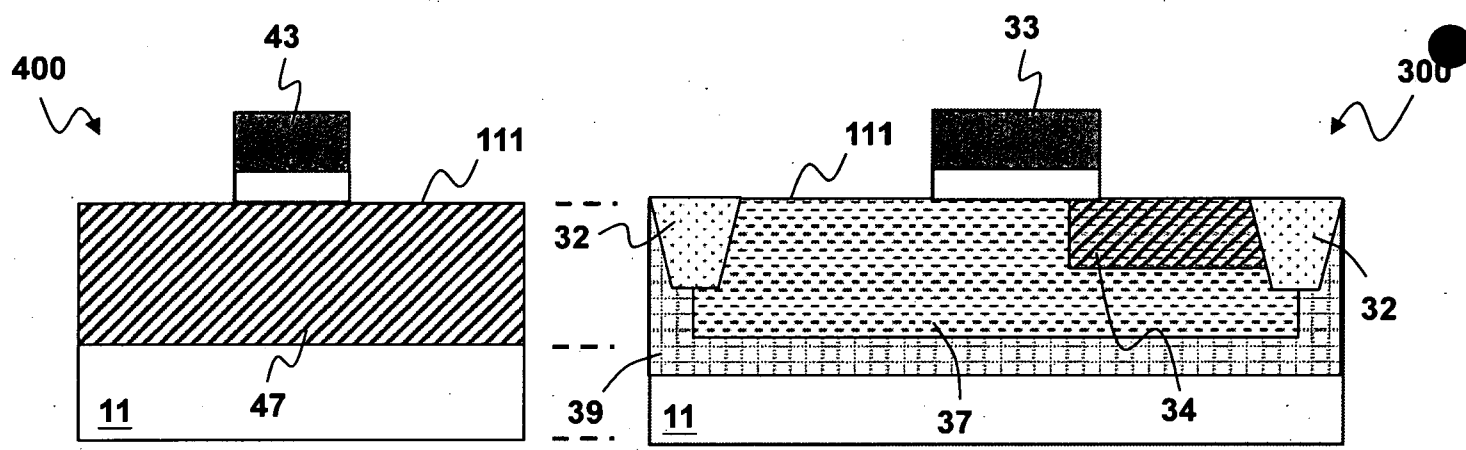
第 2 圖 (先前技術)



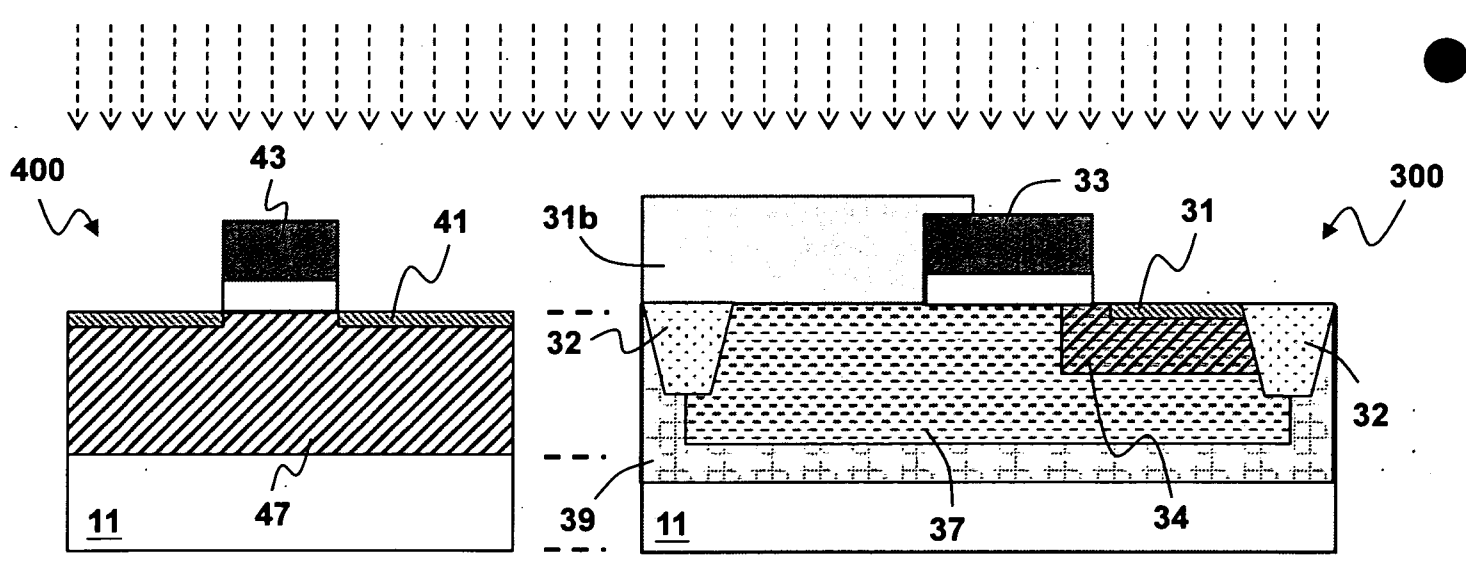
第 3 圖



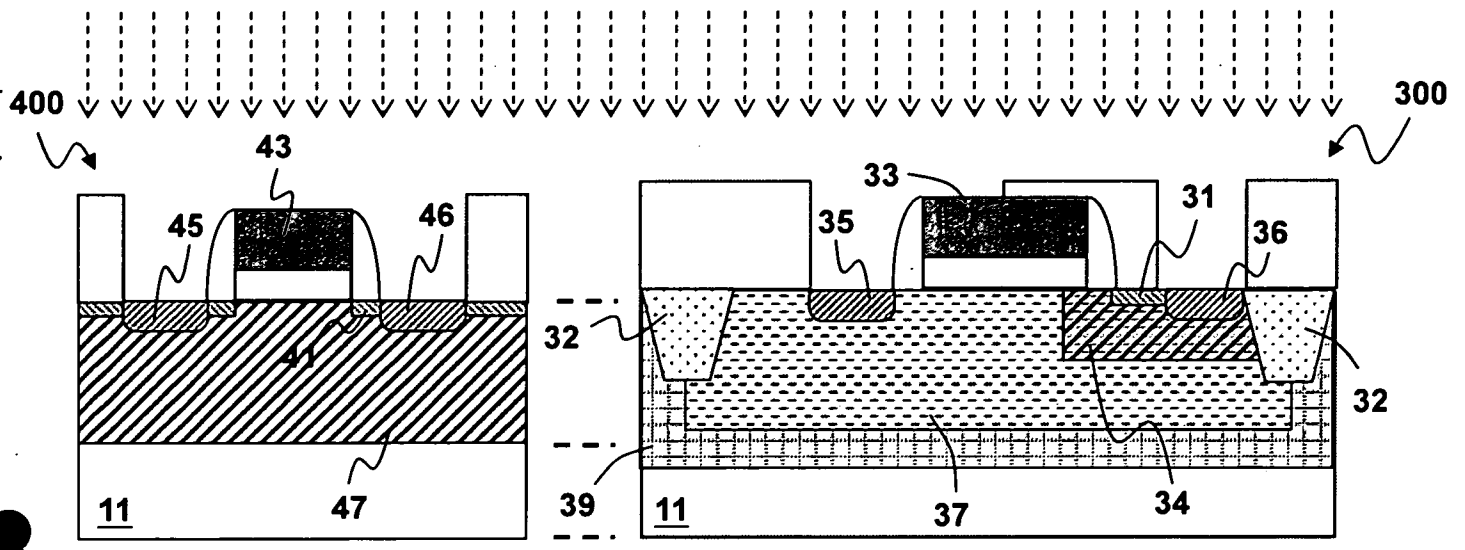
第 4A 圖



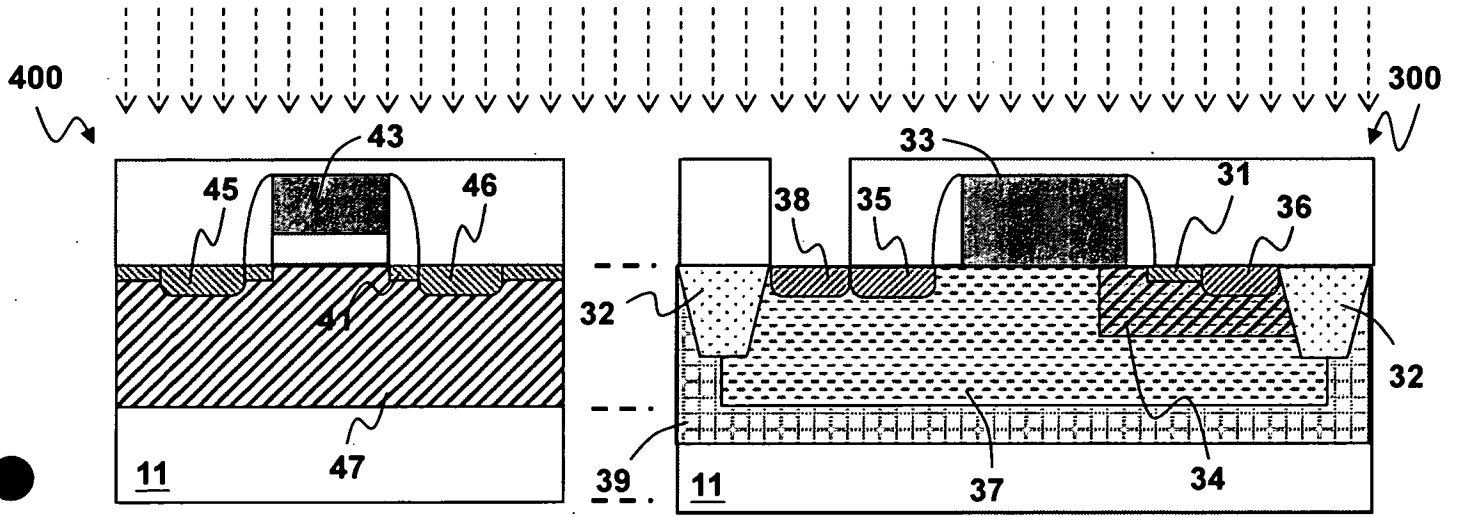
第 4B 圖



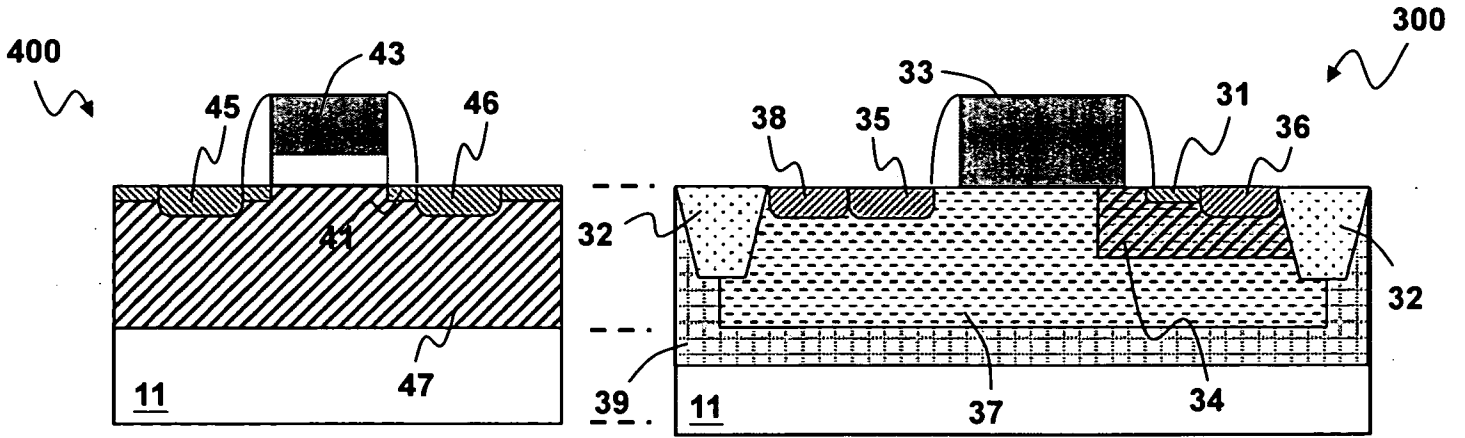
第 4C 圖



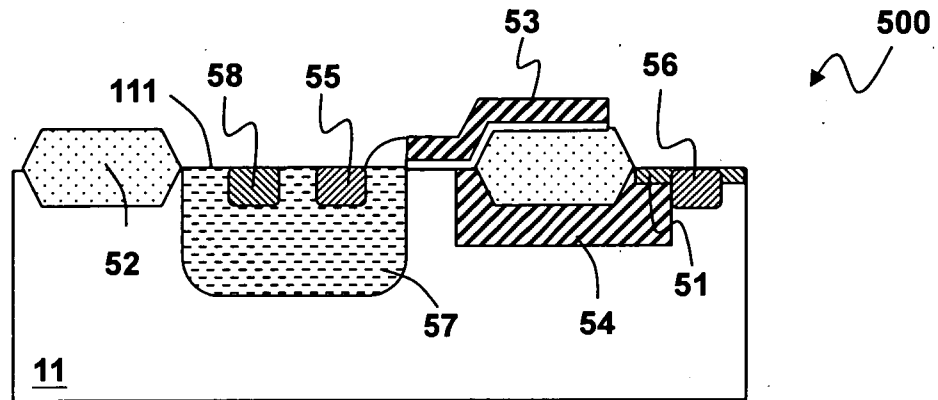
第 4D 圖



第 4E 圖



第 4F 圖



第 5 圖