



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월05일
(11) 등록번호 10-0967103
(24) 등록일자 2010년06월23일

(51) Int. Cl.

H03L 7/099 (2006.01)

(21) 출원번호 10-2008-0063174
(22) 출원일자 2008년06월30일
심사청구일자 2008년06월30일
(65) 공개번호 10-2010-0003073
(43) 공개일자 2010년01월07일
(56) 선행기술조사문헌
JP2001318731 A
KR1020040026649 A
KR1020000077451 A
KR1020040034985 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

권대한

서울특별시 노원구 상계7동 주공아파트 410-305

송택상

경기도 구리시 인창동 487-1번지 삼성래미안
402-2201

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 19 항

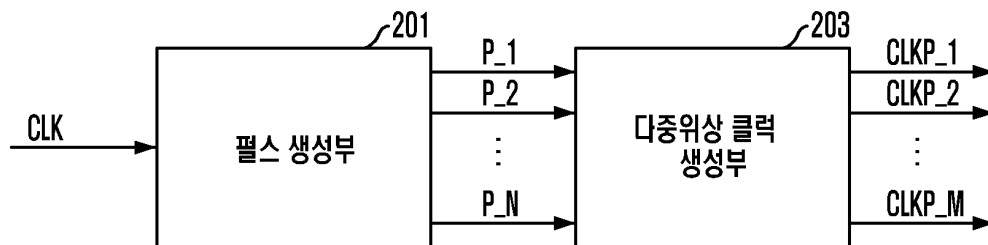
심사관 : 김기완

(54) 클럭생성회로 및 클럭생성방법

(57) 요약

본 발명은 정확한 위상차를 갖는 다중 위상 클럭을 생성하는 클럭생성회로 및 클럭생성방법에 관한 것으로서, 본 발명에 따른 클럭생성회로는 기준클럭에 기초하여 동일한 주기를 가지며 인접 펄스신호간 위상차가 제1위상차인 다수의 펄스신호를 생성하는 펄스생성부; 및 상기 다수의 펄스신호 중 상호 제2위상차의 펄스신호끼리 구성되는 펄스신호쌍을 각각 단위 입력으로하는 다수의 단위 위상클럭생성수단에 기초하여 인접 클럭간의 위상차가 상기 펄스신호쌍 간의 위상차인 다중 위상 클럭을 생성하는 다중 위상 클럭 생성부를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

기준클럭에 기초하여 동일한 주기를 가지며 인접 펄스신호간 위상차가 제1위상차인 다수의 펄스신호를 생성하는 펄스생성부; 및

상기 다수의 펄스신호 중 상호 제2위상차의 펄스신호끼리 구성되는 펄스신호쌍을 각각 단위 입력으로하는 다수의 단위 위상클럭생성수단에 기초하여 인접 클럭간의 위상차가 상기 펄스신호쌍 간의 위상차인 다중 위상 클럭을 생성하는 다중 위상 클럭 생성부

를 포함하는 클럭생성회로.

청구항 2

제 1항에 있어서,

상기 다수의 펄스신호의 에지는

상기 기준클럭의 에지에 정렬된

클럭생성회로.

청구항 3

제 1항에 있어서,

상기 펄스생성부는,

상기 기준클럭의 제1에지에 인에이블되는 상기 다수의 펄스신호를 출력하는 제1지연수단

을 포함하는 클럭생성회로.

청구항 4

제 3항에 있어서,

상기 제1지연수단은

링-오실레이터 구조를 이루는 다수의 제1지연소자

를 포함하는 클럭생성회로.

청구항 5

제 4항에 있어서,

상기 다수의 제1지연소자 중 어느 하나와 나머지는 상반된 초기값을 갖는

클럭생성회로.

청구항 6

제 3항에 있어서,

상기 기준클럭의 제2에지에 인에이블되는 상기 다수의 펄스신호를 출력하는 제2지연수단

을 더 포함하며
상기 제2지연수단은
링 타입으로 연결된 다수의 제2지연소자
를 포함하는 클럭생성회로.

청구항 7

제 6항에 있어서,
상기 다수의 제1지연소자 중 어느 하나와 나머지는 상반된 초기값을 갖는
클럭생성회로.

청구항 8

제 1항에 있어서,
상기 다중 위상 클럭 생성부는,
상기 다수의 펄스신호 쌍 중 리드 펄스신호에 응답해 인에이블되며 상기 리드 펄스신호와 상기 제2위상차만큼
차이 나는 래그 펄스신호에 응답해 디스에이블되는 제1클럭을 생성하는 다수의 상기 단위 위상클럭생성수단을 포
함하는 제1클럭 생성부; 및
상기 래그 펄스신호에 응답해 인에이블되며 상기 리드 펄스신호에 응답해 디스에이블되는 제2클럭을 생성하는
다수의 상기 단위 위상클럭생성수단을 포함하는 제2클럭 생성부
를 포함하는 클럭생성회로.

청구항 9

제 8항에 있어서,
상기 단위 위상클럭생성수단은,
풀업 트랜지스터; 풀다운 트랜지스터; 및 저장수단
을 포함하며
상기 저장수단은
상기 제1및 제2클럭의 논리레벨을 유지하는
클럭생성회로.

청구항 10

제 1항에 있어서,
상기 다중 위상 클럭의 펄스폭은,
상기 제2위상차에 의해 결정되는
클럭생성회로.

청구항 11

기준클럭의 에지에 응답해 인에이블되며 등간격으로 제1위상차를 갖는 다수의 펄스신호를 생성하는 펄스생성부;
및

상기 다수의 펄스신호 중 제2위상차를 갖는 다수의 펄스신호 쌍 중 위상이 앞선 펄스신호에 응답해 인에이블되며 위상이 뒤진 펄스신호에 응답해 디스에이블되는 제1다중 위상 클럭과, 상기 위상이 뒤진 펄스신호에 응답해 인에이블되며 상기 위상이 앞선 펄스신호에 응답해 디스에이블되는 제2다중 위상 클럭을 생성하는 다중 위상 클럭 생성부

를 포함하는 클럭생성회로.

청구항 12

제 11항에 있어서,

상기 펄스생성부는,

링-오실레이터 구조를 이루는 다수의 지연소자

를 포함하는 클럭생성회로.

청구항 13

제 12항에 있어서,

상기 다수의 지연소자 중 어느 하나와 나머지는 상반된 초기값을 갖는

클럭생성회로.

청구항 14

제 11항에 있어서,

상기 제1 및 제2다중 위상 클럭의 위상차는

상기 제2위상차를 갖는 다수의 펄스신호 쌍 간의 위상차에 의해 결정되는

클럭생성회로.

청구항 15

제 11항에 있어서,

상기 다중 위상 클럭 생성부는,

풀업 트랜지스터; 풀다운 트랜지스터; 및 저장수단

을 포함하며

상기 저장수단은

상기 제1및 제2다중 위상 클럭 각각의 논리레벨을 유지하는

클럭생성회로.

청구항 16

기준클럭에 기초하여 동일한 주기를 가지며 인접 펄스신호간 위상차가 제1위상차인 다수의 펄스신호를 생성하는 펄스생성단계;

상기 다수의 펄스신호 중 상호 제2위상차의 펄스신호끼리 펄스신호쌍으로서 결합하는 펄스신호쌍 결합단계; 및

상기 펄스신호쌍에 기초하여 인접 클럭간의 위상차가 상기 펄스신호쌍 간의 위상차인 다중 위상 클럭을 생성하

는 다중 위상 클럭 생성단계
를 포함하는 클럭생성방법.

청구항 17

제 16에 있어서,
상기 다수의 펄스신호의 에지는,
상기 기준클럭의 에지에 정렬된
클럭생성방법.

청구항 18

제 16항에 있어서,
상기 다중 위상 클럭 생성단계는,
상기 다수의 펄스신호 쌍 중에서 리드 펄스신호에 응답해 인에이블되며 상기 리드 펄스신호와 상기 제2위상차만큼
차이 나는 래그 펄스신호에 응답해 디스에이블되는 제1클럭을 생성하는 제1클럭 생성단계; 및
상기 래그 펄스신호에 응답해 인에이블되며 상기 리드 펄스신호에 응답해 디스에이블되는 제2클럭을 생성하는
제2클럭 생성단계
를 포함하는 클럭생성방법.

청구항 19

제 16항에 있어서,
상기 다중 위상 클럭의 펄스폭은,
상기 제2위상차에 의해 결정되는
클럭생성방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 클럭생성회로 및 클럭생성방법에 관한 것으로, 보다 상세하게는 클럭을 분주하여 다중위상클럭을 생성하는 클럭생성회로 및 클럭생성방법에 관한 것이다.

배경기술

[0002] 최근 들어 반도체 장치는 고속 동작을 위해 다중 위상 클럭(multi phase clock)을 사용한다. 예를 들면, 반도체 장치는 90도씩 위상차를 가지는 4개의 기준클럭을 사용하여 각 클럭의 위상차에 해당하는 펄스폭을 가지는 4개의 펄스를 생성하여 이용함으로써 기준클럭의 4배 주파수로서 고속동작을 구현한다. 다중 위상 클럭을 생성하기 위해 종래에는 위상고정루프회로(Phase Locked Loop circuit)를 사용하였다.

[0003] 도 1은 종래의 다중 위상 클럭을 생성하는 위상고정루프회로의 구성도이다.

- [0004] 도면에 도시된 바와 같이 위상고정루프회로는, 위상검출기(101), 차지펌프(103), 루프필터(105), 전압제어 발진기(107) 및 분주기(109)로 구성된다.
- [0005] 위상검출기(101)는 기준클럭(CLK)과 분주기(109)로부터 출력된 분주클럭(CLK_DIV)의 위상을 비교한다. 기준클럭(CLK)의 위상이 분주클럭(CLK_DIV)의 위상보다 빠르면 위상검출기(101)는 업신호(UP)를 출력하고 기준클럭(CLK)의 위상이 분주클럭(CLK_DIV)의 위상보다 느리면 위상검출기(101)는 다운신호(DN)를 출력한다.
- [0006] 차지펌프(103)는 업, 다운신호(UP, DN)를 전압레벨의 신호로 변환하여 루프필터(105)로 출력한다.
- [0007] 루프필터(105)는 차지펌프(103)의 출력신호에서 고주파 성분을 필터링하고 제어전압(VCTRL)을 출력한다.
- [0008] 전압제어 발진기(107)는 링-오실레이터(ring-oscillator) 구조의 지연셀(111, 113, 115, 117)로 구성된다. 즉 지연셀(111, 113, 115, 117)은 캐스캐이드 구조로 연결되며 최종 지연셀(117)의 출력신호는 최초 지연셀(111)로 입력된다. 나머지 지연셀의 출력신호는 다음 지연셀로 입력된다. 제어전압(VCTRL)에 따라 지연셀(111, 113, 115, 117)의 지연량이 조절된다.
- [0009] 다중위상클럭의 개수 및 위상차는 지연셀(111, 113, 115, 117)의 개수 및 지연량에 의해 결정된다. 예를 들어 전압제어 발진기(107)의 지연셀이 2개로 구성된 경우에는 90도 위상차의 다중위상클럭이 4개 생성되며, 도 1에 도시된 바와 같이 전압제어 발진기(107)의 지연셀(111, 113, 115, 117)이 4개로 구성된 경우에는 45도 위상차의 다중위상클럭이 8개 생성된다.
- [0010] 분주기(109)는 다중 위상 클럭(CLKP1 내지 CLKP8)을 분주하여 분주클럭(CLK_DIV)을 출력한다. 분주기(109)는 위상차 비교가 힘든 고주파의 클럭을 적절한 비율로 분주하여 나누어 낮은 주파수의 클럭을 생성한다.
- [0011] 상기 종래기술에 따르면 위상고정루프회로의 면적이 넓기 때문에 상기 위상고정루프회로를 포함하는 반도체 장치의 레이아웃(layout) 면적이 넓어지며 전력소모가 증가한다는 문제점이 있다. 또한 종래기술에 따르면 다중 위상 클럭의 위상차는 지연셀의 지연량에 의해 결정되며 따라서 상기 각 지연셀의 지연량이 외부 노이즈 등의 영향으로 모두 일치하지 않고 변동되는 경우 다중 위상 클럭의 위상차가 일정하지 않게 된다는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0012] 본 발명은 상기 문제점을 해결하기 위하여 제안된 것으로서, 작은 면적을 차지하고 전력소모가 적으며 일정한 위상차의 다중 위상 클럭을 생성하는 클럭생성회로 및 클럭생성방법을 제공하는데 그 목적이 있다.

과제 해결수단

- [0013] 상기 목적을 달성하기 위한 본 발명은, 기준클럭에 기초하여 동일한 주기를 가지며 인접 펄스신호간 위상차가 제1위상차인 다수의 펄스신호를 생성하는 펄스생성부; 및 상기 다수의 펄스신호 중 상호 제2위상차의 펄스신호끼리 구성되는 펄스신호쌍을 각각 단위 입력으로하는 다수의 단위 위상클럭생성수단에 기초하여 인접 클럭간의 위상차가 상기 펄스신호쌍 간의 위상차인 다중 위상 클럭을 생성하는 다중 위상 클럭 생성부를 포함하는 클럭생성회로를 제공한다.
- [0014] 또한 상기 목적을 달성하기 위한 본 발명은, 기준클럭의 에지에 응답해 인에이블되며 등간격으로 제1위상차를 갖는 다수의 펄스신호를 생성하는 펄스생성부; 및 상기 다수의 펄스신호 중 제2위상차를 갖는 다수의 펄스신호쌍 중 위상이 앞선 펄스신호에 응답해 인에이블되며 위상이 뒤진 펄스신호에 응답해 디스에이블되는 제1다중 위상 클럭과, 상기 위상이 뒤진 펄스신호에 응답해 인에이블되며 상기 위상이 앞선 펄스신호에 응답해 디스에이블되는 제2다중 위상 클럭을 생성하는 다중 위상 클럭 생성부를 포함하는 클럭생성회로를 제공한다.
- [0015] 또한 상기 목적을 달성하기 위한 본 발명은, 기준클럭에 기초하여 동일한 주기를 가지며 인접 펄스신호간 위상차가 제1위상차인 다수의 펄스신호를 생성하는 펄스생성단계; 상기 다수의 펄스신호 중 상호 제2위상차의 펄스신호끼리 펄스신호쌍으로서 결합하는 펄스신호쌍 결합단계; 및 상기 펄스신호쌍에 기초하여 인접 클럭간의 위상

차가 상기 펄스신호쌍 간의 위상차인 다중 위상 클럭을 생성하는 다중 위상 클럭 생성단계를 포함하는 클럭생성 방법을 제공한다.

효 과

[0016] 본 발명에 따르면, 위상고정루프회로와 같은 큰 면적의 회로를 이용하지 않음으로써 회로의 면적 및 전력 소비가 적으며, 클럭의 예지와 정렬된 펄스신호를 기초로 하여 다중위상클럭을 생성함으로써 정확한 위상차를 갖는 다중 위상 클럭을 생성할 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0018] 도 2는 본 발명의 일실시예에 따른 클럭생성회로의 구성도이다.

[0019] 도면에 도시된 바와 같이 본 발명에 따른 클럭생성회로는 펄스생성부(201)와 다중 위상 클럭 생성부(203)를 포함한다. 펄스생성부(201)는 기준클럭(CLK)에 기초하여 동일한 주기를 갖는 다수의 펄스신호(P₁ 내지 P_N)를 생성한다. 다수의 펄스신호(P₁ 내지 P_N)간의 위상차는 소정의 제1위상차이다. 다중 위상 클럭 생성부(203)는 다수의 펄스신호(P₁ 내지 P_N)에 기초하여 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성한다. 다중 위상 클럭(CLKP₁ 내지 CLKP_M)의 위상차는 다수의 펄스신호(P₁ 내지 P_N) 중 소정 펄스신호쌍간 위상차이다. 상기 소정 펄스신호쌍을 구성하는 펄스신호간 위상차는 소정의 제2위상차이다.

[0020] 펄스생성부(201)에 의해 생성되는 다수의 펄스신호(P₁ 내지 P_N)의 예지는 기준클럭(CLK)의 라이징 에지 또는 폴링 에지에 정렬된다. 여기서, 기준클럭(CLK)은 다중 위상 클럭(CLKP₁ 내지 CLKP_M)의 기초가 되는 클럭이다. 다수의 펄스신호(P₁ 내지 P_N)는 기준클럭(CLK)의 라이징 에지 또는 폴링 에지에 응답해 하이레벨로 인에이블되며 다수의 펄스신호(P₁ 내지 P_N)의 주기는 동일하다.

[0021] 예컨대 기준클럭(CLK)의 라이징 에지에 응답해 하이레벨로 인에이블되는 여섯개의 펄스신호(P₁ 내지 P₆)가 생성된다고 하면 6개의 펄스신호(P₁ 내지 P₆)의 주기는 기준클럭(CLK)의 주기의 6배가 된다. 그리고 6개의 펄스신호(P₁ 내지 P₆)간의 위상차, 즉 상기 제1위상차는 60도이다. 그리고 기준클럭(CLK)의 라이징 에지와 폴링 에지에 응답해 하이레벨로 인에이블되는 8개의 펄스신호(P₁ 내지 P₈)가 생성된다면 8개의 펄스신호(P₁ 내지 P₈)의 주기는 기준클럭(CLK)의 4배가 된다. 그리고 8개의 펄스신호(P₁ 내지 P₈)간의 위상차, 즉 상기 제1위상차는 45도이다.

[0022] 종래 기술에 따르면 도 1에 도시된 지연셀(111, 113, 115, 117)의 지연량에 기초하여 다중 위상 클럭이 생성된다. 따라서 도 1에 도시된 다수의 지연셀(111, 113, 115, 117) 각각의 지연량이 동일해야만 일정한 위상차의 상기 다중 위상 클럭이 생성된다. 그러나 본 발명에 따르면 기준클럭(CLK)의 예지에 정렬되는 다수의 펄스신호(P₁ 내지 P₈)에 기초하여 일정한 위상차의 다중 위상 클럭(CLKP₁ 내지 CLKP_M)이 생성되며, 다중 위상 클럭(CLKP₁ 내지 CLKP_M)의 위상차는 지연량과 무관하다.

[0023] 다중 위상 클럭 생성부(203)는 다수의 펄스신호 쌍에 응답해 인에이블 및 디스에이블되는 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성한다. 따라서 다중 위상 클럭의 위상차(CLKP₁ 내지 CLKP_M)는 상기 다수의 펄스신호 쌍 간의 위상차가 된다. 여기서 다중 위상 클럭 생성부(203)는 다수의 펄스신호(P₁ 내지 P_N) 전부 또는 일부에 기초하여 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성한다. 그리고 다중 위상 클럭(CLKP₁ 내지 CLKP_M)간 위상차는 모두 동일하므로 상기 다수의 펄스신호 쌍은 다중 위상 클럭(CLKP₁ 내지 CLKP_M)간 위상차가 모두 동일하도록 결정되는 것이 바람직하다.

[0024] 다중 위상 클럭(CLKP₁ 내지 CLKP_M)간 위상차와 관련, 이하에서는 제2위상차 및 펄스신호 쌍간의 위상차에 대하여 설명된다.

[0025] 예컨대 펄스생성부(201)에 의해 생성된 6개 펄스신호(P₁ 내지 P₆)의 위상차, 즉 제1위상차가 60도이며 상기 제2위상차를 제1펄스신호(P₁)와 제4펄스신호(P₄)의 위상차로 할 경우 다중 위상 클럭 생성부(203)는 6개의 펄

스신호(P₁ 내지 P₆)를 모두 이용하여 다중 위상 클럭(CLKP₁ 내지 CLKP₆)을 생성할 수 있다. 이 때 3개의 펄스신호 쌍이 생기며 3개의 펄스신호 쌍 간의 위상차는 60도이므로 다중 위상 클럭(CLKP₁ 내지 CLKP₆)의 위상차는 60도이다.

- [0026] 그러나 예컨대 펄스생성부(201)에서 생성된 8개의 펄스신호(P₁ 내지 P₈)의 위상차, 즉 제1위상차가 45도이며 상기 제2위상차를 제1펄스신호(P₁)와 제5 펄스신호(P₅)의 위상차로 한다면 다중 위상 클럭 생성부(203)는 8개의 펄스신호(P₁ 내지 P₈)를 모두 이용하여 다중 위상 클럭(CLKP₁ 내지 CLKP₈)을 생성하거나 4개의 펄스신호(P₁, P₃, P₅, P₇)만을 이용하여 다중 위상 클럭(CLKP₁, CLKP₃, CLKP₅, CLKP₇)을 생성할 수 있다.
- [0027] 이때 8개의 펄스신호(P₁ 내지 P₈)를 모두 이용할 경우 4개의 펄스신호 쌍이 생기며 상기 4개의 펄스신호 쌍 간의 위상차는 45도이므로 다중 위상 클럭(CLKP₁ 내지 CLKP₈)의 위상차는 45도이다. 그러나 4개의 펄스신호(P₁, P₃, P₅, P₇)만을 이용할 경우 2개의 펄스신호 쌍이 생기며 상기 2개의 펄스신호 쌍 간의 위상차는 8개의 펄스신호(P₁ 내지 P₈)를 모두 이용할 경우의 두배인 90도가 된다. 따라서 이 경우 다중 위상 클럭의 위상차(CLKP₁, CLKP₃, CLKP₅, CLKP₇)는 90도가 된다.
- [0028] 즉, 본 발명에 따르면 다중 위상 클럭(CLKP₁ 내지 CLKP_M)간의 위상차는 상기 제2위상차의 펄스신호 쌍 간의 위상차에 의해 결정된다.
- [0029] 한편, 본 발명에 따르면 다중 위상 클럭(CLKP₁ 내지 CLKP_M)의 펄스폭은 상기 제2위상차에 의해 결정된다. 다수의 펄스신호(P₁ 내지 P_N)를 모두 이용하여 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성하지 않는 경우에도 다수의 펄스신호(P₁ 내지 P_N)를 모두 이용하여 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성하는 경우와 상기 제2위상차가 동일하므로 다중 위상 클럭(CLKP₁ 내지 CLKP_M)의 펄스폭은 서로 동일하다.
- [0030] 정리하면, 펄스생성부(201)는 기준클럭(CLK)과 예지 정렬된 다수의 펄스신호(P₁ 내지 P_N)를 생성한다. 다수의 펄스신호(P₁ 내지 P_N)는 서로 동일한 주기를 가지며 인접 펄스신호간 위상차는 제1위상차이다. 다중 위상 클럭 생성부(203)는 다수의 펄스신호(P₁ 내지 P_N) 중 상기 제2위상차를 갖는 다수의 펄스신호 쌍을 이용하여 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성한다. 다중 위상 클럭(CLKP₁ 내지 CLKP_M)의 위상차는 상기 제2위상차를 갖는 다수의 펄스신호 쌍 간의 위상차에 의해 결정되며 다중 위상 클럭(CLKP₁ 내지 CLKP_M)의 펄스폭은 상기 제2위상차에 의해 결정된다.
- [0031] 상기된 바와 같이 본 발명에 따른 클럭생성회로는 기준클럭(CLK)에 정렬된 다수의 펄스신호(P₁ 내지 P_N)를 이용하여 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성할 수 있다. 즉, 본 발명에 따른 클럭생성회로는 종래기술에 따른 지연량을 사용하지 않기 때문에 전압제어 발진기(107)의 지연량이 변해 다중 위상 클럭(CLKP₁ 내지 CLKP_M)의 위상차가 변하는 문제점을 해결할 수 있다. 또한 본 발명은 레이아웃 면적이 넓은 위상고정루프를 사용하지 않고 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성함으로써 레이아웃 면적 및 전력소모를 줄일 수 있다.
- [0032] 도 3은 도2의 펄스생성부(201)의 상세 구성도로서, 8개의 펄스신호를 생성하는 펄스생성부(201)를 예시한 도면이다.
- [0033] 도면에 도시된 바와 같이 펄스생성부(201)는 기준클럭(CLK)의 제1에지에 응답해 인에이블되는 4개의 펄스신호(P₁, P₃, P₅, P₇)를 출력하는 제1지연수단(301)을 포함한다. 기준클럭(CLK)의 제2에지에 응답해 인에이블되는 4개의 펄스신호(P₂, P₄, P₆, P₈)를 출력하는 제2지연수단(331)을 선택적으로 더 포함할 수 있다.
- [0034] 기준클럭(CLK)의 제1에지 및 제2에지 중 어느 하나는 라이징 에지이고 나머지는 폴링 에지이다. 도 3에서 제1 및 제2에지는 예시적으로 각각 라이징 에지 및 폴링 에지이다.
- [0035] 펄스생성부(201)가 4개의 펄스신호를 생성하는 제1지연수단만(301)을 포함한다면 상기 제1위상차는 90도가 되며 나머지 4개의 펄스신호를 생성하는 제2지연수단(331)도 포함한다면 상기 제1위상차는 45도가 된다. 이하 펄스생성부(201)가 제1지연수단(301)과 제2지연수단(331)을 모두 포함하고 있는 경우를 도면과 함께 설명한다.
- [0036] 제1 및 제2지연수단 각각(301, 331)은 링-오실레이터 구조로 구성된 다수의 지연소자(311 내지 314, 341 내지 344)를 포함한다. 즉, 다수의 지연소자(311 내지 314, 341 내지 344)는 캐스캐이드 구조로 연결되며 최종 지연소자(314, 344)의 출력신호는 최초 지연소자(311, 341)로 입력된다. 나머지 지연소자의 출력신호는 다음 지연소자로 입력된다.
- [0037] 따라서 다수의 지연소자(311 내지 314, 341 내지 344)는 초기 동작시 초기레벨을 가진다. 본 발명에 따르면 펄

스생성부(201)가 펄스신호를 생성할 수 있도록 제1지연수단(301)의 다수의 제1지연소자(311 내지 314) 중 하나와 제2지연수단(331)의 다수의 제2지연소자(341 내지 344) 중 하나는 나머지 지연소자의 초기레벨과 반전된 레벨의 초기레벨을 갖는다. 도 3에서는 예시적으로 다수의 제1지연소자 및 제2지연소자(311 내지 314, 341 내지 344) 중에서 최종 지연소자(314, 344)만 하이레벨을 초기레벨(set)로 가지며 나머지 지연소자는 로우레벨을 초기레벨(reset)로 갖는다.

- [0038] 도 3은 지연소자의 일실시예로서 플립플롭(311 내지 314, 341 내지 344)을 도시한다.
- [0039] 제1지연수단(301)에서 플립플롭(311 내지 314)은 기준클럭(CLK)의 라이징 에지에서 입력값을 래치하여 기준클럭(CLK)의 다음 라이징 에지까지 유지한다. 예를 들어 기준클럭(CLK)의 제1라이징 에지에서 마지막 플립플롭(314)의 초기레벨(set)인 하이레벨이 제1플립플롭(311)에 입력되고 제1플립플롭(311)은 기준클럭(CLK)의 제1라이징 에지에서 하이레벨을 래치하여 제2플립플롭(312)으로 출력한다. 제2플립플롭(313)은 기준클럭(CLK)의 제2라이징 에지에서 하이레벨을 래치하며 출력한다.
- [0040] 이와 같은 원리로 제1지연수단(301)은 90도의 위상차를 상기 제1위상차로 갖고 기준클럭(CLK)의 주기의 4배의 주기를 갖는 4개의 펄스신호(P_1, P_3, P_5, P_7)를 출력한다.
- [0041] 제2지연수단(331)의 플립플롭(341 내지 344)은 기준클럭(CLK)의 폴링 에지에 응답하여 다수의 펄스신호(P_2, P_4, P_6, P_8)를 출력한다. 즉, 플립플롭(341 내지 344)은 반전된 기준클럭(CLK)의 라이징 에지에서 입력값을 래치한다. 제2지연수단(331)은 제1지연수단(301)의 동작과 같은 원리로 90도의 위상차를 상기 제1위상차로 갖고 기준클럭(CLK)의 주기의 4배의 주기를 갖는 4개의 펄스신호(P_2, P_4, P_6, P_8)를 출력한다.
- [0042] 상기 언급된 바와 같이 제1지연수단(301)에서 출력되는 다수의 펄스신호(P_1, P_3, P_5, P_7)는 기준클럭(CLK)의 라이징 에지에 하이레벨로 인에이블되며 제2지연수단(331)에서 출력되는 다수의 펄스신호(P_2, P_4, P_6, P_8)는 기준클럭(CLK)의 폴링에지에 인에이블된다. 따라서 펄스생성부(201)는 등간격으로 45도를 상기 제1위상차로 하며 기준클럭(CLK)의 주기의 4배의 주기를 갖는 8개의 펄스신호(P_1 내지 P_8)를 생성할 수 있다.
- [0043] 지연소자가 많이 채용될수록 많은 펄스신호가 생성될 수 있으며 제1지연수단(301) 또는 제2지연수단(331) 중 하나만 채용될 경우 제1지연수단(301)과 제2지연수단(331) 모두가 채용되는 경우의 두배의 위상차를 상기 제1위상차로 하는 펄스신호가 생성될 수 있다.
- [0044] 한편 플립플롭(311 내지 314, 341 내지 344)은 반전된 8개의 펄스신호(P_1B 내지 P_8B)도 생성하는데 이는 후술하는 다중 위상 클럭 생성부(203)에서 이용된다.
- [0045] 도 4는 도2의 다중 위상 클럭 생성부(203)의 상세 구성도이다.
- [0046] 도면에 도시된 바와 같이 다중 위상 클럭 생성부(203)는, 상기 제2위상차를 갖는 다수의 펄스신호 쌍 중에서 리드 펄스신호(P_1 내지 P_4)에 응답해 인에이블되며 리드 펄스신호(P_1 내지 P_4)와 상기 제2위상차만큼 차이나는 래그 펄스신호(P_5 내지 P_8)에 응답해 디스에이블되는 제 1클럭(CLKP_1 내지 CLKP_4)을 생성하는 다수의 단위 위상클럭생성수단(411 내지 414)을 포함하는 제1클럭 생성부(401); 및 래그 펄스신호(P_5 내지 P_8)에 응답해 인에이블되며 리드 펄스신호(P_1 내지 P_4)에 응답해 디스에이블되는 제2클럭(CLKP_5 내지 CLKP_8)을 생성하는 다수의 단위 위상클럭생성수단(441 내지 444)을 포함하는 제2클럭 생성부(403)를 포함한다.
- [0047] 여기서 리드 펄스신호란 다수의 펄스신호 쌍 각각에서 위상이 앞선 펄스신호를 의미하며 래그 펄스신호란 상기 리드 펄스신호와 제2위상차만큼 차이나는 펄스신호를 의미한다.
- [0048] 제1 및 제2클럭 생성부(401, 403)는 풀업 트랜지스터(T1 내지 T8); 풀다운 트랜지스터(T9 내지 T16); 및 저장수단(421 내지 424, 451 내지 454)을 포함하는 다수의 단위 위상클럭생성수단(411 내지 414, 441 내지 444)을 포함한다. 저장수단(421 내지 424, 451 내지 454)은 제1및 제2클럭(clkp_1 내지 clkp_8)의 논리레벨을 유지한다.
- [0049] 제1클럭 생성부(401)의 다수의 단위 위상클럭생성수단(411 내지 414)에 포함된 풀업 트랜지스터(T1 내지 T4) 각각과 풀다운 트랜지스터(T9 내지 T12) 각각은 직렬 연결된다. 풀업 트랜지스터(T1 내지 T4)는 반전된 리드 펄스신호(P_1B 내지 P_4B)에 의해 턴온된다. 풀다운 트랜지스터(T9 내지 T12)는 래그 펄스신호(P_5 내지 P_8)에 의해 턴온된다. 저장수단(421 내지 424)은 풀업 트랜지스터(T1 내지 T4)와 풀다운 트랜지스터(T9 내지 T12)의 출력단에 연결되어 풀업 트랜지스터(T1 내지 T4)의 턴온 시점과 풀다운 트랜지스터(T9 내지 T12)의 턴온 시점사이에서 제1및 제2클럭(CLKP_1 내지 CLKP_8)의 논리레벨을 유지한다.

- [0050] 제2클럭 생성부(431)의 다수의 단위 위상클럭생성수단(441 내지 444)에 포함된 풀업 트랜지스터(T5 내지 T8) 각각과 풀다운 트랜지스터(T13 내지 T16) 각각은 직렬 연결된다. 풀업 트랜지스터(T5 내지 T8)는 반전된 래그 펄스 신호(P_5B 내지 P_8B)에 의해 턴온된다. 풀다운 트랜지스터(T13 내지 T16)는 리드 펄스신호(P_1 내지 P_4)에 의해 턴온된다. 저장수단(451 내지 454)은 단위 위상클럭생성수단(411 내지 414)의 저장수단(421 내지 424)과 같은 구조로 구성되어 있다.
- [0051] 도 4에 도시된 다중 위상 클럭 생성부(203)는 예시적으로 펄스생성부(201)에 의해 생성된 8개의 펄스신호(P_1 내지 P_8)로 이루어진 4개의 펄스신호 쌍에 기초하여 8개의 다중 위상 클럭(CLKP_1 내지 CLKP_8)을 생성한다. 4개의 펄스신호 쌍을 이용하므로 제1 및 제2클럭 생성부 각각(401, 441)은 4개씩의 단위 위상클럭생성수단(411 내지 414, 441 내지 444)을 포함하고 있다.
- [0052] 또 다른 예로서, 제1 및 제2클럭생성부(401, 441)가 각각 2개의 단위 위상클럭생성수단만을 포함할 수 있으며 이 경우 다중 위상 클럭 생성부(203)는 4개의 펄스신호 쌍 중 2개의 펄스신호 쌍만을 이용하여 4개의 다중 위상 클럭을 생성할 수 있다.
- [0053] 상기 제2위상차를 갖는 소정의 펄스신호 쌍, 리드 펄스신호인 제1펄스신호(P_1)와 래그 펄스신호인 제5펄스신호(P_5)에 의해 제1 및 제2클럭 생성부(401, 431)에서 클럭을 생성하는 경우를 설명한다.
- [0054] 단위 위상클럭생성수단(411)에서 반전된 제1펄스신호(P_1B)가 풀업 트랜지스터(T1)에 인가된다. 반전된 제1펄스신호(P_1B)의 로우레벨에 제1다중 위상 클럭(CLKP_1)은 하이레벨로 인에이블된다. 그리고 반전된 제1펄스신호(P_1B)와 상기 제2위상차를 갖는 제5펄스신호(P_5)가 풀다운 트랜지스터(T3)를 턴온시킬 때까지 저장수단(421)은 다중 위상 클럭(CLKP_1)의 하이레벨을 유지한다. 이후 제5 펄스신호(P_5)의 하이레벨에 제1다중 위상 클럭(CLKP_1)은 로우레벨로 디스에이블된다. 그리고 제5펄스신호(P_5)와 상기 제2위상차를 갖는 제1 펄스신호(P_1)가 다시 풀업 트랜지스터(T1)를 턴온시킬 때까지 저장수단(421)은 제1다중 위상 클럭(CLKP_1)의 로우레벨을 유지한다.
- [0055] 단위 위상클럭생성수단(441)에서 반전된 제5펄스신호(P_5B)가 풀업 트랜지스터(T5)에 인가된다. 반전된 제5펄스신호(P_5B)의 로우레벨에 제5다중 위상 클럭(CLKP_5)은 하이레벨로 인에이블된다. 그리고 제5펄스신호(P_5)와 제2위상차를 갖는 제1펄스신호(P_1)가 풀다운 트랜지스터(T13)를 턴온시킬 때까지 저장수단(451)은 제5다중 위상 클럭(CLKP_5)의 하이레벨을 유지시킨다. 이후 제1펄스신호(P_1)의 하이레벨에 제5다중 위상 클럭(CLKP_5)은 로우레벨로 디스에이블된다. 그리고 제1펄스신호(P_1)와 상기 제2위상차를 갖는 반전된 제5펄스신호(P_5B)가 다시 풀업 트랜지스터(T5)를 턴온시킬 때까지 저장수단(451)은 제5다중 위상 클럭(CLKP_5)의 로우레벨을 유지한다.
- [0056] 도 2에서 검토한 바와 같이 2개의 펄스신호 쌍을 이용할 경우 제1클럭 생성부(401)는 단위 위상클럭생성수단(411, 413), 제2클럭 생성부(441)는 단위 위상클럭생성수단(441, 443)을 포함하며 다중 위상 클럭 생성부(203)는 4개의 다중 위상 클럭(CLKP_1, CLKP_3, CLKP_5, CLKP_7)을 생성할 수 있다.
- [0057] 도 5a 및 도 5b는 본 발명의 전체동작을 도시한 타이밍도이다.
- [0058] 도5a는 8개의 다중 위상 클럭(CLKP_1 내지 CLKP_8)을 생성하는 경우를 도시하고 있으며 도5b는 4개의 다중 위상 클럭(CLKP_1, CLKP_3, CLKP_5, CLKP_7)을 생성하는 경우를 도시하고 있다. 실선과 점선은 서로 반전된 관계이다. 예컨대 기준클럭(CLK)은 실선이며 반전된 기준클럭(CLKB)은 점선이다.
- [0059] 도 5a 및 도 5b 모두 펄스생성부(201)는 등간격으로 45도의 위상차를 상기 제1위상차로 하며 동일한 주기를 갖는 8개의 펄스신호(P_1 내지 P_8)를 생성한다. 8개의 펄스신호(P_1 내지 P_8) 중 제1지연수단(301)에 의해 생성된 4개의 펄스신호(P_1, P_3, P_5, P_7)의 라이징 에지는 기준클럭(CLK)의 라이징 에지와 일치하며 제2지연수단(331)에 의해 생성된 4개의 펄스신호(P_2, P_4, P_6, P_8)의 라이징 에지는 기준클럭(CLK)의 폴링 에지와 일치한다.
- [0060] 도5a에서 다중 위상 클럭 생성부(203)는 8개의 다중 위상 클럭(CLKP_1 내지 CLKP_8)을 생성한다. 상기 제2위상차는 180도로서 펄스발생부(201)에서 생성되는 8개의 펄스신호(P_1 내지 P_8) 중에서 상기 제2위상차를 갖는 펄스신호 쌍, 제1 펄스신호(P_1)와 제5펄스신호(P_5) 쌍, 제2펄스신호(P_2)와 제6펄스신호(P_6) 쌍, 제3펄스신호(P_3)와 제7펄스신호(P_7) 쌍, 제4펄스신호(P_4)와 제8펄스신호(P_8) 쌍 간의 위상차는 45도이다. 8개의 다중 위상 클럭(CLKP_1 내지 CLKP_8)의 위상차는 8개의 펄스신호(P_1 내지 P_8) 중에서 180도를 제2위상차로 갖는 펄

스신호 쌍 간의 위상차인 45도이다.

- [0061] 제1펄스신호(P₁)와 제5펄스신호(P₅)에 의해 다중 위상 클럭(CLKP₁, CLKP₅)이 생성되는 경우를 살펴보면, 제1클럭 생성부(401)에서 제1펄스신호(P₁)의 라이징 에지에 응답해 하이레벨로 인에이블되며 제5펄스신호(P₅)에 응답해 로우레벨로 디스에이블되는 제1다중 위상 클럭(CLKP₁)이 생성된다. 제2클럭 생성부(431)에서 제5펄스신호(P₅)에 응답해 하이레벨로 인에이블되며 제1펄스신호(P₁)에 응답해 로우레벨로 디스에이블되는 제5다중 위상 클럭(CLKP₅)이 생성된다. 다른 펄스신호 쌍에 의해서 제2 내지 제4 다중 위상 클럭(CLKP₂ 내지 CLKP₄)과 제6 내지 제8 다중 위상 클럭(CLKP₆ 내지 CLKP₈)이 생성된다.
- [0062] 8개 다중 위상 클럭(CLKP₁ 내지 CLKP₈)의 펄스폭은 상기 제2위상차를 갖는 펄스신호 쌍, 제1펄스신호(P₁)와 제5펄스신호(P₅)의 라이징 에지 간의 간격만큼이다.
- [0063] 도 5b에서 다중 위상 클럭 생성부(203)는 도 5a와는 달리 4개의 펄스신호(P₁, P₃, P₅, P₇)를 이용하여 네개의 다중 위상 클럭(CLKP₁, CLKP₃, CLKP₅, CLKP₇)을 생성한다. 상기 제2위상차는 180로서 도 5a의 경우와 동일하며 펄스생성부(201)에서 생성되는 8개의 펄스신호(P₁ 내지 P₈)중에서 펄스신호 쌍, 제1펄스신호(P₁)와 제5펄스신호(P₅) 쌍, 제3펄스신호(P₃)와 제7펄스신호(P₇) 쌍 간의 위상차는 90도이다. 4개의 다중 위상 클럭(CLKP₁, CLKP₃, CLKP₅, CLKP₇)의 위상차는 8개의 펄스신호(P₁ 내지 P₈) 중에서 180도를 제2위상차로 갖는 펄스신호 쌍 간의 위상차인 90도이다.
- [0064] 제1펄스신호(P₁)와 제5펄스신호(P₅)에 의해 다중 위상 클럭(CLKP₁, CLKP₅)이 생성되는 경우를 살펴보면, 제1클럭 생성부(401)에서 제1펄스신호(P₁)의 라이징 에지에 응답해 하이레벨로 인에이블되며 제5펄스신호(P₅)에 응답해 로우레벨로 디스에이블되는 제1다중 위상 클럭(CLKP₁)이 생성된다. 제2클럭 생성부(431)에서 제5펄스신호(P₅)에 응답해 하이레벨로 인에이블되며 제1 펄스신호(P₁)에 응답해 로우레벨로 디스에이블되는 제3다중 위상 클럭(CLKP₅)이 생성된다. 다른 펄스신호 쌍에 의해서 제2다중 위상 클럭(CLKP₃)과 제4다중 위상 클럭(CLKP₇)이 생성된다.
- [0065] 4개 다중 위상 클럭(CLKP₁, CLKP₃, CLKP₅, CLKP₇)의 펄스폭은 상기 제2위상차를 갖는 펄스신호 쌍인 제1펄스신호(P₁)와 제5펄스신호(P₅)의 라이징 에지 간의 간격만큼으로 도 5a의 경우와 동일하다.
- [0066] 이상은 본 발명이 장치적 관점에 의해 설명되었으나, 본 발명에 따른 클럭생성회로를 구성하는 각 구성 요소의 동작은 프로세스 관점에 의해 용이하게 파악될 수 있다. 따라서 본 발명에 따른 클럭생성회로를 구성하는 각 구성 요소의 동작은 본 발명의 원리에 따라 각각 클럭생성방법을 구성하는 각 단계로 이해될 수 있다. 이하 도 2 내지 도 5를 참조하여 클럭생성방법을 설명한다.
- [0067] 본 발명에 따른 클럭생성방법은 펄스생성단계, 펄스신호쌍 결합단계 및 다중 위상 클럭 생성단계를 포함한다. 펄스생성단계는 기준클럭(CLK)에 기초하여 동일한 주기를 갖는 다수의 펄스신호(P₁ 내지 P_N)를 생성한다. 다수의 펄스신호(P₁ 내지 P_N)간의 위상차는 소정의 제1위상차이다. 펄스신호쌍 결합단계는 다수의 펄스신호(P₁ 내지 P_N) 중 상호 위상차가 소정의 제2위상차인 펄스신호끼리 펄스신호쌍으로 결합한다. 다중 위상 클럭 생성단계는 상기 펄스신호쌍에 기초하여 인접클럭간의 위상차가 상기 펄스신호쌍 간의 위상차인 다중 위상 클럭(CLKP₁ 내지 CLKP_M)을 생성한다.
- [0068] 펄스생성단계에서 생성되는 다수의 펄스신호(P₁ 내지 P_N)의 에지는 기준클럭(CLK)의 라이징 에지 또는 폴링 에지에 정렬된다. 다수의 펄스신호(P₁ 내지 P_N)는 기준클럭(CLK)의 라이징 에지 또는 폴링 에지에 응답해 하이레벨로 인에이블되며 다수의 펄스신호(P₁ 내지 P_N)의 주기는 동일하다.
- [0069] 다중 위상 클럭 생성단계에서, 상기 펄스신호 쌍 중에서 리드 펄스신호에 응답해 인에이블되며 상기 리드 펄스신호와 상기 제2위상차만큼 차이나는 래그 펄스신호에 응답해 디스에이블되는 제1클럭이 생성된다. 또한 다중 위상 클럭 생성단계에서 상기 래그 펄스신호에 응답해 인에이블되며 상기 리드 펄스신호에 응답해 디스에이블되는 제2클럭이 생성된다. 따라서 다중 위상 클럭의 위상차(CLKP₁ 내지 CLKP_M)는 상기 펄스신호 쌍 간의 위상차가 되며, 상기 다중 위상 클럭의 펄스폭은 상기 제2위상차에 의해 결정된다.
- [0070] 여기서 리드 펄스신호란 다수의 펄스신호 쌍 각각에서 위상이 앞선 펄스신호를 의미하며 래그 펄스신호란 상기 리드 펄스신호와 제2위상차만큼 차이나는 펄스신호를 의미한다.

[0071] 다중 위상 클럭 생성단계에서 다수의 펄스신호(P₁ 내지 P_N) 전부 또는 일부에 기초하여 다중 위상 클럭 (CLKP₁ 내지 CLKP_M)이 생성된다. 그리고 다중 위상 클럭(CLKP₁ 내지 CLKP_M)간 위상차는 모두 동일하므로 상 기 펄스신호쌍 결합단계에서 펄스신호 쌍은 다중 위상 클럭(CLKP₁ 내지 CLKP_M)간 위상차가 모두 동일하도록 결합되는 것이 바람직하다.

[0072] 삭제

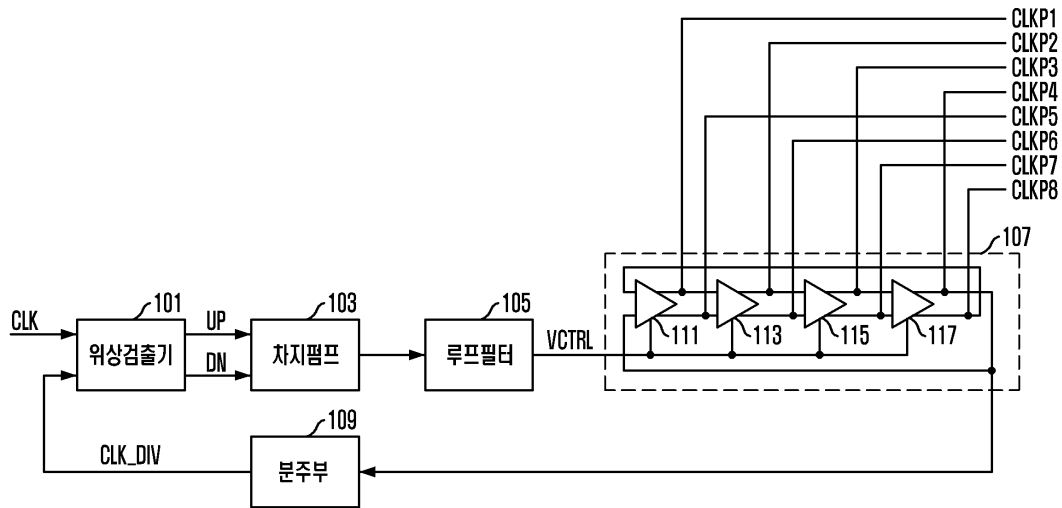
[0073] 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

도면의 간단한 설명

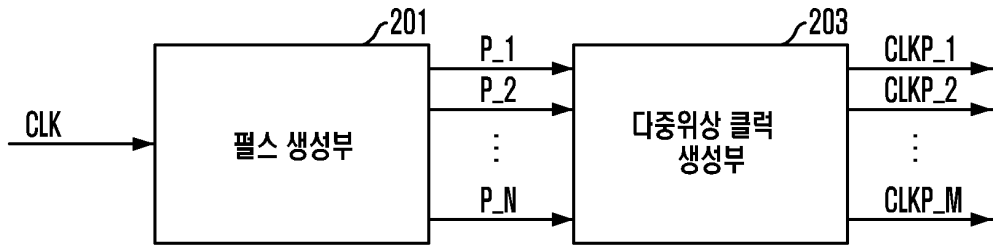
- [0074] 도 1은 종래의 다중 위상 클럭을 생성하는 위상고정루프회로의 구성도,
- [0075] 도 2는 본 발명의 일실시예에 따른 클럭생성회로의 구성도,
- [0076] 도 3은 도 2의 펄스생성부의 상세 구성도로서, 8개의 펄스신호를 생성하는 펄스생성부를 예시한 도면,
- [0077] 도 4는 도2의 다중 위상 클럭 생성부의 상세 구성도,
- [0078] 도 5a 및 도 5b는 본 발명의 전체동작을 도시한 타이밍도이다.

도면

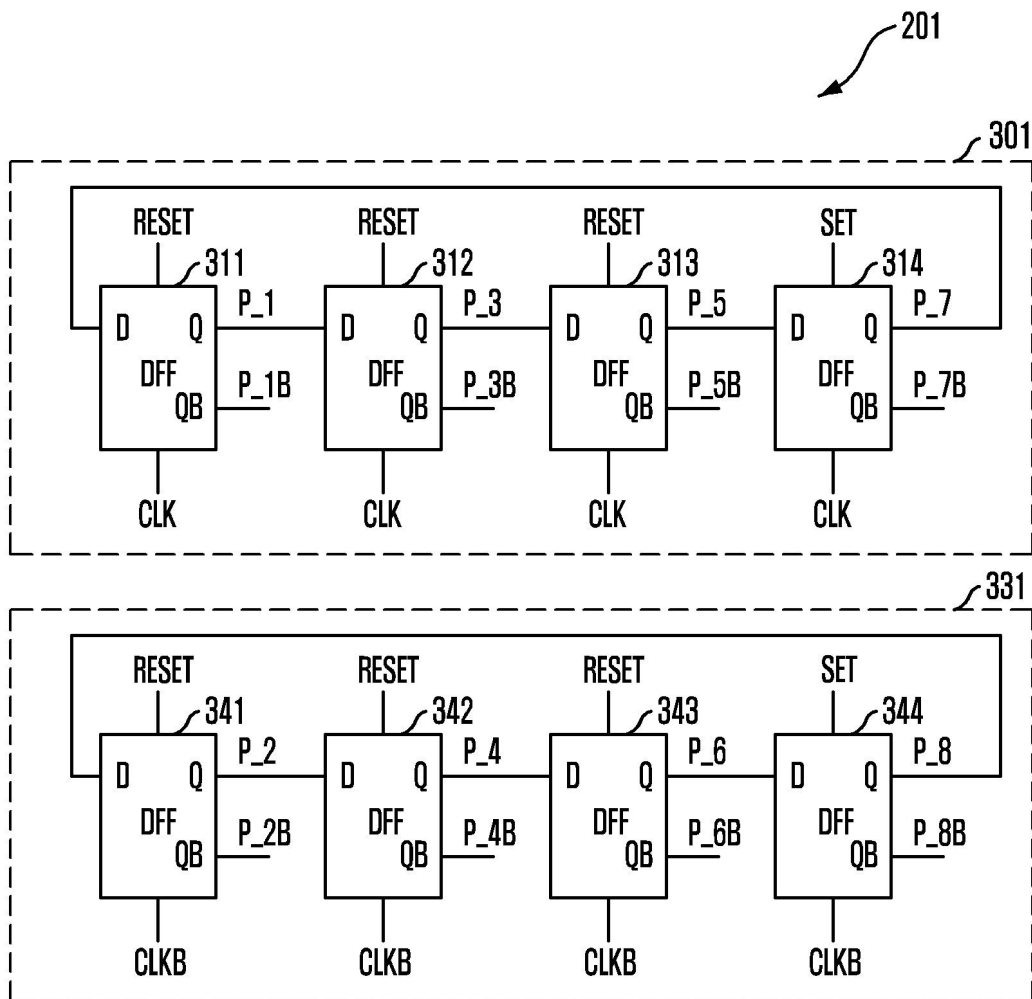
도면1



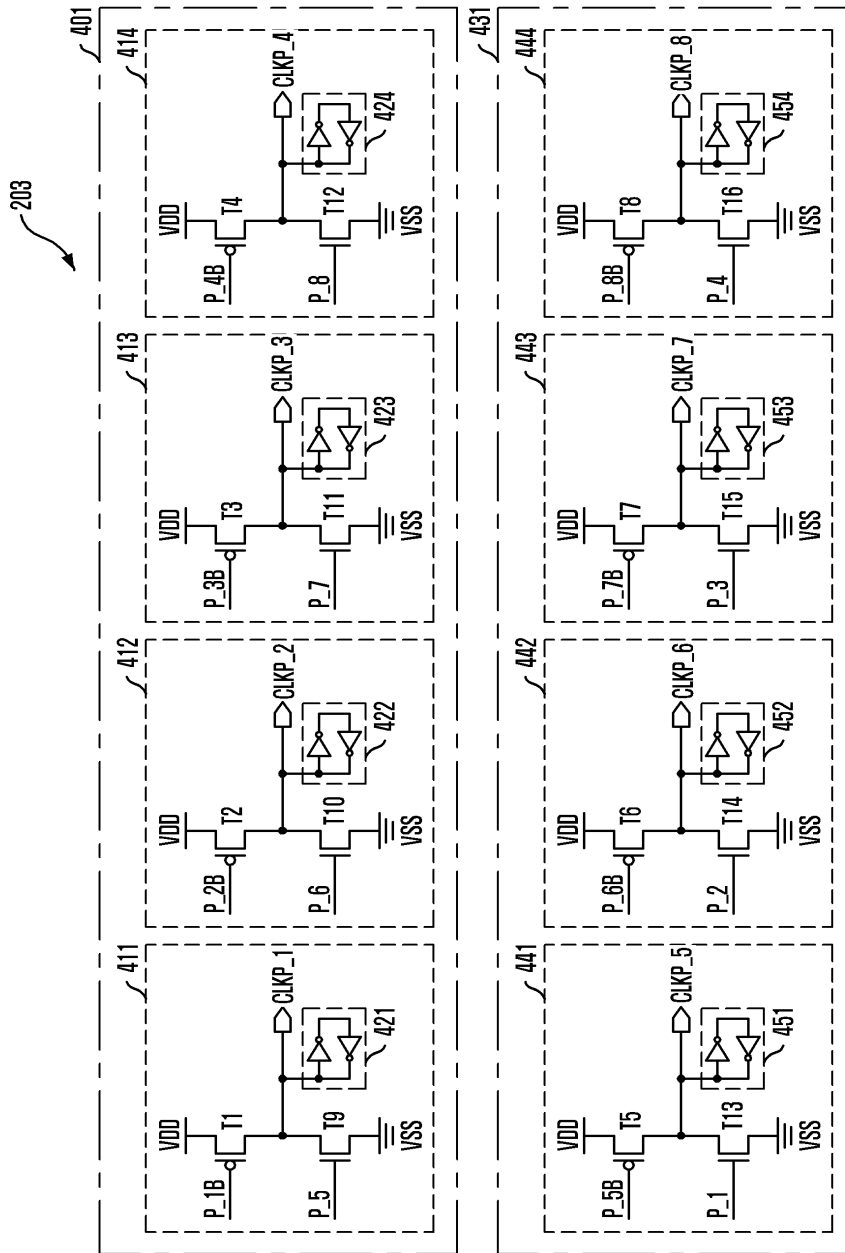
도면2



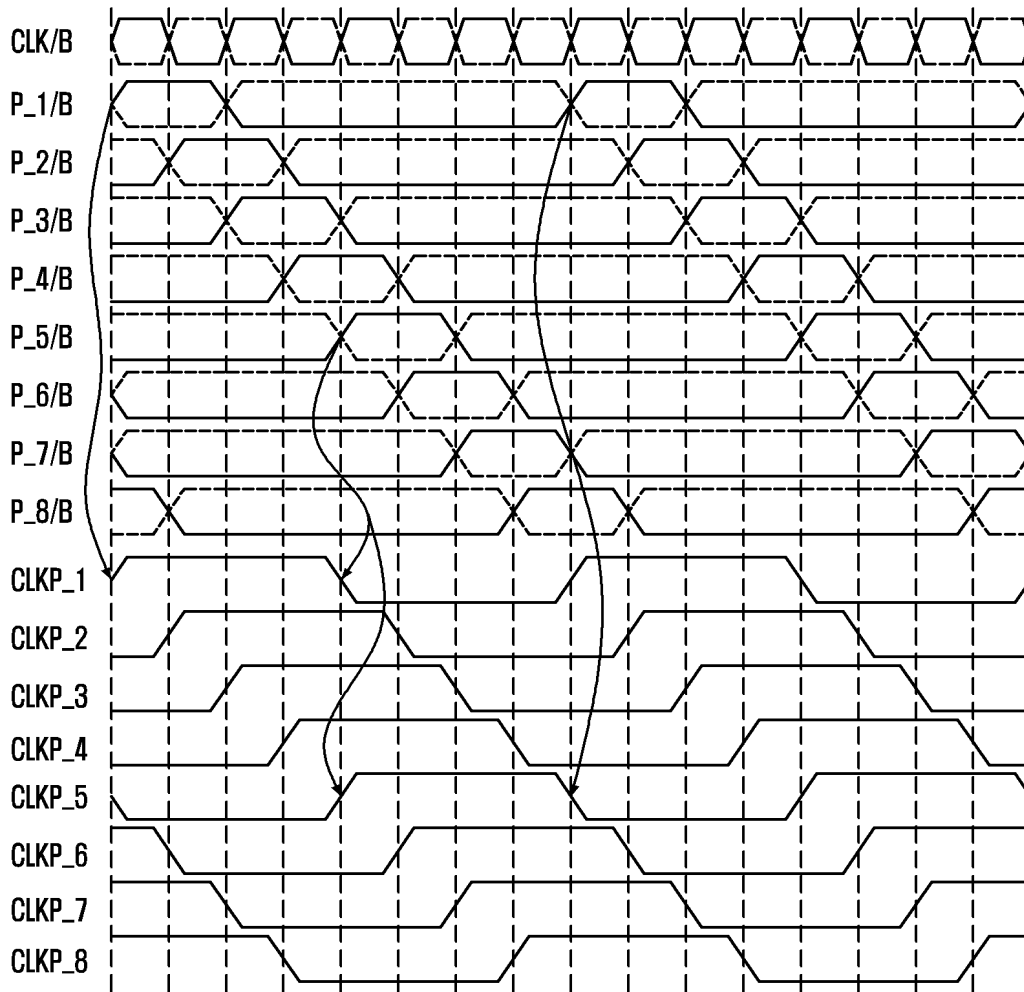
도면3



도면4



도면5a



도면5b

