

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4708577号
(P4708577)

(45) 発行日 平成23年6月22日(2011.6.22)

(24) 登録日 平成23年3月25日(2011.3.25)

(51) Int. Cl.	F I
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 Z
HO 1 L 21/265 (2006.01)	HO 1 L 21/265 Q
HO 1 L 21/301 (2006.01)	HO 1 L 21/78 Q
	HO 1 L 21/78 A

請求項の数 13 (全 12 頁)

(21) 出願番号	特願2001-23848 (P2001-23848)	(73) 特許権者	000001007
(22) 出願日	平成13年1月31日(2001.1.31)		キヤノン株式会社
(65) 公開番号	特開2002-231912 (P2002-231912A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成14年8月16日(2002.8.16)	(74) 代理人	100126240
審査請求日	平成19年4月12日(2007.4.12)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	坂口 清文
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	米原 隆夫
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	河本 充雄

最終頁に続く

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体領域上に分離層、前記分離層上に半導体素子及び/又は半導体集積回路を備えた半導体膜を有する部材を用意する工程と、

前記部材の前記半導体膜側から切り込み溝を、前記切り込み溝の先端が、前記半導体領域、前記分離層内部あるいは前記半導体膜と前記分離層との界面に位置するように形成する溝形成工程と、

前記溝形成工程後、前記分離層に熱、振動、又は外力を加えることにより、前記分離層において前記半導体素子及び/又は半導体集積回路の領域の一部を前記部材から分離する分離工程と、

を有することを特徴とする薄膜半導体装置の製造方法。

【請求項2】

前記分離工程は、前記切り込み溝に流体を注入することにより行われることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項3】

前記部材は、前記半導体領域上に前記分離層となる多孔質層又はイオン注入層を形成し、前記多孔質層又はイオン注入層表面に前記半導体膜を形成した後、前記半導体素子及び/又は半導体集積回路を形成して得られる部材であることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項4】

前記部材は、前記半導体領域上に前記半導体素子及び／又は半導体集積回路を形成した後、該表面側から所定深さにイオンを注入して前記分離層を形成して得られる部材であることを特徴とする請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 5】

前記半導体領域は、単結晶シリコン基板、あるいは化合物半導体基板であることを特徴とする請求項 2 あるいは 3 記載の薄膜半導体装置の製造方法。

【請求項 6】

前記切り込み溝は、前記半導体素子及び／又は半導体集積回路を前記半導体膜に形成する過程において作製された領域に形成されることを特徴とする請求項 1 記載の薄膜半導体装置の製造方法。

10

【請求項 7】

前記切り込み溝の形成工程には、ダイシング、エッチング、レーザーアブレーション、超音波カッター、高圧ジェットから選択されるいずれかの加工方法を含むことを特徴とする請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 8】

前記分離工程は、前記切り込み溝から高圧の流体を注入することにより行われることを特徴とする請求項 2 記載の薄膜半導体装置の製造方法。

【請求項 9】

前記分離工程は、液体あるいは気体からなる前記流体を、前記切り込み溝の少なくとも一部に噴きつけることにより行われることを特徴とする請求項 2 記載の薄膜半導体装置の製造方法。

20

【請求項 10】

前記分離工程は、前記切り込み溝の少なくとも 2 箇所から流体を噴きつけることにより行われることを特徴とする請求項 9 記載の薄膜半導体装置。

【請求項 11】

前記外力は、引っ張り力、圧縮力、剪断力、又は静圧であることを特徴とする請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 12】

前記分離工程により分離した領域をチップ化することを特徴とする請求項 1 記載の薄膜半導体装置の製造方法。

30

【請求項 13】

前記部材から分離した領域が分離された後に残る残留部材を用いて、前記部材を再度作製することを特徴とする請求項 1 記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜半導体装置、及びその製造方法の関わる。

【0002】

【従来の技術】

LSIチップを薄層化するため、シリコン基板に集積回路等を形成した後、基板裏面側からグラインダーにより薄層化する技術が知られている。

40

【0003】

しかし、集積回路等が形成される層はシリコン基板の表面のみであり、大部分の領域が研削され捨てられてしまう。これでは限りある資源の有効活用とはいえない。一方では、半導体装置の微細化・高集積化に伴いチップ発熱密度が飛躍的に大きくなることが懸念され、早急にLSIチップを薄層化する技術の確立が求められている。

【0004】

また、通常の半導体チップ自体にはフレキシブル性が無く、ICカードなど薄型デバイスに搭載する際には、曲げ強度を高める必要がある。これは、ICカードのように携帯される場合には、収容時に曲げの力が加わる場合があるからである。

50

従って、薄型デバイスに搭載されるLSIチップ等にもその放熱性及び機械的柔軟性の点から薄層化が求められる。

【0005】

特開平9-312349号公報には、LSIチップのフレキシブル化の為に多孔質層による分離を利用した技術が記載されている。

【0006】

具体的には図4(a)示すように半導体基体11上に多孔質層12を介してデバイス形成層10を設け、該デバイス形成層と保持基板16とを接着剤17を介して貼り合わせる。その後、半導体基体11と保持基板16との間に両者を引き離す方向の外力を与える。すると、機械的強度の弱い多孔質層12で分離が生じ、半導体基体11から保持基板16とともにデバイス形成層12が剥離する(図4(b))。

10

【0007】

次に剛性を有する保持基板16側に面方向の引っ張りによって延伸するダイシング用フィルム18を接合する。そして、ダイシング装置によってデバイス形成層側から切り込み溝19を形成するダイシング作業を行う(図4(c))。その後、ダイシング用フィルムを面方向にのばして各チップに分断する。こうして、薄層化されたLSIチップが出来上がる。

【0008】

【発明が解決しようとする課題】

しかしながら、上記LSIチップの薄層化技術では、保持基板との接着工程やダイシング用フィルムとの接合工程などの複数の工程を経なければならない。

20

【0009】

更に、分離する際にデバイス形成層全体が繋がっていると、その一部に局所的に歪み等が加わりデバイス特性に影響を及ぼす場合がある。

【0010】

本発明の目的は上記問題点に鑑み、少ない工程で、且つ分離の際のデバイス形成層への影響を少なくした薄膜半導体装置、及びその製造方法を提供することにある。更に、一度薄膜半導体装置の製造に使用した部材を、再度その製造に利用することができる経済的な薄膜半導体装置の製造方法を提供することをも目的とする。

【0011】

【課題を解決するための手段】

30

本発明に係る薄膜半導体装置の製造方法は、半導体領域上に分離層、前記分離層上に半導体素子及び/又は半導体集積回路を備えた半導体膜を有する部材を用意する工程と、前記部材の前記半導体膜側から切り込み溝を、前記切り込み溝の先端が、前記半導体領域、前記分離層内部あるいは前記半導体膜と前記分離層との界面に位置するように形成する溝形成工程と、前記溝形成工程後、前記分離層に熱、振動、又は外力を加えることにより、前記分離層において前記半導体素子及び/又は半導体集積回路の領域の一部を前記部材から分離する分離工程と、を有することを特徴とする。

【0012】

特に前記分離工程を、前記切り込み溝に流体を注入することにより行うことができる。

【0013】

40

ここで、前記部材は、半導体基板表面に多孔質層を形成し、且つ該多孔質層表面に前記半導体膜を形成した後、前記半導体素子及び/又は半導体集積回路を形成して得られる。あるいは半導体基板表面に前記半導体素子及び/又は半導体集積回路を形成した後、該表面側から所定深さにイオンを注入して前記分離層を形成して得られる。

【0014】

前記切り込み溝は、前記半導体膜に形成してもよいし、あるいは前記半導体素子及び/又は半導体集積回路を前記半導体膜に形成する過程において作製された領域に形成してもよい。

【0015】

また、前記切り込み溝の先端が、前記分離層内部、あるいは前記半導体膜と前記分離層

50

との界面に位置するように該切り込み溝を形成することができる。更にまた、前記部材が、半導体領域上に前記分離層、及び前記半導体膜を有している場合に、前記切り込み溝の先端が、前記分離層と該半導体領域の界面、あるいは該半導体領域内部に位置するように該切り込み溝を形成してもよい。

【0016】

前記分離工程は、前記切り込み溝から高圧の流体を注入することにより行われたり、あるいは液体あるいは気体からなる前記流体を、前記切り込み溝の少なくとも一部に噴きつけることにより行われる。前記分離工程を静圧下で行うこともできる。前記分離工程により前記領域の一部が複数のチップにチップ化することもできる。

【0017】

なお、前記部材から前記領域の一部が分離された後に残る残留部材を用いて、前記部材を再度作製することもできる。

【0018】

本発明においては、半導体素子や半導体集積回路素子が形成されたデバイス層を部材から分離する前に、切り込み溝を形成し、そして流体を用いて領域の一部を分離するので、きわめて効率的にかつデバイス層に影響を与えることなく半導体装置の薄層化が可能となる。

【0019】

【発明の実施の形態】

本発明の主たる実施形態につき図1を用いて説明する。

【0020】

まず、図1(a)に示すように、半導体領域130上に分離層100を介して半導体膜110を有する部材120を用意する。そして、上記半導体膜110に半導体素子及び/又は半導体集積回路140を形成する(図1(b))。そして、半導体素子及び/又は半導体集積回路140をチップ化するに先だって、所望の位置に、上記半導体膜110側から切り込み溝150を形成する。

【0021】

その後、所望の半導体素子又は半導体集積回路140を上記分離層100を利用して分離する。分離工程は、例えば切り込み溝150の少なくとも一部に流体を注入することにより分離を行うことができる。あるいは、分離する所望領域を真空チャック等で保持した後、その領域に超音波振動を印加して分離層で分離したり、あるいは所望領域に局所的に熱を印加して分離することもできる。

【0022】

こうしてチップ化された、単数あるいは複数の薄膜半導体装置160が得られる(図1(d))。

【0023】

薄膜半導体装置160に分離層100の一部が残留する場合には、当該残留部分を研磨、研削あるいはエッチング等により除去した後、他の回路との接続、あるいはパッケージングを行うことができる。勿論、当該残留部分を残したまま、パッケージングを行ってもよい。即ち、図1(e)のように残留分離層101を介して支持基体170上に薄膜半導体装置160を載置したり、図1(f)のように、プラスチックカード上に移設することもできる。なお、180は封入用樹脂、190はワイヤ、200は封止樹脂/フィルム、210はプラスチックカードである。また、分離層がゲッターリングサイトになり、プロセス中の金属汚染耐性が増す。

【0024】

(分離層)なお、分離層100は、具体的には単結晶シリコンウエハ表面の陽極化成により形成される多孔質シリコン層や、単結晶シリコンウエハの所望の深さに水素、ヘリウム、希ガス等のイオンを注入して形成されるイオン注入層である。

【0025】

前者の場合には、部材120を形成するには、多孔質シリコン層上にCVD法等を用いて単結晶シリコンなどの非多孔質薄膜を成長させる。また、分離層100を多孔度の異なる複数の層で構成することもできる。例えば、図2(a)に示すように、半導体領域130側から高多孔度

10

20

30

40

50

層310、低多孔度層300と2層の構成にしてもよいし、あるいは半導体領域130側から低多孔度層320、高多孔度層330、低多孔度層340と3層構成にすることもできる。高多孔度層の場合の多孔度は、10%から90%、低多孔度層の場合の多孔度は、0%から70%の範囲で利用可能である。多孔度の異なる複数の層の形成は、陽極化成の際の電流密度を変えたり、化成溶液の種類あるいは濃度を変えることで実現できる。

【0026】

陽極化成により多孔質層を形成した場合には、該多孔質層上へ半導体膜110を成長させるに先だって、多孔質の孔の内壁に窒化膜あるいは酸化膜などの保護膜を設ける保護膜形成工程、や水素を含む雰囲気中での熱処理工程を行うのがよい。勿論、上記保護膜形成工程後、前記熱処理工程を行うことも好ましい。

10

【0027】

更に、CVD法により半導体膜110を成長させる場合には、所定の厚み（例えば10nm）までは、20nm/min以下の低成長速度で行うのがよい。

【0028】

（半導体膜）また、半導体膜110としては、非多孔質単結晶シリコン薄膜や、GaAs、InP、GaN等の化合物半導体膜を用いることができる。半導体膜が単結晶シリコンの場合に原料ガスとして、SiH₂Cl₂、SiHCl₃、SiCl₄、SiH₄、あるいはHClガスを添加しても良い。形成方法はCVD法に限らず、MBE法、スパッター法等も可能である。

【0029】

なお、多孔質層を水素を含む雰囲気中で第1の熱処理した後、薄膜を成長させるに先だって当該第1の熱処理温度よりも高い温度で第2の熱処理することも好ましいものである。第1の熱処理温度としては、800～1000、第2の熱処理温度として、900～融点の範囲で利用できる。これにより多孔質層表面の孔の封止が十分行われるのである。例えば、第1の熱処理温度を950で行い、第2の熱処理を1100で行うことができる。

20

【0030】

（部材）また、部材120としては、CZ法、MCZ法、あるいはFZ法などで作製された単結晶シリコンウエハのみならず、基板表面が水素アニール処理されたウエハ、あるいはエピタキシャルシリコンウエハなどを用いることができる。勿論、シリコンに限らずGaAs基板やInP基板等の化合物半導体基板も用いることができる。

【0031】

（半導体素子及び/又は半導体集積回路）また、半導体素子及び/又は半導体集積回路140としては、CMOS、バイポーラトランジスタ、ダイオード、コイル、キャパシタ等の素子、DRAM、マイクロプロセッサ、ロジックIC、メモリ等の半導体集積回路を作製することができる。素子や回路の用途としては、電子回路、発振回路、受・発光素子、光導波路、各種センサーなどを含む。

30

【0032】

（切り込み溝）また、切り込み溝150は、通常用いられるダイシング装置を用いることができる他、エッチングやレーザーアブレーション、超音波カッター、高圧ジェット（例えば、ウォータージェット）、超音波カッターなども用いることができる。エッチングにより行う場合は、HF+H₂O₂、HF+HNO₃、アルカリ溶液などのエッチング液を用いることができる。レーザーとしては、YAGレーザー、CO₂レーザー、エキシマレーザー等である。

40

【0033】

切り込み溝の先端は、半導体領域130に達しても構わないが、好ましくは分離層100の内部、あるいは半導体膜110と分離層100との界面付近に達することが好ましい。分離層が高多孔度層と低多孔度層を含み形成される場合には、高多孔度層の内部あるいはその界面付近に切り込み溝の先端が達するのが好ましい。

【0034】

なお、切り込み溝を形成する先だって、分離後は個々のチップになる当該チップ間を、LOCOS（局所酸化）あるいはメサエッチングし、チップ間には半導体膜が存在しないようにしておいてもよい。

50

【0035】

(分離)また、分離方法としては、分離したい箇所、すなわち複数のチップ化された部分の所望のチップを取り囲む切り込み溝150の少なくとも一部に液体や気体等の流体を注入することにより行うことができる。ここでいう、流体を注入するとは、高圧の流体ジェットを噴きつける場合や、静圧下での分離をも含むものである。各チップの周囲の切り込み溝に流体を噴きつける場合は、所望のチップ毎に分離できるし、静圧下の場合は、複数のチップをまとめて、即ち複数個を一度に分離することも可能である。かかる場合には、分離に先だて各チップを支持する支持部材にあらかじめ貼り合わせておくことも好ましいものである。なお、流体に超音波を印加しておくことも可能である。流体としては、液体として水、エッチング液、アルコールなど、気体としては空気、窒素ガス、アルゴンガス等である。

10

【0036】

流体を切り込み溝に吹きつけて分離する場合の一例について、具体的に説明する。なお、ノズルを2つ用いて分離する場合について説明するが、流体の圧力等を制御して分離できさえすれば、以下の分離方法に限定されるものではない。

【0037】

図3(a)は、半導体領域430上に分離層としての多孔質層400を介して半導体膜410が形成され、更に当該半導体膜に半導体素子又は半導体集積回路440が形成されている場合を示している。ここで、441は、絶縁キャップ層である。図3(b)に示すように切り込み溝450を形成する。同図においては切り込み溝449、450の先端が多孔質層の内部に位置する場合を示している。チップ460を半導体領域430から剥離する場合、チップ保持手段452で保持しつつ、ノズル451及び454から流体453、455を切り込み溝に向けて噴射する。流体は切り込み溝の先端まで達した後、横方向に拡がるので(456~459は流体の流れを模式的に示すものである。)それぞれの切り込み溝449、450から進入した流体457、458が重なるとチップ460は半導体領域430から剥離する(図3(d))。多孔質層内で多孔度の変化がある場合には、より剥離しやすくする為に切り込み溝の先端部付近を境に多孔度が変わるように分離層を形成しておくのがよい。そして、チップ保持手段452で保持したまま半導体領域430上から移設する(図3(e))。次にチップ470を剥離したい場合は、ノズル454からは流体を噴きつけず、ノズル451のみから切り込み溝471に流体を吹きつけることのみにより剥離を行ってもよい(図3(f))。

20

30

【0038】

なお、チップ保持手段452として、真空チャック、切り込み溝で挟み込むようにして保持することができる。さらに、分離するチップを真空チャック等で保持した後、そのチップに超音波振動を印加して分離する。

流体を切り込み溝に噴きつける場合は、チップの周囲を取り囲む切り込み溝のうち、相対向する溝の2箇所にも噴きつけてもよいし、チップのコーナー部分の1箇所に噴きつけることもできる。

【0039】

また、切り込み溝の形成により微小領域に区分けされた所望領域を真空チャック等で保持した後その領域に超音波振動を印加したり、あるいは局所的に熱を印加することで分離することができる。とりわけ分離層を水素、窒素、He、希ガス等のイオン注入により作製した場合には、400 から600 程度の熱処理を施すことで、イオン注入により形成される微小気泡層が凝集するので斯かる現象を利用して分離することもできる。CO2レーザー等により加熱することもできる。あるいは、切り込み溝により微小領域に区分けされているので、所望領域を真空チャック等で保持したまま、引っ張り力、圧縮力、剪断力を加えることで分離することもできる。このように、分離前に微小領域に区分けしておくことで、外力により分離する際にも不必要な応力集中を避けることができる。微小領域としては、10 cm x 10 cm以下、好ましくは5 cm x 5 cm以下、更に好ましくは2 cm x 2 cm以下が望ましい。

40

【0040】

50

(実施例1)

比抵抗 $0.01 \text{ } \Omega \cdot \text{cm}$ の P 型の単結晶 Si 基板を用意し、HF 溶液中において基板表面の陽極化成を行った。陽極化成条件は以下の通りであった。

【0041】

電流密度 : $7 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化成溶液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間 : 11 (分)

多孔質 Si 層の厚み : $12 \text{ (}\mu\text{m)}$

多孔質 Si 層は、当該多孔質 Si 層上に高品質エピタキシャル Si 層を形成させることができ、さらに分離層として用いることができるよう多孔度を調整した。具体的には、20%であった。なお、多孔質 Si 層の厚さは、上記厚さに限らず、数百 μm から $0.1 \mu\text{m}$ 程度まで使用できる。

10

【0042】

この単結晶 Si 基板を 400 の酸素雰囲気中で 1 時間酸化した。これにより多孔質 Si の孔の内壁は熱酸化膜で覆われた。その後、この多孔質 Si 層の表面をフッ酸に浸漬し、孔の内壁の酸化膜を残して、多孔質 Si 層の表面の酸化膜のみ除去した。次に多孔質 Si 層上に CVD (Chemical Vapor Deposition) 法により単結晶 Si 層を $3 \mu\text{m}$ エピタキシャル成長した。成長条件は以下の通りである。

【0043】

ソースガス : SiH₂Cl₂ / H₂

ガス流量 : $0.5 / 180 \text{ l/min}$

ガス圧力 : 80 Torr

温度 : 950

成長速度 : $0.3 \mu\text{m/min}$

エピタキシャル成長に先立って、水素含有雰囲気中の熱処理を行った。これは、表面孔を封止するためである。この熱処理に加えて、微小な Si 原子を原料ガスなどにより添加し、その表面孔封止用の原子を補っても良い。

20

【0044】

こうして得られる部材は、通常用いられているエピウエハと同一のウエハとして扱うことができる。異なるのは、エピ層の下に多孔質 Si 層が形成されていることのみである。このエピ層に、マイクロプロセッサ、ロジック IC、メモリ、等の回路を作製した。LSI の作製は、通常と全く同じ工程を通すことにより、従来と同一の性能を持つ LSI を作製できた。なお、エピ層にデバイス形成するに先立って、エピ層を水素雰囲気中で熱処理することも好ましいものである。

30

【0045】

多孔質 Si の残留 Si 領域は空乏化しており、高抵抗化されている。これにより一種 SOI 的なデバイスの高速化、低消費電力化が実現される。

【0046】

なお、素子分離としてトレンチを用いることにより、チップ面積の縮小が達成されウエハ内の取れ数も増大する。また、トレンチあるいは LOCOS を多孔質 Si 層まで達するようにすることにより、多孔質 Si 層の高抵抗性と合わせて、素子間絶縁性を達成することが出来た。

40

【0047】

次に、複数のチップに分ける為に、デバイス形成層側からダイシングを行い、切り込み溝を形成した。溝の先端は多孔質 Si 層の内部に位置していた。

【0048】

そして、流体として水を切り込み溝から吹きつけた。流体ジェットはチップの周囲の切り込み溝の 2 箇所から吹きつけた。こうして、チップが部材から分離された。既に周囲のチップが剥離されている場合には、一つのノズルから噴射される流体のみで分離できた。

【0049】

50

なお、流体には、気体、液体、あるいは、それらに固体の粒体・粉体を含有したものがある。この実施例では、ウォータージェット（以下「WJ」と記述する）を記述するが、エアージェット、窒素ガスジェット、その他気体ジェット、水以外の液体ジェット、氷やプラスチック片、研磨材の混ざった流体ジェット、あるいはこれらの静圧をかけることも可能である。流体は非常に微小な隙間へも流入し内部の圧力を上げることが可能で、外圧を分散して印加できることが特徴である。また、一部に極端に圧力がかからないことから、もっとも分離しやすい個所を選択的に分離させるという特徴がある。

【0050】

分離の際には、チップ表面を支持部材等で支持するのが好ましい。デバイス層側に残留した多孔質Siは、除去してもしなくても良い。

10

【0051】

その後、それぞれのチップをパッケージした。分離面をパッケージ台に乗せて、表面側からワイアーボンディングしても良いし、表面を伏せてパッケージしてもよい。なお、プラスチックカードに直接パッケージすることで、ICカードを作製することもできる。

【0052】

パッケージ台をヒートシンクとして用いれば、従来のバックグラインダー方式に比較して格段の熱放散性を有する。バックグラインダーによる裏面の薄層化は、通常数百ミクロンである。本発明では、表面のエピ層の厚さと多孔質Siの残留部の厚さ合計、即ち10 μ m程度以下しか残留しないため、デバイスの熱発生源とヒートシンクの距離が狭まり、熱放散性が格段に向上する。OEIC (Optoelectronic Integrated Circuits) をのエピ層に作製して、光透過性基板あるいは光導波路にパッケージすることもできる。

20

【0053】

なお、分離して残った単結晶Si基板は、必要に応じて表面再研磨、エッチング等を行い、再度同じ工程に投入できた。あるいは、別目的の基板として利用することもできる。

【0054】

(実施例2)

実施例1においては、多孔質層は1層であったが、本実施例においては、多孔度の異なる2層構成の多孔質層とした。

【0055】

まず、シリコン基板表面の陽極化成を以下の条件で行った。

30

【0056】

電流密度 : 8 (mA · cm⁻²)
 陽極化成溶液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1
 時間 : 5 (分)
 多孔質Si層の厚み : 6 (μ m)
 その後、以下の条件で陽極化成を行った。

【0057】

電流密度 : 33 (mA · cm⁻²)
 陽極化成溶液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1
 時間 : 80 (秒)
 多孔質Siの厚み : 3 (μ m)

40

こうして、単結晶シリコン基板側から多孔度45%の高多孔度層、更にその上に20%の低多孔度層が形成された。その後、実施例1と同じ条件によりエピタキシャルシリコン層を低多孔度層上に形成し、更に集積回路等を形成した。次に、チップ化のためにエピタキシャル層側からダイシングを行った。切り込み溝の先端が前記高多孔度層と低多孔度層の界面付近に位置するように制御した。そして、当該溝に水を噴射してチップを剥離することができた。分離は、上述の2層の多孔質層の界面付近で生じた。その他の要件は、実施例1と同様とした。

【0058】

なお、2層の多孔質層の厚さは、6 μ m/3 μ mの構成でなくてもよく、陽極化成条件を変え

50

ることによって、厚さを可変させることができる。また陽極化成液は、 $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1:1:1$ でなくても良い。また、エタノールの代わりにIPA（イソプロピルアルコール）等の他のアルコールを用いても良い。アルコールは界面活性剤として反応泡のウエハ表面付着を防止することを目的としているので、アルコールでなくて他の界面活性剤でもよいし、界面活性剤を添加せずに超音波で表面付着泡を除去してもよい。

【0059】

なお、切り込み溝を形成した後、上記集積回路等のデバイス層を形成してもよい。

【0060】

（実施例3）

抵抗率 $1.4 \cdot \text{cm}$ のP型の単結晶Si基板を用意した。面方位は $\langle 100 \rangle$ であった。この単結晶Si基板表面に、マイクロプロセッサ、ロジックIC、メモリ等の回路形成層を作製した。

10

【0061】

その後、回路形成層側から、所定の深さ（本実施例では、表面側から $3\mu\text{m}$ の深さ）に水素イオンを注入してイオン注入層を形成した。注入量は、数 $E16$ から $E17/\text{cm}^2$ であった。注入に際して、最表面に SiO_2 などの保護膜を形成しておいてもよい。

【0062】

次に、ダイシングを行い所望領域に区分けされるよう切り込み溝を作製した。溝の先端はイオン注入層の内部に位置していた。その後、該切り込み溝からウォータージェットを噴きつけたところ複数のチップに分離することができた。

20

【0063】

また、切り込み溝にウォータージェットを噴きつけることなく、分離してチップ化したい領域に局所的にレーザー加熱を行うことでも分離できる。また、イオン注入層を形成する前に、切り込み溝を形成しておくことも可能である。

【0064】

なお、分離層をイオン注入により形成している場合は、 400 から 600 程度の加熱でイオン注入による微小空隙（マイクロキャビティ）が凝集し分離が生じるので、通常 800 程度以上のプロセス温度が必要な集積回路等の形成は困難であるが、本実施例のようにイオン注入層の形成に先だて、デバイス層を形成しておくことで上記問題点が解消できる。

30

【0065】

（実施例4）

比抵抗 $0.01 \cdot \text{cm}$ のP型の単結晶Si基板を用意し、HF溶液中において基板表面の陽極化成を行った。陽極化成条件は以下の通りであった。

【0066】

電流密度 : $8 (\text{mA} \cdot \text{cm}^{-2})$

陽極化成溶液 : $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間 : $5 (\text{分})$

多孔質Si層の厚み : $6 (\mu\text{m})$

その後、以下の条件で陽極化成を行った。

40

【0067】

電流密度 : $33 (\text{mA} \cdot \text{cm}^{-2})$

陽極化成溶液 : $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間 : $80 (\text{秒})$

多孔質Siの厚み : $3 (\mu\text{m})$

こうして、単結晶シリコン基板側から多孔度45%の高多孔度層、更にその上に20%の低多孔度層が形成された。その後、実施例1と同じ条件によりエピタキシャルシリコン層を低多孔度層上に形成し、更に集積回路等を形成した。次に、チップ化のためにエピタキシャル層側からダイシングを行い、微小領域に区分けした。切り込み溝の先端が前記高多孔度層と低多高度層の界面付近に位置するように制御した。

50

【 0 0 6 8 】

次に、チップ化を図りたい領域の一部を真空ピンセット等の保持手段で保持しつつ、外力（本実施例においては、引っ張り力）により分離した。

【 0 0 6 9 】

なお、分離の際に、圧縮力を加えた後、引っ張り力により剥がすなど、種々の外力を組み合わせてたり、外力と流体とを組み合わせて分離を行うこともできる。

【 0 0 7 0 】

【発明の効果】

本発明によれば、少ない工程で、且つ分離の際のデバイス形成層への影響を少なくした薄膜半導体装置を製造することができる。

10

【図面の簡単な説明】

【図1】本発明の実施形態の一例を示す模式的断面図である。

【図2】本発明における分離層の構成の一例を示す為の模式的断面図である。

【図3】本発明における分離工程の一例を示す模式的断面図である。

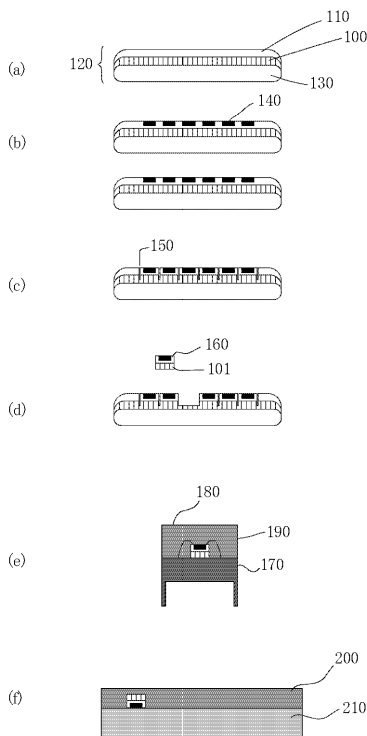
【図4】従来例を説明する為の模式的断面図である。

【符号の説明】

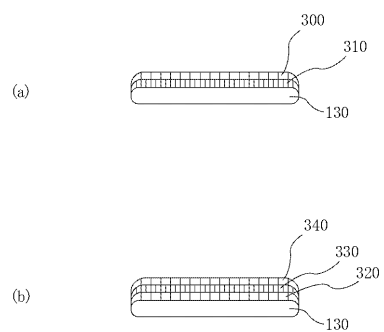
- 1 0 0 分離層
- 1 0 1 残留分離層
- 1 1 0 半導体膜
- 1 2 0 部材
- 1 3 0 半導体領域
- 1 4 0 半導体素子又は半導体集積回路
- 1 5 0 切り込み溝
- 1 6 0 薄膜半導体装置

20

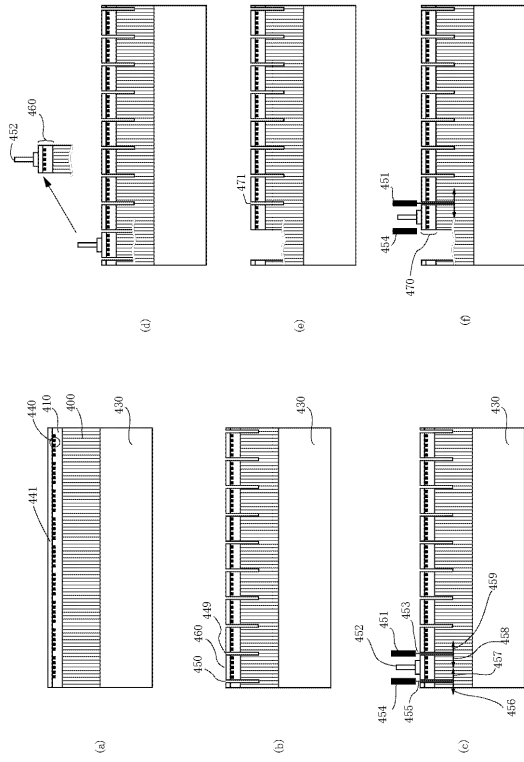
【図1】



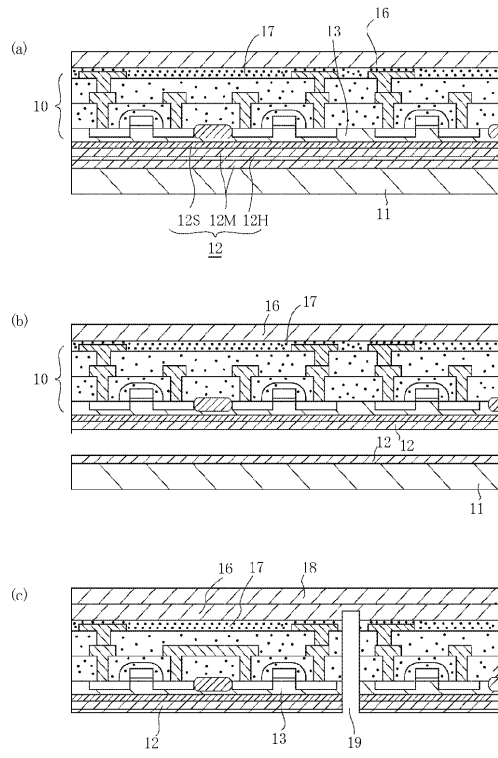
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開2000-188269(JP,A)
特開平04-305945(JP,A)
特開2000-124159(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/12
H01L 21/02
H01L 21/322
H01L 21/301
H01L 29/786
H01L 21/336