



(12)发明专利申请

(10)申请公布号 CN 106129119 A
(43)申请公布日 2016. 11. 16

(21)申请号 201610793478.3

(22)申请日 2016.08.31

(71)申请人 西安龙腾新能源科技发展有限公司
地址 710021 陕西省西安市凤城十二路1号
出口加工区

(72)发明人 周宏伟 任文珍 张园园 徐西昌

(74)专利代理机构 西安新思维专利商标事务所
有限公司 61114

代理人 李罡

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

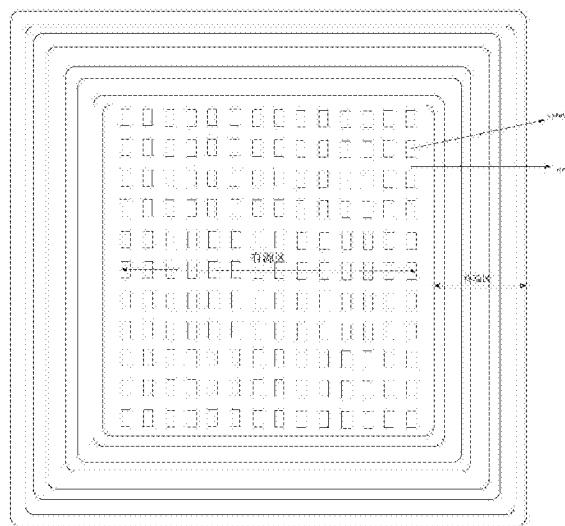
权利要求书1页 说明书3页 附图6页

(54)发明名称

集成肖特基二极管的超结功率VDMOS的版图结构及其制作方法

(57)摘要

本发明公开了一种集成肖特基二极管的超结功率VDMOS的版图结构,该版图结构包括N+衬底、N外延层以及在N外延层上形成的P+区域,所述P+区域由若干个矩形p-pillar构成并且相邻两个矩形p-pillar之间设置有间距,所述间距的区域内势垒金属Ti在p-pillar之间的N外延层形成肖特基接触,构成肖特基二极管;还公开了一种集成肖特基二极管的超结功率VDMOS的版图结构的制作方法,通过本发明比传统的线性原胞设计的超结VDMOS体二极管正向压降更低,从而降低器件的开通损耗;本发明设计的超结VDMOS体二极管反向恢复电流峰值更小,使得体二极管的di/dt变小,从而减少器件的失效率。



1. 一种集成肖特基二极管的超结功率VDMOS的版图结构,其特征在于,该版图结构包括N+衬底、N外延层以及在N外延层上形成的P+区域,所述P+区域由若干个矩形p-pillar构成并且相邻两个矩形p-pillar之间设置有间距,所述间距的区域内势垒金属Ti在p-pillar之间的N外延层形成肖特基接触,构成肖特基二极管。

2. 根据权利要求1所述的集成肖特基二极管的超结功率VDMOS的版图结构,其特征在于:所述P+区域与 contact区域的第一交叠区域进行Pplus注入,并且所述交叠区域在Ti/TiN/AlCu的淀积后形成欧姆接触。

3. 根据权利要求1或2所述的集成肖特基二极管的超结功率VDMOS的版图结构,其特征在于:所述间距内N外延层与contact区域的第二交叠区域在Ti/TiN/AlCu的淀积后形成肖基特接触。

4. 一种集成肖特基二极管的超结功率VDMOS的版图结构的制作方法,其特征在于,该方法通过以下步骤实现:

步骤1:在N+衬底上形成N外延层;

步骤2:对N外延层进行注入或者沟槽刻蚀和回填形成由若干个矩形p-pillar构成的P+区域;

步骤3:body 注入并退火;

步骤4:Poly gate淀积并回刻;

步骤5:nsource注入和退火;

步骤6:层间介质淀积;

步骤7:contact区域的刻蚀;

步骤8:通过光刻版在P+区域与contact区域注入pplus,在P+区域表面形成欧姆接触;

步骤9:进行Ti/TiN/AlCu的淀积和光刻,势垒金属Ti/TiN/AlCu在相邻矩形结构之间的N外延层形成肖特基接触。

集成肖特基二极管的超结功率VDMOS的版图结构及其制作方法

技术领域

[0001] 本发明属于超结功率场效应管技术领域,具体涉及一种集成肖特基二极管的超结功率VDMOS的版图结构及其制作方法。

背景技术

[0002] 高压超结功率器件的技术目前主要有两种:1)以Infineon和ST为代表的多次外延和注入技术。2)以Toshiba和华虹宏力为代表的沟槽回填技术。因为超结单位面积的导通电阻相比传统的高压平面功率场效应管(VDMOS)小很多,因此当电阻相同的情况下,可以采用更小的封装。或者在同样芯片面积的情况下,导通电阻更小,从而系统可以得到更高的效率。

[0003] 正因为超结VDMOS的这些优点,近几年它在LED照明、LCD电视,智能手机充电器等领域内,迅速取代传统的高压平面VDMOS。在超结功率场效应管的很多应用中,会用到其体二极管的反向恢复。但是超结VDMOS的体二极管反向恢复特性比较差,反向恢复电流比较大容易引起比较大的 di/dt ,导致管子很容易失效。

发明内容

[0004] 有鉴于此,本发明的主要目的在于提供一种集成肖特基二极管的超结功率VDMOS的版图结构及其制作方法。

[0005] 为达到上述目的,本发明的技术方案是这样实现的:

本发明实施例提供一种集成肖特基二极管的超结功率VDMOS的版图结构,该版图结构包括N+衬底、N外延层以及在N外延层上形成的P+区域,所述P+区域由若干个矩形p-pillar构成并且相邻两个矩形p-pillar之间设置有间距,所述间距的区域内势垒金属Ti在p-pillar之间的N外延层形成肖特基接触,构成肖特基二极管。

[0006] 上述方案中,所述P+区域与 contact区域的第一交叠区域进行Pplus注入,并且所述交叠区域在Ti/TiN/AlCu的淀积后形成欧姆接触。

[0007] 上述方案中,所述间距内N外延层与contact区域的第二交叠区域在Ti/TiN/AlCu的淀积后形成肖基特接触。

[0008] 本发明实施例还提供一种集成肖特基二极管的超结功率VDMOS的版图结构的制作方法,该方法通过以下步骤实现:

步骤1:在N+衬底上形成N外延层;

步骤2:对N外延层进行注入或者沟槽刻蚀和回填形成由若干个矩形p-pillar构成的P+区域;

步骤3:body 注入并退火;

步骤4:Poly gate淀积并回刻;

步骤5:nsource注入和退火;

步骤6:层间介质淀积;

步骤7:contact区域的刻蚀;

步骤8:通过光刻版在P+区域与contact区域注入ppplus,在P+区域表面形成欧姆接触;

步骤9:进行Ti/TiN/AlCu的淀积和光刻,势垒金属Ti/TiN/AlCu在相邻矩形结构之间的N外延层形成肖特基接触。

[0009] 与现有技术相比,本发明的有益效果:

本发明的超结VDMOS的体二极管正向压降会比传统的线性原胞设计的超结VDMOS体二极管正向压降更低,从而降低器件的开通损耗;本发明设计的超结VDMOS体二极管反向恢复电流峰值更小,使得体二极管的 di/dt 变小,从而减少器件的失效率。

附图说明

[0010] 图1为本发明实施例提供一种集成肖特基二极管的超结功率VDMOS的版图结构的结构示意图;

图2为本发明实施例提供一种集成肖特基二极管的超结功率VDMOS的版图结构的局部放大图;

图3为图2的X方向结构示意图;

图4为图2的Y方向结构示意图;

图5为本发明700V超结VDMOS产品的反向仿真击穿情况;

图6为本发明的超结VDMOS体二极管和传统的线性原胞设计的超结VDMOS体二极管的仿真I-V曲线图;

图7为本发明的超结VDMOS体二极管反向恢复特性和传统的线性原胞设计的超结VDMOS体二极管情况对比图。

具体实施方式

[0011] 为了使本发明的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0012] 本发明实施例提供一种集成肖特基二极管的超结功率VDMOS的版图结构,如图1所示,该版图结构包括N+衬底、N外延层(N-EPI)以及在N外延层上形成的P+区域,所述P+区域由若干个矩形p-pillar构成并且相邻两个矩形p-pillar之间设置有间距,所述间距的区域内势垒金属在p-pillar之间的N外延层形成肖特基接触,构成肖特基二极管。

[0013] 如图2所示,所述P+区域与contact区域的第一交叠区域进行Pplus注入,并且所述交叠区域在Ti/TiN/AlCu的淀积后形成欧姆接触。

[0014] 所述间距内N外延层与contact区域的第二交叠区域在Ti/TiN/AlCu的淀积后形成肖基特接触。

[0015] 本发明实施例还提供一种集成肖特基二极管的超结功率VDMOS的版图结构的制作方法,该方法通过以下步骤实现:

步骤1:在N+衬底上形成N外延层;

步骤2:对N外延层进行注入或者沟槽刻蚀和回填形成由若干个矩形p-pillar构成

的P+区域；

步骤3:body 注入并退火；

步骤4:Poly gate淀积并回刻；

步骤5:nsource注入和退火；

步骤6:层间介质淀积；

步骤7:contact区域的刻蚀；

步骤8:通过光刻版在P+区域与contact区域注入ppplus,在P+区域表面形成欧姆接触；

步骤9:进行Ti/TiN/AlCu的淀积和光刻,势垒金属Ti在相邻矩形结构之间的N外延层形成肖特基接触。

[0016] 最后形成的器件在X方向结构如图3所示,在Y方向上截面结构如图4所示。

[0017] 当器件的漏极上加上高的反压时,相邻的矩形p-pillar和N-EPI耗尽形成超结,器件的反向漏电比较低。当超结VDMOS的体二极管正向偏置时,实际上此时的体二极管是p-pillar/N-EPI 结二极管(P/N结二极管)和肖特基二极管的并联,其特性由两者共同决定,特别是在正向压降较低时,这个肖特基管起主要作用。肖特基二极管与普通的P/N结二极管相比其特点是正向导通压降较低、正向导通电流大、速度快,肖特基二极管的引入,会使得超结VDMOS体二极管的特性有明显的改善:因为肖特基二极管起了作用,正向电流相同的情况下,本发明的超结VDMOS的体二极管正向压降会比传统的线性原胞设计的超结VDMOS体二极管正向压降更低,从而降低器件的开通损耗;本发明设计的超结VDMOS体二极管反向恢复特性和传统的线性原胞设计的超结VDMOS体二极管情况对比,本发明设计的超结VDMOS体二极管反向恢复电流峰值更小,使得体二极管的 di/dt 变小,从而减少器件的失效率。

[0018] 本发明中以700V超结VDMOS产品为例,对本发明的超结VDMOS及传统的线性原胞设计的超结VDMOS分别仿真一个原胞的体二极管来做对比说明:图5为本发明700V超结VDMOS产品的反向仿真击穿情况,仿真击穿电压可以达到800V,可以满足700V产品对击穿电压的需求。图6为本发明设计的超结VDMOS体二极管和传统的线性原胞设计的超结VDMOS体二极管的仿真I-V曲线,可以从图中看出:正向电流都为 $5e-7A$ 的时候,本发明设计的超结VDMOS体二极管的正向压降为0.51V,而传统的线性原胞设计的超结VDMOS体二极管正向压降为0.61V,即正向电流相同的情况下本发明设计的超结VDMOS体二极管正向导通压降更低。图7为本发明设计的超结VDMOS体二极管反向恢复特性和传统的线性原胞设计的超结VDMOS体二极管情况对比,可以看出,本发明设计的超结VDMOS体二极管的反向恢复电流峰值为6.1A,而传统的线性原胞设计的超结VDMOS体二极管的反向恢复电流峰值为10.1A,本发明设计的超结VDMOS体二极管的反向恢复电流更小。

[0019] 以上所述,仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。

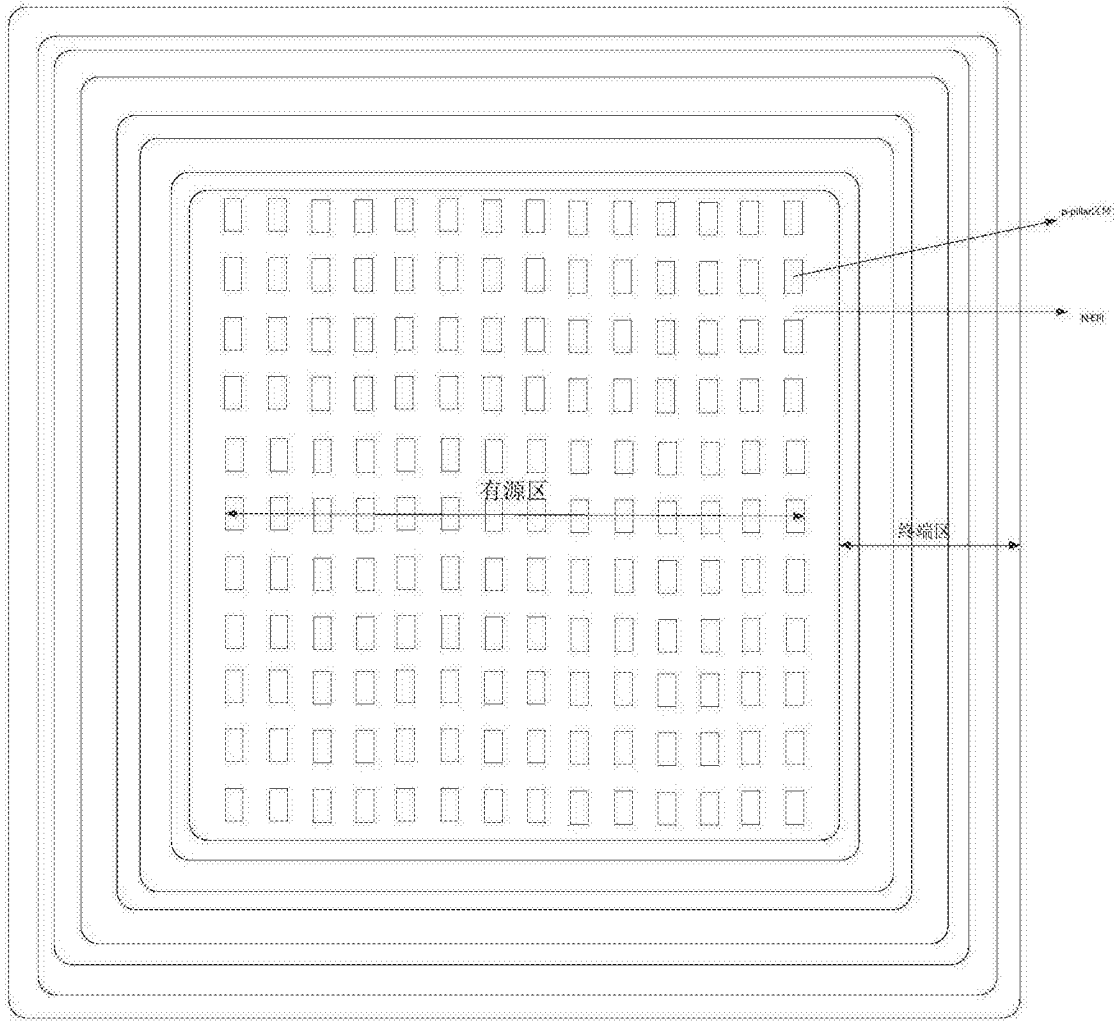


图1

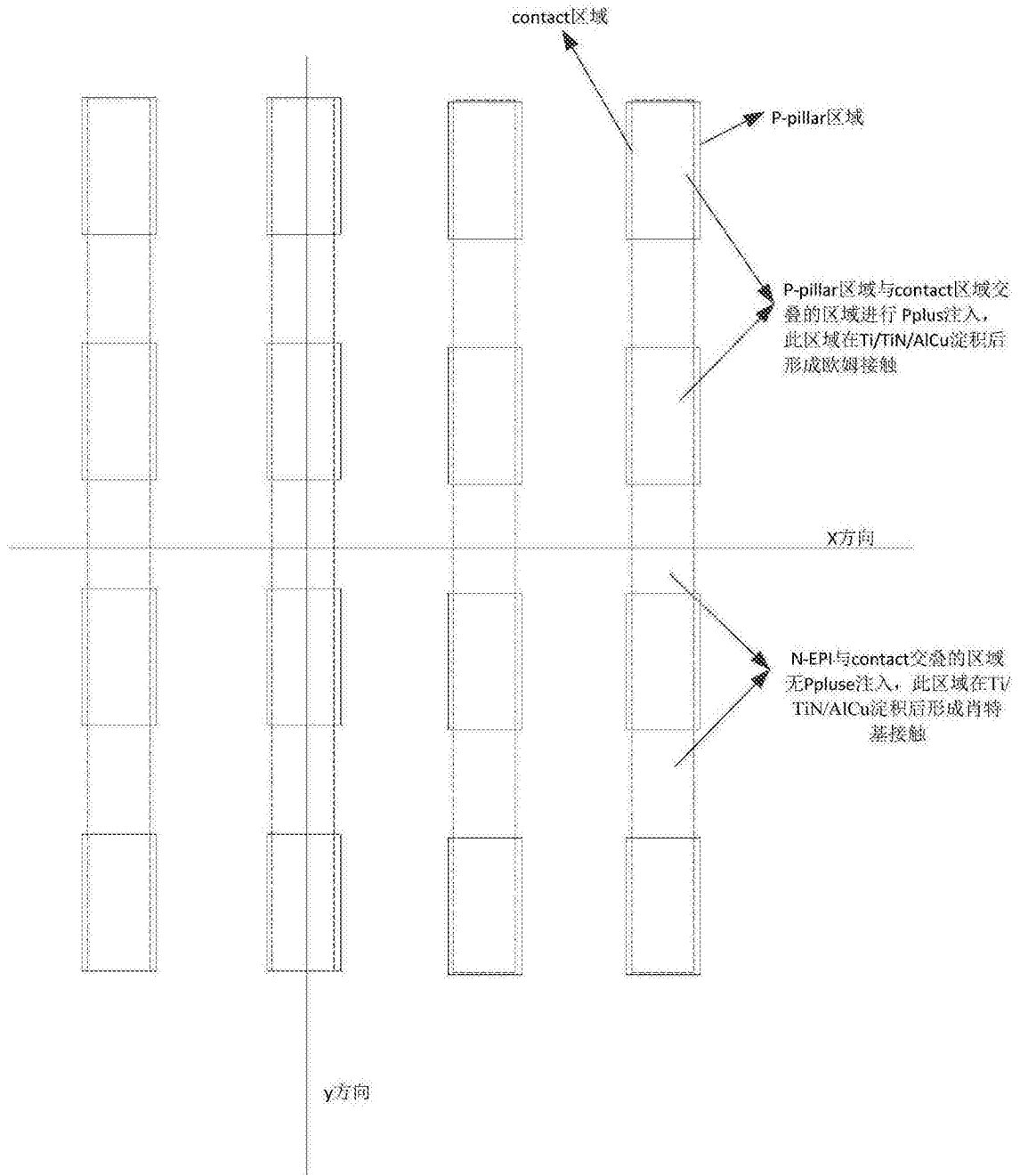


图2

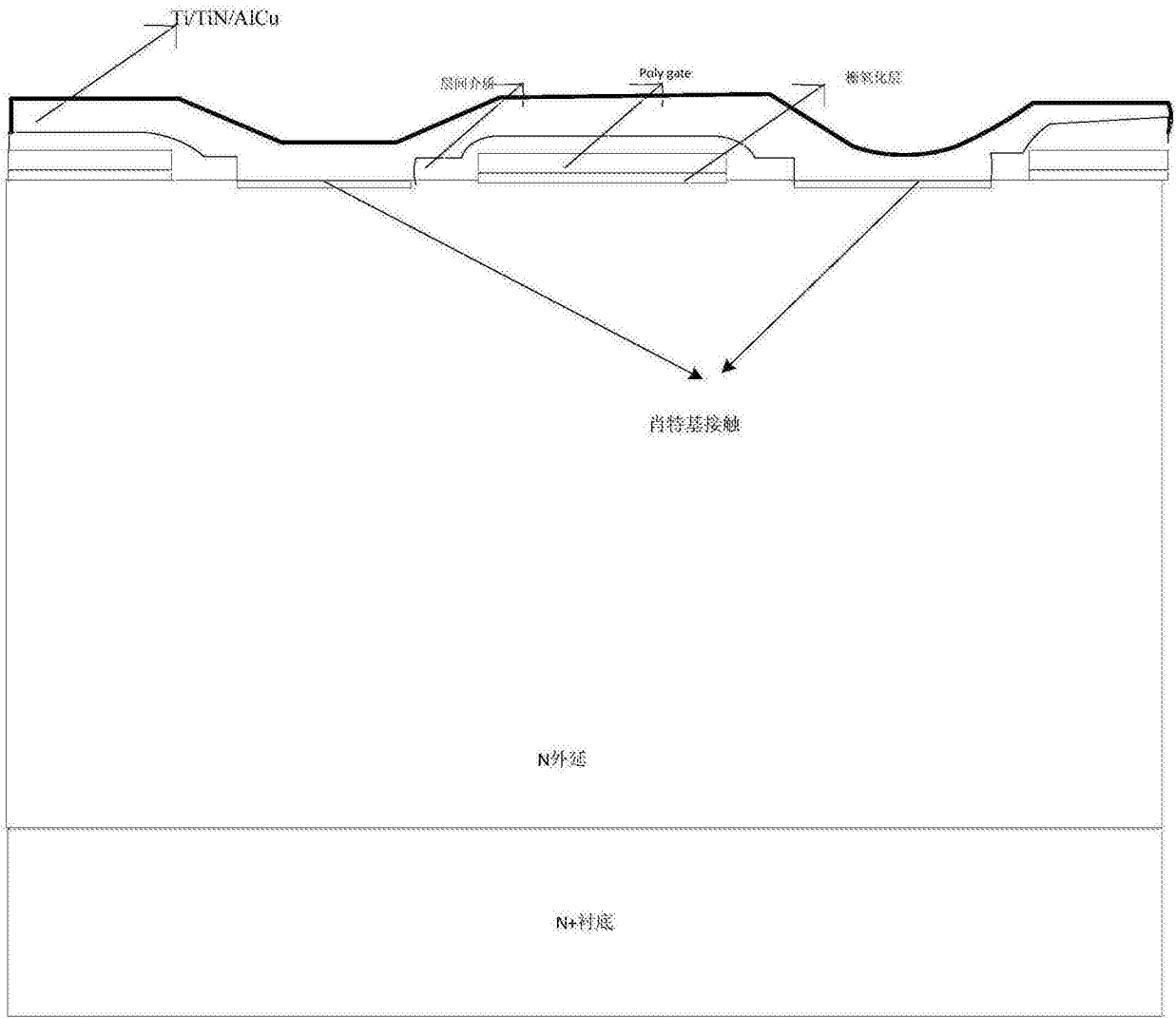


图3

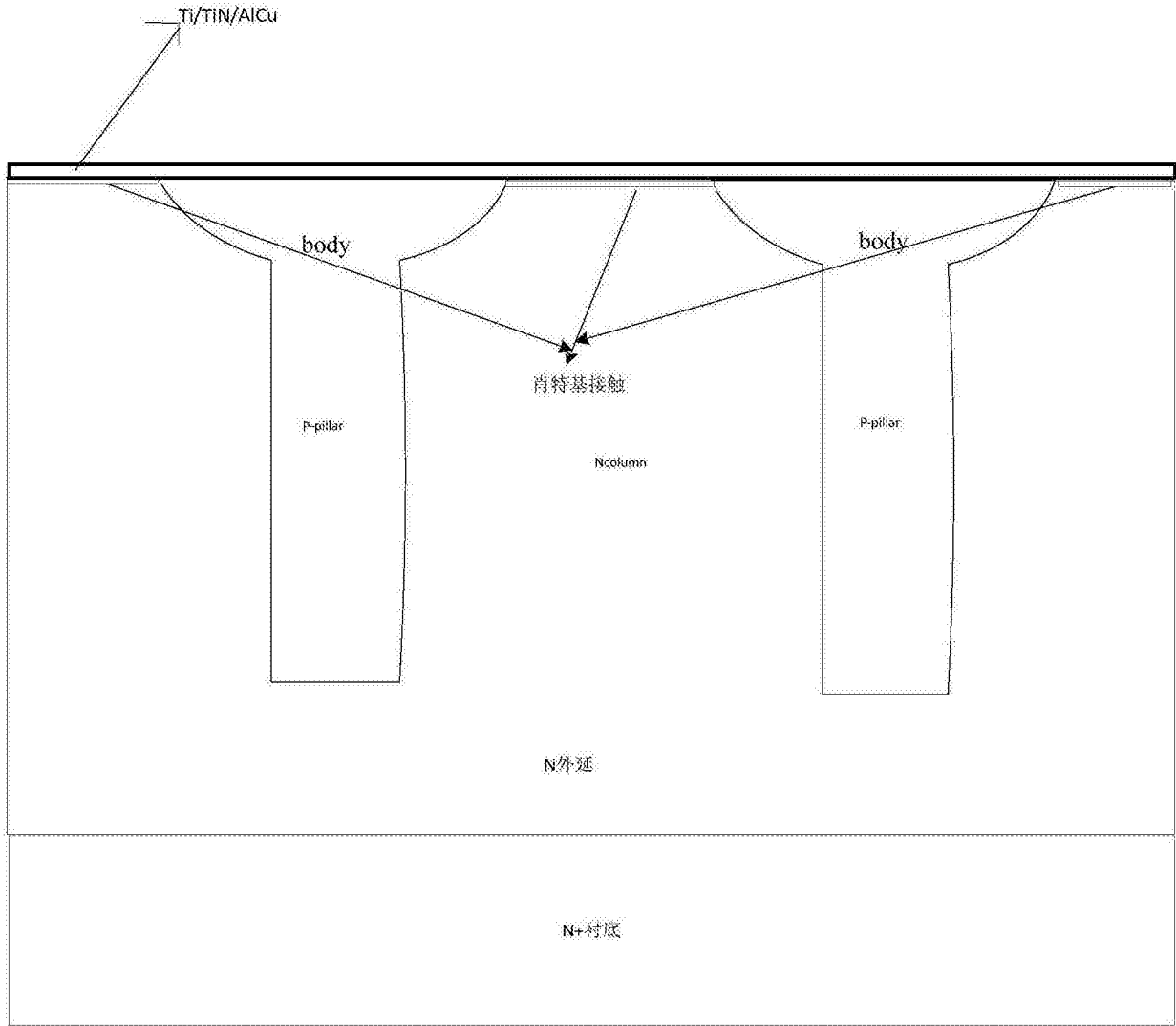


图4

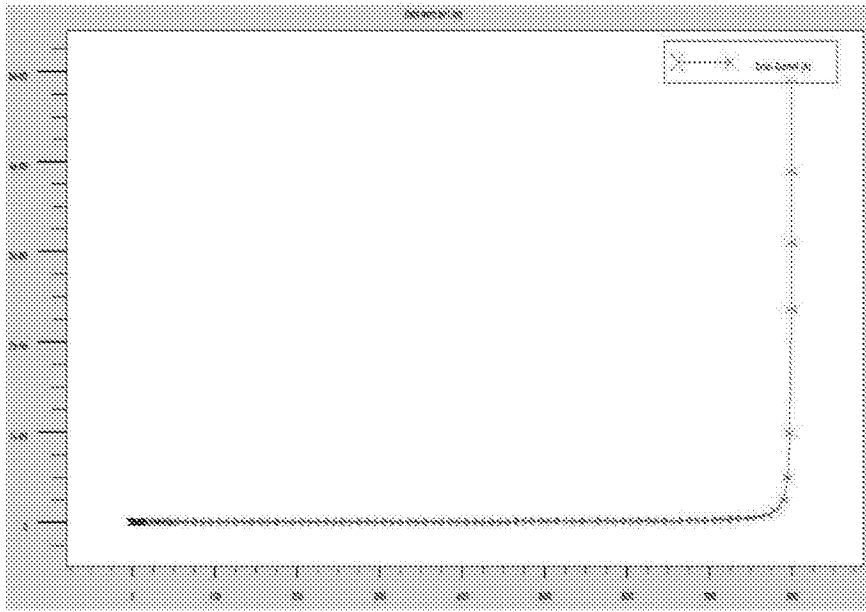


图5

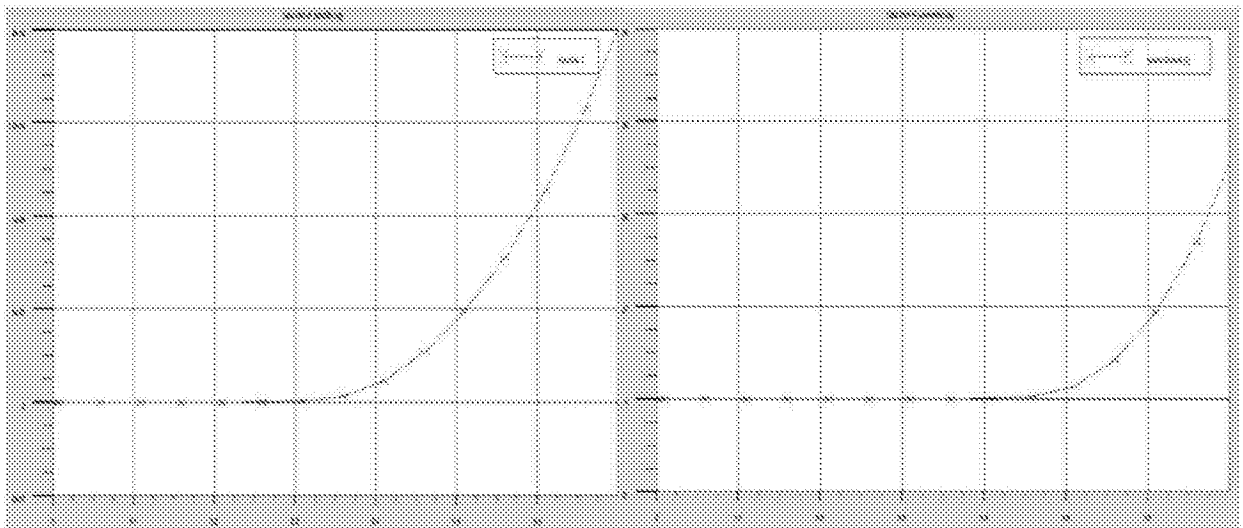


图6

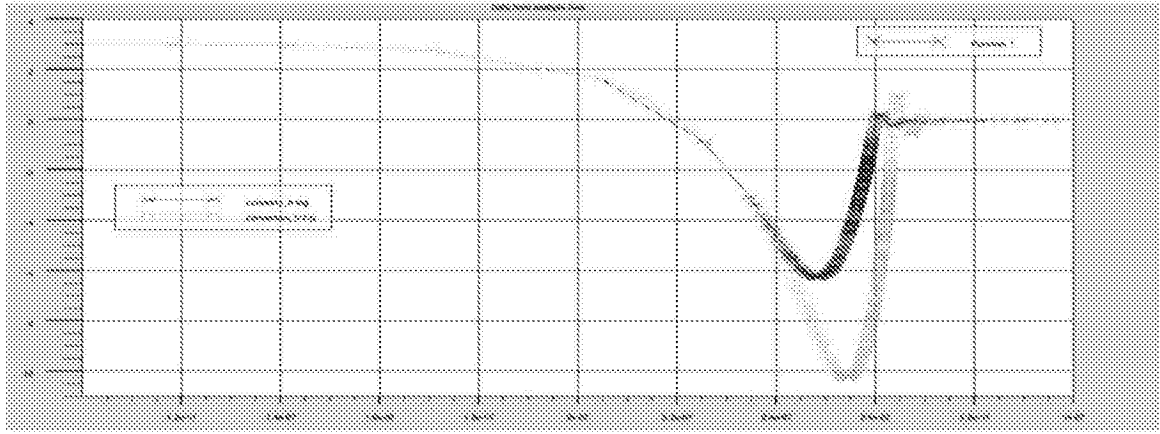


图7