

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94137449

※申請日期：94.10.26

※IPC 分類：H02M 3/07, G09G 3/36

H03K 2/00 (2006.01)

一、發明名稱：(中文/英文)

除頻電路、電源電路以及顯示裝置/FREQUENCY DIVIDING CIRCUIT,
POWER SUPPLY CIRCUIT AND DISPLAY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三菱電機股份有限公司/MITSUBISHI DENKI KABUSHIKI KAISHA

代表人：(中文/英文)

野間口有/TAMOTSU NOMAKUCHI

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目 2 番 3 號

國籍：(中文/英文)

日本/JAPAN

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 飛田洋一/YOICHI TOBITA

2. 森成一郎/SEIICHIROU MORI

3. 村井博之/HIROYUKI MURAI

國籍：(中文/英文)

1.~3. 日本/JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本、2005/03/16、2005-074777

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於除頻電路、電源電路以及顯示裝置的操作界限增加。

【先前技術】

平面型顯示裝置係以液晶或有機 EL 等作為顯示元件(畫素)，並包括電源電路及驅動電路。因此，電源電路以及驅動電路係利用與顯示元件同時在基板上形成的薄膜電晶體(Thin Film Transistor: TFT)而形成。

電源電路由除頻電路和電荷泵電路所形成。外部系統所供應的電壓 VDD 及 VSS(GND)提供至電源電路。除頻電路降低高頻輸入的時脈信號的頻率。因此，除頻電路輸出低頻的時脈信號至電荷泵電路。降低時脈信號的頻率的理由係將流入電荷泵電路的無效電流減少，因而提高電源電路的電力效率。

電荷泵電路利用低頻的時脈信號、VDD(輸入信號)、及 VSS 產生比 VDD 高的電壓 VDDH(第 2 昇壓電壓)、比 VSS 低的電壓 VSSL。驅動電路藉由 VDDH、VSSL 而操作，產生用以驅動畫素的種種信號。

除頻電路由複數的單位除頻電路(二進位計數器)串級連接所構成。單位除頻電路將輸入的信號頻率降低至 $1/2$ 。因此， n 段的單位除頻電路串級連接成的除頻電路將輸入的信號頻率降低至 $(1/2^n)$ 。

畫素、驅動電路、及電源電路一體化的顯示裝置中，一般係輸入作為時脈信號的點時脈信號(輸入信號)、水平同步信號、垂直同步信號的三信號，用以產生顯示裝置內部的控制信號。

點時脈信號的頻率依據顯示裝置的畫素數而定，例如攜帶電話內使用的 QVGA 尺寸的顯示裝置約 5MHz。因此，單位除頻電路的初段電路必需是約 5MHz 的操作。而基準電壓 VDD 係依據外部的 LSI

電路而定，一般約 3V。

又，有關本發明的習知技術記載於專利文件 1 中。

[專利文件 1]特開 2000-278937 號公報。

【發明內容】

[發明所欲解決的課題]

然而，以低溫矽處理所形成的現狀的 TFT，由於電流驅動能力低，難以跟上高頻的輸入信號。因而，具有不同的 TFT 的特性值(特別是臨界電壓)時，特別是初段的單位除頻電路，由於輸入最高頻率的信號，變成幾乎無操作界限。結果，除頻電路全體的操作界限變小。

在此，本發明的目的係，在驅動電路一體型的顯示裝置中，提供操作界限大的除頻電路、電源電路以及顯示裝置。

申請專利範圍第 1 項中所記載的發明係將輸入信號除頻而輸出的除頻電路，包括串級連接的複數個的單位除頻電路、以及至少提供昇壓電壓給初段的上述單位除頻電路之昇壓電路。

根據申請專利範圍第 1 項中所記載的發明，除頻電路的至少初段的單位除頻電路係利用昇壓電壓而操作。結果，構成單位除頻電路的電晶體之電流驅動能力上昇，且即使使用薄膜電晶體作為電晶體，也可放大除頻電路的操作界限。

【實施方式】

[第一實施例]

<A. 電路結構>

<A-1. 全體結構>

第 1 圖係顯示根據本實施例的顯示裝置 100 的結構方塊圖。

連接驅動電路 20 的輸出至畫素 10。由電源電路 30 供給至電壓 VDDH、VSSL 至驅動電路 20。電源電路 30 係由端子 1 輸入點時脈信

號(輸入信號：以下有時僅稱作信號 DCLK)。信號 DCLK 係 H 電位為電壓 VDD、L 電位為接地電壓(例如 0V)的信號。

電源電路 30 依據信號 DCLK 產生比電壓 VDD 高的電壓 VDDH 及比 VSS 低的電壓 VSSL，並輸出至驅動電路 20。驅動電路 20 接收來自電源電路 30 的 VDDH、VSSL，產生並輸出用以驅動畫素 10 的種種信號。

<A-2. 電源電路 30 的電路結構>

電源電路 30 由電荷泵電路 40(第 2 昇壓電路)以及除頻電路 50 構成。除頻電路 50 轉換信號 DCLK 為低頻信號並輸出至電荷泵電路 40。

電荷泵電路 40，根據來自除頻電路 50 的信號，將電壓 VDD 昇壓而輸出電壓 VDDH。又，電荷泵電路 40 產生並輸出低電壓 VSSL。

<A-3. 除頻電路 50 的電路結構>

其次，參考第 2 圖，詳細說明有關除頻電路 50 的構造。第 2 圖係顯示除頻電路 50 的構造方塊圖。

除頻電路 50 係由串級連接的 n 個單位除頻電路 $FD1 \sim FDn$ 、以及電路 80 構成。最終段的單位除頻電路 FDn 的輸出 BCn 連接至電荷泵電路 40(參考第 1 圖)。

電路 80 供給電壓 VBC(昇壓電壓)至單位除頻電路 $FD1$ 。信號 DCLK 經由電路 80 輸入至單位除頻電路 $FD1$ 。電路 80 係由電荷泵電路 70 以及電位位移器 60 所構成。電荷泵電路 70，根據信號 DCLK，將電壓 VDD 昇壓以產生電壓 VBC。作為昇壓電路的電荷泵電路 70 供應電壓 VBC 給單位除頻電路 $FD1$ 以及電位位移器 60。

電位位移器 60，當信號 DCLK 輸入時，轉換其 H 電位(一側電位)為電壓 VBC 並輸出。設置電位位移器 60 係為了防止由於供應電壓 VBC 至單位除頻電路 $FD1$ 而產生貫通電流。

又，單位除頻電路 $FD1$ ，由於依據電壓 VBC 而操作，輸出信號 $BC1$ 的 H 電位為電壓 VBC。此電壓電位輸入至依電壓 VDD 而操作的單

位除頻電路 FD2，但此時由於無貫通電流流過，因此沒有問題。

<A-4. 電位位移器 60 的結構>

第 3 圖係顯示電位位移器 60 的結構的電路圖。電位位移器 60 由反相器 61、62、以及電位位移電路 63 所構成。

第 3 圖中，電晶體 Q2、Q4、Q6、Q8 係 N 型 TFT(薄膜電晶體)。電晶體 Q1、Q3、Q5、Q7 係 P 型 TFT。

反相器 61 由電晶體 Q1、Q2 所構成。電晶體 Q1 的源極有電壓 VDD 供應，汲極在節點 N1 與電晶體 Q2 的汲極連接。電晶體 Q2 的源極接地。電晶體 Q1、Q2 的閘極連接至端子 1、以及構成電位位移電路 63 的電晶體 Q6 的閘極。輸入信號 DCLK 至端子 1。

當 L 電位的信號輸入反相器 61 時，電晶體 Q1 轉變為接通狀態，而電晶體 Q2 轉變為斷開狀態。結果，由節點 N1 輸出 H 電位(電壓 VDD)的信號。

其次，當輸入 H 電位的信號時，電晶體 Q1 轉變為斷開狀態，而電晶體 Q2 轉變為接通狀態。結果，由節點 N1 輸出 L 電位(例如 0V)的信號。

根據上述，反相器 61 係以輸出信號 DCLK 與反相的信號/DCLK 而操作。

電位移位電路 63 由電晶體 Q3~Q6 所構成。電晶體 Q3 的源極連接至電晶體 Q5 的源極、以及電荷泵電路 70(參考第 2 圖)的輸出，並有電壓 VBC 供應。

電晶體 Q3 的汲極在節點 N2 連接至電晶體 Q4 的汲極。電晶體 Q4 的源極接地。電晶體 Q5 的汲極在節點 N3 連接至電晶體 Q6 的汲極。電晶體 Q6 的源極接地。電晶體 Q3 的閘極連接至節點 N3，而電晶體 Q5 的閘極連接至節點 N2。電晶體 Q4 的閘極連接至節點 N1，而電晶體 Q6 的閘極連接至端子 1。

電位位移電路 63，當第 1 輸入(電晶體 Q4 的閘極)輸入 H 電位、第 2 輸入輸入(電晶體 Q6 的閘極)L 電位的信號時，電晶體 Q4 轉變

為接通狀態，而電晶體 Q6 轉變為斷開狀態。

當電晶體 Q4 轉變為接通狀態時，節點 N2 經由電晶體 Q4 接地並轉變為 L 電位。節點 N2 轉變為 L 電位時，電晶體 Q5 轉變為接通狀態。結果，節點 N3 經由電晶體 Q5 連接至電壓 VBC，並轉變為 H 電位。此時，節點 N3 的 H 電位成為比信號 DCLK 的 H 電位的電壓 VDD 高的電壓 VBC。

其次，當輸入 L 電位的信號至第 1 輸入、H 電位的信號至第 2 輸入時，電晶體 Q4 轉變為斷開狀態，而電晶體 Q6 轉變為接通狀態。電晶體 Q6 轉變為接通狀態時，節點 N3 經由電晶體 Q6 而接地，並轉變為 L 電位。當節點 N3 轉變為 L 電位時，電晶體 Q3 轉變為接通狀態。

結果，節點 N2 經由電晶體 Q3 連接至電壓 VBC，並轉變為 H 電位。因此，節點 N2 的 H 電位由比信號 DCLK 的 H 電位高的電壓 VBC 所提供。

根據以上所述，當互相反相的信號輸入至第 1 輸入、第 2 輸入時，電位移位電路 63 係以電壓 VBC 的 H 電位輸出互相反相的信號而操作。

反相器 62 係由電晶體 Q7、Q8 所構成。電晶體 Q7 的源極連接至電晶體 Q5 的源極，有電壓 VBC 供應。電晶體 Q7 的汲極在節點 N4 連接至電晶體 Q8 的汲極。電晶體 Q8 的源極接地。

電晶體 Q7、Q8 的閘極在節點 N3 連接至電位移位電路 63。節點 N4 連接至端子 3，而信號 DCLK 由端子 3 輸出。

由於反相器 62 的操作與反相器 61 相同，所以省略詳細的說明。

<A-4-1. 電位移位器 60 的操作>

當信號 DCLK 由端子 1 輸入至反相器 61 時，反相器 61 輸出反相信號/DCLK 至電位移位電路 63 的第 1 輸入。信號 DCLK 輸入至電位移位電路 63 的第 2 輸入。

當輸入反相信號/DCLK 至第 1 輸入、信號 DCLK 至第 2 輸入時，

電位移位電路 63 係以電壓 VBC 的 H 電位由節點 N2、N3 輸出互相反相的信號而操作。

節點 N3 輸出與/DCLK 同相的信號/DCLKP 至反相器 62。反相器 62 將反相信號/DCLK 反相，並輸出信號 DCLKP。

在此，由於通常不能增大電位移位電路 63 的驅動能力，反相器 62 係作為電位移位電路 63 的緩衝器而操作。電位移位電路 63 的驅動能力相對於負載可增大時，反相器 62 是不需要的。相反地，當負載大時，需要增加緩衝器的階數。

<A-5. 電荷泵電路 70 的結構>

第 4 圖係顯示電荷泵電路 70 結構的電路圖。電荷泵電路有各種的電路，而第 4 圖係對應產生昇壓電壓型的電荷泵電路。

當電荷泵電路 70 在端子 41 有電壓 VDD 供應時，將電壓 VDD 昇壓，並從端子 42 輸出電壓 VBC。

電荷泵電路 70 係由 N 型 TFT 的電晶體 Q9、P 型 TFT 的電晶體 Q10、以及電容 C_p 、輸出電容 C_{OUT} 所構成。

電晶體 Q9(第 1 電晶體)的汲極(一側端子)連接至端子 41，有 VDD(輸入電壓)輸入。電晶體 Q9 的源極(另一側端子)在節點 N5 連接至電晶體 Q10(第 2 電晶體)的源極(一側端子)。而在節點 N5 連接電容 C_p (第 1 電容元件)的一端。電晶體 Q10 的汲極(另一側端子)連接至輸出電容 C_{OUT} (第 2 電容元件)的一端。輸出電容 C_{OUT} 的另一端接地。

電晶體 Q9 的閘極有信號 P1 輸入。而電容 C_p 的另一端係輸入信號 P2。電晶體 Q10 的閘極有信號 P3 輸入。

又，信號 P1~P3 係利用信號 DCLK 而產生。

<A-5-1. 電荷泵電路 70 的操作>

其次參考第 5 圖，說明有關電荷泵電路 70 的操作。第 5 圖係用以說明電荷泵電路 70 的操作的波形圖。

在初期狀態中，輸入的信號係信號 P1 在 L 電位(VDD)，信號 P2

在 L 電位 (VSS：例如 0V)，信號 P3 在 H 電位 ($2 \cdot VDD$)。

其次，在信號 P2 為 L 電位時，當信號 P1 轉變為 H 電位 ($2 \cdot VDD$)，電晶體 Q9 轉變為接通狀態而電容 C_p 充電至 VDD。結果，節點 N5 的電壓電位變成 VDD。

在此，由於電晶體 Q9 的源極電壓變成 VDD，為了無臨界值電壓損失地在非飽和區域改變電晶體 Q9 為接通狀態，信號 P1 必需為 $2 \cdot VDD$ 的電壓。

又，由於信號 P3 係 H 電位 ($2 \cdot VDD$)，閘極·源極間電壓為 VDD，電晶體 Q10 為斷開狀態。

信號 P1 再變為 L 電位時，電晶體 Q9 變成斷開狀態。然後，從電晶體 Q9 變成斷開狀態開始經過時間 $dt1$ 後，信號 P2 變成 H 電位 (VDD)。由於電容 C_p 充電至 VDD，節點 N5 的電位變成 $2 \cdot VDD$ 。

此時，如果經過時間 $dt1$ 前信號 P2 變成 H 電位，由於電晶體 Q9 在接通狀態，電流由節點 N5 流往端子 41，節點 N5 的電壓電位不會變成 $2 \cdot VDD$ 。因此，經過時間 $dt1$ 後，信號 P2 必需為 H 電位。

然後，信號 P2 為 H 電位後經過時間 $dt2$ 時，信號 P3 變成 L 電位 (VDD)。信號 P3 變成 L 電位時，電晶體 Q10 的閘極·源極間電壓為 $-VDD$ ，電晶體 Q10 轉變為接通狀態。

然後，電流由節點 5 流向輸出電容 C_{OUT} ，將輸出電容 C_{OUT} 充電。結果，端子 42 的電壓電位上昇一定值 (節點 5 的電壓電位下降)。

此時，如果經過時間 $dt2$ 前信號 P3 變成 L 電位，電晶體 Q10 的閘極·源極間電壓變成 $-VDD$ 前，電晶體 Q10 轉變為接通狀態。因此，輸出電容 C_{OUT} 的充電速度變慢，充電效率降低。

當信號 P3 為 H 電位時，電晶體 Q10 為斷開狀態。電晶體 Q10 變成斷開狀態之後，經過時間 $dt3$ 後，信號 P2 變成 L 電位 (0V)。當信號 P2 變成 L 電位時，節點 N5 的電壓電位也同時降低。

經過時間 $dt3$ 前，信號 P2 變成 L 電位時，節點 N5 的電壓電位降低，且比輸出側的電壓電位還低。由於電晶體 Q10 為接通狀態，

電流由輸出側往節點 N5 側逆流，且輸出電位降低。也就是說，充電效率降低。

信號 P2 變成 L 電位之後，經過時間 dt_4 後，信號 P1 由 L 電位轉變為 H 電位。於是，電晶體 Q9 轉變為接通狀態，而將電容 C_p 再充電至電壓 VDD，因此節點 5 的電壓電位成為 VDD。

此時，如果經過時間 dt_4 前信號 P1 變成 H 電位，電晶體 Q9 的閘極·源極間電壓變成 VDD 前，電容 C_p 開始充電。因此，充電速度變慢，充電效率降低。

重複上述的操作，再負載電流為 0 的無負載狀態下，輸出電壓 VBC 上昇至 $2 \cdot VDD$ 。當負載電流流過時，產生相當於負載電流的電壓降。

<A-6. 單位除頻電路的結構>

其次參考第 6 圖，說明有關單位除頻電路的結構。第 6 圖係顯示單位除頻電路結構的電路圖。

單位除頻電路中，輸入信號 BC_{k-1} 而輸出信號 BC_k 。然後，信號 BC_k 係信號 BC_{k-1} 的 $1/2$ 的頻率。

在此，第 6 圖係顯示一般化的電路。例如，當對應第 2 圖所示的單位除頻電路 FD1 時，信號 BC_{k-1} 對應信號 DCLKP、信號 BC_k 對應信號 BC1、電壓 VDD 對應電壓 VBC。

又，第 6 圖中，電晶體 TP1~TP12 係 P 型 TFT，而電晶體 TN1~TN12 係 N 型 TFT(N 型電晶體)。

第 6 圖由 4 個通常的反相器 IV1~IV4、及 4 個時脈式反相器 IV1~IV4 所構成。

反相器 IV1 係由有電壓 VDD 供應的電壓線 V 連接至源極的電晶體 TP1、以及電晶體 TP1 的汲極在節點 20 連接至汲極的電晶體 TN1 所構成。電晶體 TN1 的源極接地。輸入信號 BC_{k-1} 輸入至電晶體 TP1、TN1 的閘極。

反相器 IV2 係由源極連接至電壓線 V 的電晶體 TP2、以及電晶

體 TP2 的汲極在節點 21 連接至汲極的電晶體 TN2 所構成。電晶體 TN2 的源極接地。

反相器 IV3 係由電壓線 V 連接至源極的電晶體 TP7、以及電晶體 TP7 的汲極在節點 27 連接至汲極的電晶體 TN7 所構成。電晶體 TN2 的源極接地。

反相器 IV4 係由源極連接至電壓線 V 的電晶體 TP12、以及電晶體 TP12 的汲極在節點 28 連接至汲極的電晶體 TN12 所構成。電晶體 TN12 的源極接地。

時脈式反相器 CIV1 係由電晶體 TP3、TP4、以及電晶體 TN3、TN4 所構成。電晶體 TP4 的源極連接至電壓線 V，而汲極連接至電晶體 TP3 的源極。電晶體 TP3 的汲極在節點 23 與電晶體 TN4 的汲極連接。電晶體 TN4 的源極與電晶體 TN3 的汲極連接。電晶體 TN3 的源極接地。

時脈式反相器 CIV2 係由電晶體 TP5、TP6、以及電晶體 TN5、TN6 所構成。電晶體 TP6 的源極連接至電壓線 V，而汲極連接至電晶體 TP5 的源極。電晶體 TP5 的汲極在節點 26 與電晶體 TN6 的汲極連接。電晶體 TN6 的源極與電晶體 TN5 的汲極連接。電晶體 TN5 的源極接地。

時脈式反相器 CIV3 係由電晶體 TP8、TP9、以及電晶體 TN8、TN9 所構成。電晶體 TP9 的源極連接至電壓線 V，而汲極連接至電晶體 TP8 的源極。電晶體 TP8 的汲極在節點 25 與電晶體 TN9 的汲極連接。電晶體 TN9 的源極與電晶體 TN8 的汲極連接。電晶體 TN8 的源極接地。

時脈式反相器 CIV4 係由電晶體 TP10、TP11、以及電晶體 TN10、TN11 所構成。電晶體 TP11 的源極連接至電壓線 V，而汲極連接至電晶體 TP10 的源極。電晶體 TP10 的汲極在節點 29 與電晶體 TN11 的汲極連接。電晶體 TN11 的源極與電晶體 TN10 的汲極連接。電晶體 TN10 的源極接地。

電晶體 TP2、TN2 的閘極形成反相器 IV2 的輸入。反相器 IV2 的輸入連接至構成時脈式反相器 CIV1 的電晶體 TP4 的閘極、構成時脈式反相器 CIV2 的電晶體 TP6 的閘極、構成時脈式反相器 CIV3 的電晶體 TP8 的閘極、以及構成時脈式反相器 CIV4 的電晶體 TP10 的閘極。

反相器 IV1 的輸出(節點 N20)連接至反相器 IV2 的輸入。

反相器 IV2 的輸出(節點 N21)連接至構成時脈式反相器 CIV1 的電晶體 TN3 的閘極、構成時脈式反相器 CIV2 的電晶體 TP5 的閘極、構成時脈式反相器 CIV3 的電晶體 TP9 的閘極、以及構成時脈式反相器 CIV4 的電晶體 TN11 的閘極。

反相器 IV3 的輸出(節點 N27)連接至時脈式反相器 CIV2 的輸入(電晶體 TP6 的閘極、以及電晶體 TN5 的閘極)、以及時脈式反相器 CIV3 的輸入(電晶體 TP8 的閘極、以及電晶體 TN9 的閘極)。

反相器 IV4 的輸出(節點 N28)輸入至時脈式反相器 CIV4 的輸入(電晶體 TP11、TN10 的閘極)，並輸出信號 BC_k 。

構成時脈式反相器 CIV1 的電晶體 TP3 及電晶體 TN4 的閘極連接至反相器 IV4 的輸入(電晶體 TP12 的閘極以及電晶體 TN12 的閘極)。

時脈式反相器 CIV2 的輸出(節點 N26)連接至時脈式反相器 CIV1 的輸出(節點 N23)。時脈式反相器 CIV2 的輸出更連接至反相器 IV3 的輸入(電晶體 TP7 的閘極、以及電晶體 TN7 的閘極)。

時脈式反相器 CIV3 的輸出(節點 N25)連接至時脈式反相器 CIV4 的輸出(節點 N29)並連接至反相器 IV4 的輸入(電晶體 TP12、電晶體 TN12 的閘極)。

<A-6-1. 單位除頻電路的操作>

其次，參考第 7 圖，說明單位除頻電路的操作。第 7 圖係用以說明單位除頻電路的操作的波形圖。

信號 bc 對應反相器 IV2 的輸出信號(節點 N21 的電壓電位)，而信號 /bc 對應反相器 IV1 的輸出信號(節點 N20 的電壓電位)。

首先，節點 N23 及節點 N25 的電壓電位由復位電路(未圖示)設定為電壓 VDD。即，設定信號 BC_{k-1} 、 BC_k 為初期狀態的 L 電位。結果，由於 bc 、 $/bc$ 分別為 L 電位、H 電位，時脈式反相器 CIV1 為非活化狀態。

其次，在時間 t_1 中，當信號 BC_{k-1} 變成 H 電位時，信號 bc 、信號 $/bc$ 分別變成 H 電位、L 電位。時脈式反相器 CIV1 於是被活化。由於設定節點 N25 為 H 電位，節點 N23 變成 L 電位。因此，連接至反相器 IV3 的輸出(節點 N27)的節點 N24 變成 H 電位。

其次，在時間 t_2 中，當信號 BC_{k-1} 變成 L 電位時，信號 bc 、信號 $/bc$ 分別變成 L 電位、H 電位，而時脈式反相器 CIV1 被非活化的同時，時脈式反相器 CIV2 被活化。結果，節點 N23、N24 的電位不變，並由時脈式反相器 CIV2 和反相器 IV3 所構成的正反器電路所保持。同時，時脈式反相器 CIV3 被活化，而節點 N25 變成 L 電位。因而，信號 BC_k 變成 H 電位。

其次，在時間 t_3 中，當信號 BC_{k-1} 再變成 H 電位時，信號 bc 、信號 $/bc$ 分別變成 H 電位、L 電位，而時脈式反相器 CIV1 被活化。由於節點 N25 變成 L 電位，節點 N23 變成 H 電位而節點 N24 變成 L 電位。同時，時脈式反相器 CIV3 被非活化，而時脈式反相器 CIV4 被活化。結果，節點 N25、信號 BC_k 的電位不變，並由時脈式反相器 CIV4 和反相器 IV4 所構成的正反器電路所保持。

其次，在時間 t_4 中，當信號 BC_{k-1} 再變成 L 電位時，信號 bc 、信號 $/bc$ 分別變成 L 電位、H 電位，而時脈式反相器 CIV1 被非活化的同時，時脈式反相器 CIV2 被活化。結果，節點 N23、N24 的電壓電位不變，並由時脈式反相器 CIV2 和反相器 IV3 所構成的正反器電路所保持。同時，時脈式反相器 CIV3 被活化，節點 N25 變成 H 電位，且信號 BC_k 變成 L 電位。

根據以上的操作，如第 7 圖所示，信號 BC_k 被除頻為 BC_{k-1} 的 $1/2$ 頻率。

參考第 2、3、6 圖，電壓(昇壓電壓)VBC 只連接至 4 段的反相器、4 段的時脈式反相器、1 段的電位位移器，對於電壓 VBC 的負載而言很小。

因此，操作時 VBC 和 VSS 間流過的電源電流很小，電荷泵電路 70 即使效率差，也可供給既定電壓給電位位移器 60、以及單位除頻電路。

<B. 顯示裝置 100 的操作>

其次，參考第 1、2 圖，說明關於根據本實施例的顯示裝置 100 的操作。

當輸入信號 DCLK 至電源電路 30 的除頻電路 50 時，電荷泵電路 70(參考第 2 圖)由信號 DCLK 產生電壓 VBC，並供給電壓 VBC 至單位除頻電路 FD1 以及電位位移器 60。信號 DCLK 也輸入至電位位移器 60，而電位位移器 60 變換信號 DCLK 的 H 電位為電壓 VBC 而得的信號 DCLKP 輸出至單位除頻電路 FD1。

單位除頻電路 FD1 輸出信號 DCLKP 除頻為 $1/2$ 的頻率而得的 BC1 至單位除頻電路 FD2。單位除頻電路 FD2 接收信號 BC1，並輸出信號 BC1 除頻為 $1/2$ 的頻率而得的 BC2。最後，由最終段的單位除頻電路 FDn 從端子 2 輸出信號 BC1 除頻為 $1/2^n$ 的頻率而得的 BC_n 至電荷泵電路 40(參考第 1 圖)。

電荷泵電路 40 接收信號 BC_n 產生電壓 VDDH、VSSL，並輸出至驅動電路 20。

驅動電路 20 產生並輸出用以驅動畫素 10 的種種信號。畫素 10 因而依據來自驅動電路 20 的信號而被驅動。

<C. 效果>

根據本實施例的顯示裝置中，構成除頻電路 50 的單位除頻電路 FD1 至 FDn 中，供應比電壓 VDD 高的電壓 VBC 至初段的單位除頻電路 FD1。

結果，提高了構成初段的單位除頻電路 FD1 的 TFT 的電流驅動

能力。初段的單位除頻電路 FD1 中，雖然輸入最高頻率的信號 DCLKP，但由於提高了單位除頻電路 FD1 的電流驅動能力，可以增大操作界限。

初段的單位除頻電路的電流驅動能力提高的結果，可以提高除頻電路 50、以及包含除頻電路 50 的電源電路 30、顯示裝置 100 的操作界限。

雖然本實施例中是只供應電壓 VBC 至單位除頻電路 FD1 的結構，也可以是供應至單位除頻電路 FD1 以外的其它單位除頻電路的結構。當信號 DCLKP 的頻率高時，雖然單位除頻電路 FD2 的操作界限可能變窄，但如果也供應電壓 VBC 至單位除頻電路 FD2 的話，可使操作界限變廣。

又，畫素 10 可以是液晶元件、或是有機 EL 等的電場發光元件。

<D. 變形例>

除頻電路 50 的電路 80 中，電位移位器 60 並非必須的。昇壓電壓 VBC、昇壓電壓 VDD、P 型 TFT 的臨界值電壓 VTP 的關係為

$$VBC - VDD < |VTP| \text{ 時，}$$

貫通電流不流入單位除頻電路 FD1。

因此，如第 8 圖所示，可省略電位移位器 60。結果，可簡化除頻電路 50 的電路結構。

<第二實施例>

<A. 電荷泵電路 70 的結構>

第 9 圖係顯示根據本實施例的電荷泵電路 70 結構的電路圖。與第一實施例相同的結構係付與相同符號，並省略重複的說明。

節點 N7 的電壓電位，對應第 4 圖所示的信號 P1 的電壓電位，而節點 N8 的電壓電位，對應信號 P3 的電壓電位。又，信號 P2 係由點時脈信號 DCLK 提供。

第 9 圖所示的電荷泵電路 70 中，信號 DCLK 由反相器 73 反相而產生反相信號 /DCLK，並由反相信號 /DCLK 產生信號 P1、P3。

又，第 9 圖所示的結構中，電晶體 Q9、Q12、Q13 係 N 型 TFT，而電晶體 Q10、Q11、Q14 係 P 型 TFT。

電晶體 Q10(第 2 電晶體)的汲極(另一側端子)連接至輸出端子 42、以及輸出容量 COUT(第 2 電容元件)的一端。輸出容量 COUT 的另一端接地。由輸出端子 42 輸出昇壓電壓 VBC。

電晶體 Q10 的源極(一側端子)在節點 N5 連接至電晶體 Q9(第 1 電晶體)的源極(另一側端子)。電晶體 Q9 的汲極(一側端子)連接至輸入端子 41。節點 N5 連接電容 Cp(第 1 電容)的一端。信號 P2 輸入至電容 Cp 的另一端。

電晶體 Q10 的閘極(控制端子)、汲極間，插入電晶體 Q14(第 4 電晶體)。即，電晶體 Q14 的汲極(一側端子)在節點 A2 與電晶體 Q10 的汲極連接。電晶體 Q14 的源極(另一側端子)在節點 N8 與電晶體 Q10 的閘極連接。

電晶體 Q9 的閘極(控制端子)、汲極間，插入電晶體 Q13(第 3 電晶體)。即，電晶體 Q13 的汲極(一側端子)在節點 A1 與電晶體 Q9 的汲極連接。電晶體 Q13 的源極(另一側端子)在節點 N7 與電晶體 Q9 的閘極連接。

電晶體 Q13、14 的閘極在節點 A3 連接至電容 Cp 的一端。電容 Cp 的另一端連接至端子 72，有信號 DCLK 輸入。

電容 C3(第 4 電容元件)的一端連接至電晶體 Q10 的閘極。又，電容 C1(第 3 電容元件)的一端連接至電晶體 Q9 的閘極。電容 C1 的另一端在節點 A4 與電容 C3 的另一端連接。

電晶體 Q11 的源極有電壓 VDD 供應。電晶體 Q11 的汲極在節點 N6 連接至電晶體 Q12 的汲極。電晶體 Q12 的源極接地。節點 N6 與節點 A4 連接。

電晶體 Q11、Q12 的閘極在節點 N5 連接，節點 N5 與輸入端子 71 連接。電晶體 Q11、Q12 構成反相器 73。信號 DCLK 輸入至端子 71、72。即，端子 71、72 連接至端子 1(參考第 2 圖)。

<B. 電荷泵電路 70 的操作>

第 10 圖係用以說明根據本實施例的電荷泵電路 70 的操作的波形圖。

施加電壓 VDD 之後，由於數個週期的點時脈信號 DCLK 的輸入，信號 P1(節點 N7)的電壓電位充電至 VDD。此狀態下， $\overline{\text{DCLK}}$ 變成 H 電位(VDD)時，藉由與電容元件 C1 耦合，P1 的電壓電位變成 $2 \cdot \text{VDD}$ 。

電晶體 Q9 轉變為接通狀態時，電流從端子 41 流至電容 C_p ，而將電容 C_p 充電。此時，信號 P2(DCLK)為 L 電位，電容 C_p 充電至 VDD，以及節點 N5 的電壓電位變為 VDD。

其次，信號 P2 變成 H 電位時，節點 N5 的電壓電位藉由與電容耦合而變成 $2 \cdot \text{VDD}$ 。

但是，此時由於反相信號 $\overline{\text{DCLK}}$ 變成 L 電位，信號 P1 的電位往 VDD 下降中。因此，電晶體 Q9 未完全斷開。結果，電流從節點 N5 經由電晶體 Q9 逆流，充電效率下降。

同時，由於反相信號 $\overline{\text{DCLK}}$ 變成 L 電位，藉由與電容 C3 耦合，信號 P3(節點 N8)的電壓電位從輸出電壓 VBC 只降低了對應反相信號 $\overline{\text{DCLK}}$ 的振幅的 VDD。結果，電晶體 Q10 轉變為接通狀態。電流從節點 N5 經由電晶體 Q10 流出，輸出電容 COUT 充電至既定值。

信號 P2 變成 L 電位而節點 N5 的電壓電位降低的同時，電晶體 Q14 變成接通狀態，使信號 P3 的電壓電位變成 VBC。電晶體 Q10 於是變成斷開，但此過程中電流從端子 42 往節點 N5 逆流而使充電效率下降。

藉由重複上述的操作，輸出電壓 VBC 上昇至比 VDD 高的電壓電位。

<C. 電荷泵電路 70 的效果>

根據第一實施例的電荷泵電路 70(參考第 4 圖)必須從在 H 電位的 VDD 的信號 DCLK 產生在 H 電位的 $2 \cdot \text{VDD}$ 的信號 P1 及 P3，還要設置時間 $dt1$ 至 $dt4$ 的間隔來控制(參考第 5 圖)。

另一方面，根據本實施例的電荷泵電路 70 只輸入信號 DCLK，並且不需要設置時間間隔。因此，可以很容易地製造根據本實施例的除頻電路。

<第三實施例>

<A. 除頻電路 50 的結構>

第 11 圖係方塊圖，顯示根據本實施例的除頻電路 50 的結構。與第一實施例相同的結構係付與相同符號，並省略重複的說明。

根據本實施例的除頻電路 50，相對於根據第一實施例的除頻電路 50(參考第 2 圖)，更包括單位除頻電路 FD1P(第 2 單位除頻電路)、電位移位器 60P(第 2 電位移位器)。單位除頻電路 FD1P、電位移位器 60P 的結構與單位除頻電路 FD1(第 1 單位除頻電路)、電位移位器 60 相同。

OR 電路 51 的輸出連接至單位除頻電路 FD2 的輸入。AND 電路 52 的輸出連接至 OR 電路 51 的一輸入。AND 電路 53 的輸出連接至 OR 電路 51 的另一輸入。AND 電路 52 的一輸入有信號/SEL 輸入，而另一輸入連接至單位除頻電路 FD1 的輸出。

電位移位器 60 的輸出連接至單位除頻電路 FD1 的輸入。電位移位器 60 的輸入連接至輸入端子 1。

又，電荷泵電路 70 的輸出連接至電位移位器 60、單位除頻電路 FD1，並有昇壓電壓 VBC(昇壓電壓)供應。電位移位器 60 更有電壓 VDD 供應。

電荷泵電路 70 經由開關 SW1 連接至電壓 VDD。開關 SW1 由信號/SEL 控制接通、斷開。又，電荷泵電路 70 的輸入連接至端子 1。

AND 電路 53 的一輸入有信號 SEL 輸入。AND 電路 53 的另一輸入連接至單位除頻電路 FD1P 的輸出。單位除頻電路 FD1P 的輸入連接至電位移位器 60P 的輸出。電位移位器 60P 的輸入連接至端子 1。

單位除頻電路 FD1P、電位移位器 60P 經由開關 SW2 有電壓 VDDH(電荷泵電路 40 的輸出電壓(參考第 1 圖): 第 2 昇壓電壓)供

應。開關 SW2 由信號 SEL 控制接通・斷開。

<B. 除頻電路 50 的操作>

第 12 圖係用以說明根據本實施例的除頻電路 50 的操作的波形圖。根據本實施例的除頻電路 50 中，單位除頻電路 FD1、單位除頻電路 FD1P 的操作切換經由開關 SW1、SW2 執行，並經由 AND 電路 52、53 以及 OR 電路 51 執行輸出的切換。

首先，設定信號 SEL 為 L 電位以及信號 /SEL 為 H 電位。開關 SW1 變成接通，電荷泵電路 70 有電壓 VDD 供應，於是電位移位器 60 和單位除頻電路 FD1 啟動。

另一方面，開關 SW1 變成斷開，由於無電壓 VDD 供應，電位移位器 60 和單位除頻電路 FD1 不動作。

由於信號 SEL 為 L 電位以及信號 /SEL 為 H 電位，經由 AND 電路 52、53、OR 電路 51，單位除頻電路 FD1 的輸出輸入至單位除頻電路 FD2。

單位除頻電路 FD1 由電壓 VBC 驅動。來自除頻電路 50 的信號 BCn 輸出至電荷泵電路 40(參考第 1 圖)。電荷泵電路 40 因而產生電壓 VDDH。

當電壓 VDDH 變成既定電位時(第 12 圖的虛線所示的時間)，信號 SEL 變成 H 電位而信號 /SEL 變成 L 電位。於是，開關 SW1 變成斷開，電荷泵電路 70 從電壓 VDD 切離，停止了電位移位器 60 和單位除頻電路 FD1 的動作。另一方面，開關 SW2 變成接通，電位移位器 60P 和單位除頻電路 FD1P 有 VDDH 供應而開始操作。

由於信號 SEL 為 H 電位、信號 /SEL 為 L 電位，經由 AND 電路 52、53、OR 電路 51，單位除頻電路 FD1P 的輸出輸入至單位除頻電路 FD2。在此，不要開關 SW2 也可以，或是開關 SW2 的部分也可以一直連接著。

<除頻電路 50 的效果>

根據本實施例的除頻電路 50 中，效率差的電荷泵電路 70 只有

在電源電路啟動時使用，且當電源電路 30 的輸出即電荷泵電路 40 的輸出電壓 VDDH 變成既定電位以上時，利用電壓 VDDH 驅動單位除頻電路 FD1P。

即，藉由電壓 VDDH 是否大於既定電位(既定值)來切換有昇壓電壓 VBC 供應的單位除頻電路 FD1 或有電壓 VDDH 供應的單位除頻電路 FD1P。

結果，利用根據本實施例的除頻電路 50 可提高電源電路 30 全體的效率。

本實施例中，雖然除頻電路 50 中只有初段的單位除頻電路 FD1 和單位除頻電路 FD1P，但不一定是只有初段。例如，也可以提供初段到第 3 段串級連接的 2 組單位除頻電路，並依據電壓 VDDH 是否變得比既定電位大來切換。

又，如第一實施例中所述，如果 $VDDH < VDD | VTP |$ ，由於貫通電流不流過單位除頻電路 FD1P，可以省略電位移位器 60P。

<第四實施例>

<A. 除頻電路 50 的結構>

第 13 圖係顯示除頻電路 50 的結構方塊圖。第 13 圖中，與第 11 圖相同的結構係付與相同符號，並省略重複的說明。

根據本實施例的除頻電路 50，相對於第 11 圖所示的除頻電路 50，係省略了電位移位器 60P、單位除頻電路 FD1P。

單位除頻電路 FD1 以及電位移位器 60P 經由開關 SW3 連接至電荷泵電路 70 的輸出或電壓 VDDH。

<B. 除頻電路 50 的操作>

開關 SW3 由信號 SEL、/SEL 控制，當信號 SEL 為 H 電位、信號 /SEL 為 L 電位時，供給電壓 VDDH 至電位移位器 60P 及單位除頻電路 FD1。

另一方面，當信號 /SEL 為 H 電位、信號 SEL 為 L 電位時，來自電荷泵電路 70 的電壓 VBC 供給至電位移位器 60P 以及單位除頻電路

FD1。

<C. 除頻電路 50 的效果>

本實施例中，效率差的電荷泵電路 70，只有在電源電路 30 啟動時使用。結果，可以提高電源電路 30 全體的效率。

又，由於可省略電位移位器 60P、單位除頻電路 FD1P，可簡化電路結構。

<第五實施例>

第 14 圖係顯示根據本實施例的除頻電路 50 的結構方塊圖。根據本實施例的除頻電路 50 中，取代根據第三實施例的除頻電路 50(參考第 11 圖)的電荷泵電路 70，而使用昇壓電壓產生電路 90。

其它的結構與第三實施例相同，相同的結構係付與相同的符號，並省略重複的說明。

<A. 昇壓電壓產生電路 90 的結構>

第 15 圖係顯示昇壓電壓產生電路 90 的結構電路圖。第 15 圖中，電晶體 Q15 係 N 型電晶體，而電晶體 Q16、Q17 係 P 型電晶體。

電晶體 Q17(第 1 電晶體)的源極(一側端子)有電壓 VDD 供應。電晶體 Q17 的汲極(另一側端子)連接端子 42 以及電容 C(電容元件)的一端。電容 C 的另一端連接至反相器 91 的輸入。

電晶體 Q17 的閘極(控制端子)在節點 D2 連接至電晶體 Q15(第 2 電晶體)的汲極(一側端子)。電晶體 Q15 的源極(另一側端子)接地。反相器 91 的輸入連接至端子 41。電晶體 Q15 的閘極連接至反相器 91 的輸出。反相器 91 有電壓 VDD 供給。

電晶體 Q17 的閘極·汲極間插入電晶體 Q16(第 3 電晶體)。電晶體 Q16 的汲極(一側端子)在節點 D2 連接至電晶體 Q17 的閘極。電晶體 Q16 的源極(另一側端子)連接至電晶體 Q17 的汲極。又，信號 BS 輸入至反相器 91 的輸入，從端子 42 輸出電壓 VBC。

<昇壓電壓產生電路 90 的操作>

第 16 圖係用以說明昇壓電壓產生電路 90 的操作波形圖。第 16

圖係顯示信號 BS、節點 D1、D2、以及電壓 VBC 的電壓波形。

信號 BS 為 L 電位(0V)時，反相器 91 的輸出(節點 D1 的電壓電位)變成 H 電位。結果，電晶體 Q15 為接通狀態，電晶體 Q16 轉變為斷開狀態。

電晶體 Q15 轉變為接通狀態時，節點 D2 的電壓電位變成 L 電位。結果，電晶體 Q17 變成接通狀態，而昇壓電壓 VBC 的大小變成 VDD。同時，電流從電壓 VDD 經由電晶體 Q17 流出將電容 C 充電至 VDD。

其次，昇壓電容 C 的值增加至大為高於連接至端子 42 的負載電容，信號 BS 從 L 電位(0V)上昇至 H 電位(VDD)。結果，藉由電容耦合，電壓 VDD 變成幾乎為 $2 \cdot VDD$ 。

信號 BS 變成 H 電位時，節點 D1 的電壓電位轉變為 L 電位。因此，電晶體 Q15 變成斷開狀態，而電晶體 Q16 變成接通狀態。

結果，幾乎在電壓 VBC 的電壓電位上昇的同時，節點 D2 的電壓電位經由電晶體 Q16 隨著上昇，節點 D2 的電壓電位變成 $2 \cdot VDD$ 。

因此，電晶體 17 的閘極·源極間的電壓接近 0，電晶體 17 變成斷開狀態。於是，可防止由於電壓 VBC 變成 $2 \cdot VDD$ ，電流經由電晶體 17 從輸出端子 42 逆流，而導致輸出電壓 VBC 的電壓電位降低。

昇壓電壓 VBC 昇壓至 $2 \cdot VDD$ 後，電容 C 作為輸出電壓保持電容而操作。電容 C 內所儲存的電荷藉由來自輸出端子的負載電流而慢慢地下降。此時，設定對於負載電流的昇壓電容值以確保產生想要的電壓 VDDH 的時間。

例如，電容 C 的電容值 $CV=1 \mu F$ 、負載電流 $IL=100 \mu A$ 、昇壓電壓 VBC 的容許電壓降=2V 時，昇壓電壓 VBC 下降至容許值 ΔV 的時間 t 係如以下所示：

$$\begin{aligned} t &= CV \cdot \Delta VBC / IL \\ &= 1 \times 10^{-6} \times 2 / 100 \times 10^{-6} \\ &= 20(\text{ms}) \end{aligned}$$

因此，應該在 200ms 的期間藉由電荷泵操作將電壓 VDDH 上昇至既定電位。通常，容易以 20ms 將 VDDH 上昇至既定的電位。

<昇壓電壓產生電路 90 的效果>

根據本實施例的除頻電路 50 利用昇壓電壓產生電路 90 以代替電荷泵電路 70。昇壓電壓產生電路 90 如上述在一定期間產生電壓的話，可在高電力效率下使用。結果，可實現高電力效率的除頻電路。

<昇壓電壓產生電路 90 的變形例>

第 17 圖係顯示昇壓電壓產生電路 90 的變形例的電路圖。本變形例中，電阻 R(電阻元件)取代電晶體 Q16 插入電晶體 Q17 的閘極、汲極之間。即，電阻 R 的一側端子連接至電晶體 Q17 的閘極，電阻 R 的另一側端子連接至電晶體 Q17 的汲極。於是，電阻 R 的電阻值係選擇比大為高於電晶體 Q15 的接通電阻值的值。

本變形例中，由於取代電晶體 Q16 而使用電阻 R(電阻元件)，可以很容易實現昇壓電壓產生電路 90。

<第六實施例>

<A. 昇壓電壓產生電路 90 的結構>

第 18 圖係顯示根據本實施例的昇壓電壓產生電路 90 的結構電路圖。根據本實施例的昇壓電壓產生電路 90 的結構係信號 BS1 輸入至反相器 91 的輸入、信號 BS2 輸入至電容 C 的另一端。

其它的結構與第 15 圖所示的昇壓電壓產生電路 90 相同，相同的結構係付與相同符號，並省略重複的說明。

<B. 昇壓電壓產生電路 90 的操作>

第 19 圖係輸入至根據本實施例的昇壓電壓產生電路 90 的信號 BS1、BS2 的波形圖。信號 BS1 由 L 電位變成 H 電位之後，經過時間 t_d 後，控制信號 BS2 由 L 電位變成 H 電位。

首先，輸入 L 電位的信號 BS1 時，H 電位的信號經由反相器 91 輸入至電晶體 Q15 的閘極。電晶體 Q15 因而由斷開狀態轉變至接通

狀態。電晶體 Q15 變成接通狀態時，電晶體 Q17 的閘極經由電晶體 Q15 而接地，電晶體 Q17 由斷開狀態轉變至接通狀態。電晶體 Q17 變成接通狀態時，電流經由電晶體 Q17 由 VDD 流至電容 C，將電容 C 充電至 VDD。

其次，信號 BS1 由 L 電位轉變為 H 電位時，L 電位的信號經由反相器 91 輸入至電晶體 Q15 的閘極。電晶體 Q15 因而由接通狀態轉變至斷開狀態。電晶體 Q16 由斷開狀態轉變至接通狀態。電晶體 Q16 轉變為接通狀態時，電晶體 Q17 的閘極，源極間電壓變成相等，而電晶體 Q17 轉變為斷開狀態。

其次，信號 BS1 由 L 電位轉變為 H 電位之後，經過時間 t_d 後，信號 BS2 由 L 電位轉變成 H 電位。結果，由於電容 C 充電至 VDD，輸出電壓電位 $2 \cdot VDD$ 的 VBC。

<C. 昇壓電壓產生電路 90 的效果>

根據第五實施例的昇壓電壓產生電路 90 中，電晶體 16 轉變為接通狀態前可藉由電容 C 昇壓。

電晶體 16 轉變為接通狀態前，電晶體 17 在接通狀態。因此，昇壓電流從電容 C 經由電晶體 Q17 流出，導致電壓 VBC 的昇壓損失。

根據本實施例的昇壓電壓產生電路 90 中，電晶體 17 變成完全斷開狀態之後，信號 BS2 由 L 電位轉變為 H 電位，而由電容 C 執行昇壓。因此，可避免昇壓電流從電容 C 經由電晶體 Q17 流出而導致的電壓 VBC 的昇壓損失。

<D. 昇壓電壓產生電路 90 的變形例 1>

<D-1. 結構>

第 20 圖係顯示根據本實施例的昇壓電壓產生電路 90 的變形例 1 的電路圖。根據本實施例的昇壓電壓產生電路 90 在電容 C 的另一端連接至延遲電路 DC。延遲電路 DC 的輸入在節點 D1 連接至反相器 91 的輸出。又，電晶體 16 的閘極連接至延遲電路 DC 的輸入。

延遲電路 DC 由奇數個(第 20 圖的範例中，3 個)的反相器 92~

94 串級連接構成。

<D-2. 操作>

當輸入 L 電位的信號 BS 時，電晶體 Q15 變成接通狀態，因而電晶體 Q17 變成接通狀態，於是電容 C 充電至 VDD。

信號 BS 由 L 電位轉變為 H 電位時，電晶體 Q15 轉變成斷開狀態。又，電晶體 Q16 轉變成接通狀態。

另一方面，經過既定時間後，H 電位的信號經由延遲電路 DC 輸入至電容 C，而電壓 VBC 上昇。

<D-3. 效果>

本變形例中，由於具有延遲電路 DC，電晶體 Q16 轉變成接通狀態後，電容 C 可以上昇。

結果，可避免昇壓電壓經由電晶體 17 從電容 C 流至電壓 VDD 而導致的昇壓損失。

本變形例中，未準備兩個信號 BS1、BS2 及設置時間 t_d 來控制，只以一個信號 BS 就可實現無昇壓損失的昇壓電壓產生電壓。

<E. 昇壓電壓產生電路 90 的變形例 2>

<E-1. 結構>

第 21 圖係顯示昇壓電壓產生電路 90 的變形例 2 的電路圖。根據本變形例的昇壓電壓產生電路 90 中，電容 C 的另一端連接至延遲電路 DC。延遲電路 DC 的輸入連接至電晶體 Q16 的汲極。又，電晶體 Q16 的閘極在節點 D1 連接至反相器 91 的輸出。

延遲電路 DC 由偶數個(第 21 圖的範例中，2 個)的反相器 92、93 串級連接構成。

<E-2. 操作>

當輸入 L 電位的信號 BS 時，電晶體 Q15 轉變成接通狀態，因而電晶體 Q17 變成接通狀態。結果，電容 C 充電至 VDD。

當信號 BS 轉變為 H 電位時，電晶體 Q15 轉變成斷開狀態。電晶體 Q16 因而轉變成接通狀態。

電晶體 Q16 轉變為接通狀態時，電晶體 Q17 的閘極・源極間電壓變成相等，而電晶體 Q17 轉變為斷開狀態。

之後，當電晶體 Q17 轉變為接通狀態時，節點 D2 的電壓電位變成 H 電位 (VDD)。節點 D2 變成 H 電位時，H 電位的信號經由延遲電路 DC 輸入至電容 C。結果，電壓 VBC 的電壓電位上昇，並輸出 $2 \cdot VDD$ 的電壓 VBC。

<E-3. 效果>

根據本實施例的昇壓電壓產生電路 90，在電晶體 Q16 變成接通狀態之後，藉由延遲電路 DC 經過既定時間後，以電容 C 執行昇壓。因此，可避免昇壓電流從電容 C 經由電晶體 Q17 流至 VDD 而導致的昇壓損失。

<第七實施例>

第 22 圖係顯示根據本實施例的除頻電路 50 的結構的方塊圖。

根據本實施例的除頻電路 50 係使用昇壓電壓產生電路 90，以取代第四實施例的除頻電路 50 (參考第 13 圖) 的電荷泵電路 70。

其它的結構與第四實施例相同，因此省略重複的說明。

根據本實施例的除頻電路 50，由於使用高電力效率的昇壓電壓產生電路 90 取代電荷泵電路 70，與第四實施例的除頻電路 50 相較，可實現高電力效率的除頻電路 50。結果，可以提高電源電路 30 全體的效率。

【圖式簡單說明】

[第 1 圖] 係顯示根據第一實施例的顯示裝置的結構方塊圖；

[第 2 圖] 係顯示根據第一實施例的除頻電路的構造方塊圖；

[第 3 圖] 係顯示根據第一實施例的電位位移器的結構的電路圖；

[第 4 圖] 係顯示根據第一實施例的電荷泵電路結構的電路圖；

[第 5 圖] 係用以說明根據第一實施例的電荷泵電路的操作的波

形圖；

[第 6 圖]係顯示根據第一實施例的單位除頻電路結構的電路圖；

[第 7 圖]係用以說明根據第一實施例的單位除頻電路的操作的波形圖；

[第 8 圖]係顯示根據第一實施例的除頻電路的變形例的結構方塊圖；

[第 9 圖]係顯示根據第二實施例的電荷泵電路的結構的電路圖；

[第 10 圖]係用以說明根據第二實施例的電荷泵電路的操作的波形圖；

[第 11 圖]係顯示根據第三實施例的除頻電路結構的方塊圖；

[第 12 圖]係用以說明根據第三實施例的除頻電路的操作的波形圖；

[第 13 圖]係顯示根據第四實施例的除頻電路的結構方塊圖；

[第 14 圖]係顯示根據第五實施例的除頻電路的結構方塊圖；

[第 15 圖]係顯示根據第五實施例的昇壓電壓產生電路的結構電路圖；

[第 16 圖]係用以說明根據第五實施例的昇壓電壓產生電路的操作波形圖；

[第 17 圖]係顯示根據第五實施例的昇壓電壓產生電路的變形例結構的電路圖；

[第 18 圖]係顯示根據第六實施例的昇壓電壓產生電路結構的電路圖；

[第 19 圖]係輸入至根據第六實施例的昇壓電壓產生電路的輸入信號的波形圖；

[第 20 圖]係顯示根據第六實施例的昇壓電壓產生電路的變形例 1 結構的電路圖；

[第 21 圖]係顯示根據第六實施例的昇壓電壓產生電路的變形例 2 結構的電路圖；以及

[第 22 圖]係顯示根據第七實施例的除頻電路結構的方塊圖。

【主要元件符號說明】

1、2～端子；	10～畫素；
20～驅動電路；	30～電源電路；
40、70～電荷泵電路；	41、42～端子；
50～除頻電路；	60～電位移位器；
61、62～反相器；	63～電位位移電路；
71、72～端子；	80～電路；
90～昇壓電壓產生電路；	91～反相器；
A1、A2、A3、A4～節點；	C1、C3～電容；
Cp～電容；	COUT～輸出電容；
CIV1～時脈式反相器；	DC～延遲電路；
DCLK～點時脈信號；	FD1-FDn～單位除頻電路；
TP1-TP12～P 型 TFT；	TN1-TN12～N 型 TFT；
IV1-IV4～反相器；	N20-N28～節點；
VDD～電壓；	VBC～昇壓電壓；
SW1、SW2、SW3～開關；	SEL、/SEL～信號；
BC1-BCn～單位除頻電路 FD1-FDn 的輸出信號；	
Q1、Q3、Q5、Q7、Q10～P 型 TFT(薄膜電晶體)；	
P1、P2、P3～信號；	Q2、Q4、Q6、Q8、Q9、Q15、Q16、Q17～N 型 TFT(薄膜電晶體)。

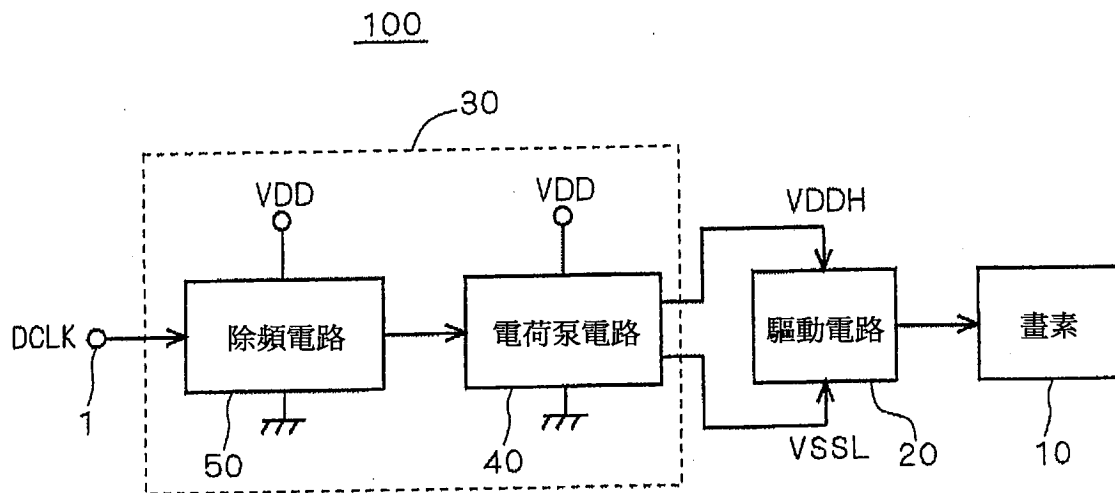
五、中文發明摘要：

[課題] 使用低溫多晶矽處理的驅動電路一體型之顯示裝置中，提供一操作界限大的除頻電路。

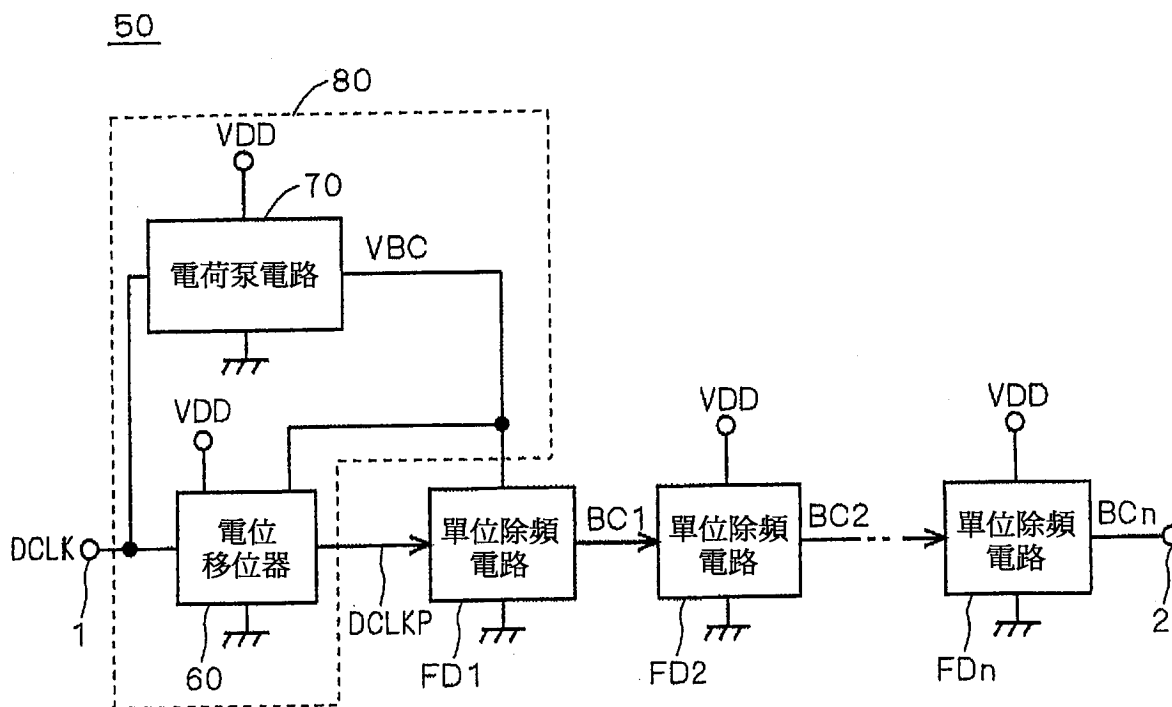
[解決手段] 構成除頻電路 50 的串級連接單位除頻電路 FD1~FDn 中，將電位位移器 60 和電荷泵電路 70 加至初段的單位除頻電路 FD1。電荷泵電路 70，根據點時脈信號(信號 DCLK)，將輸入電壓昇壓而產生昇壓電壓，並供給至初段的單位除頻電路 FD1。初段的單位除頻電路 FD1 因為由昇壓電壓所驅動，提高了電流驅動能力。由於輸入頻率高的點時脈信號之初段的單位除頻電路 FD1 的驅動能力提高，可放大除頻電路 50 的操作界限。

六、英文發明摘要：

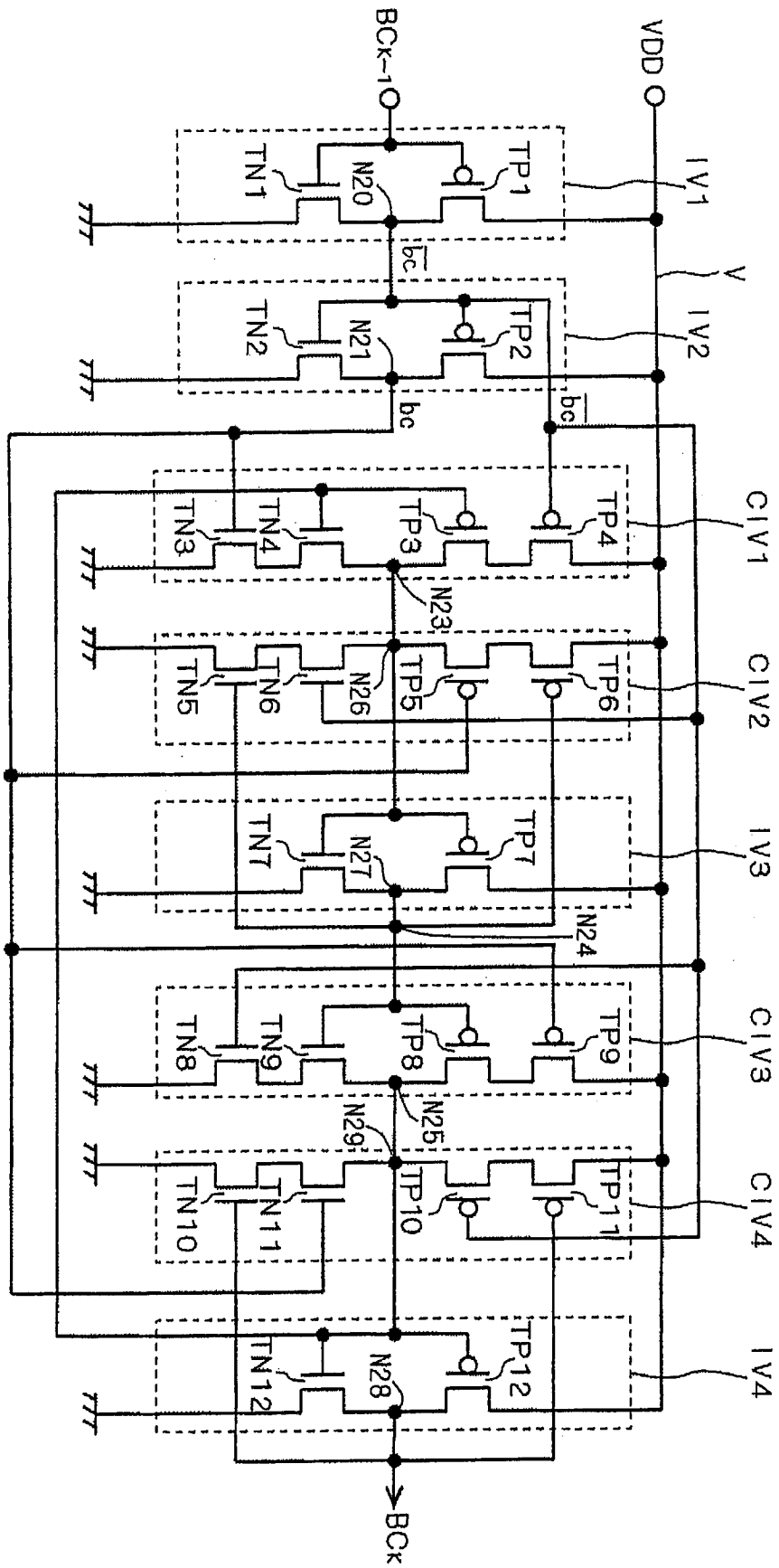
A level shifter and a charge pump circuit are added, among cascade-connected unit frequency dividing circuits forming a frequency dividing circuit, to the unit frequency dividing circuit in the first stage. The charge pump circuit boosts an input voltage based on a dot clock signal, and supplies the booster voltage to the unit frequency dividing circuit in the first stage. The unit frequency dividing circuit in the first stage, which is driven by the booster voltage, attains an improved current driving capability. The improved current driving capability of the unit frequency dividing circuit in the first stage to which the dot clock signal of high frequency is input leads to a widened operating margin of the frequency dividing circuit.



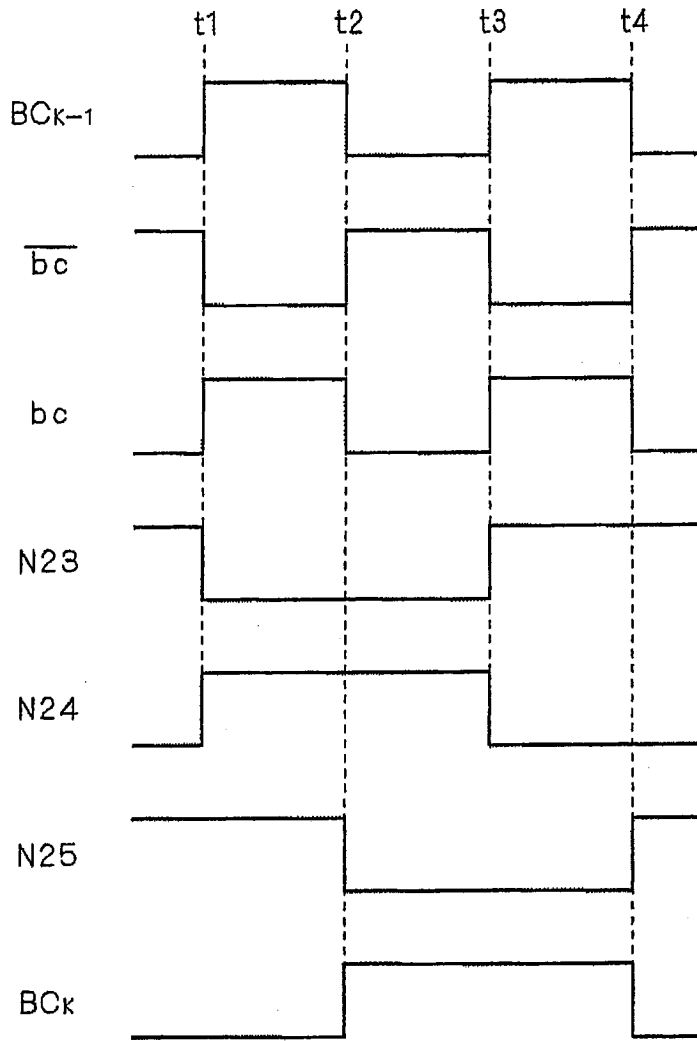
第1圖



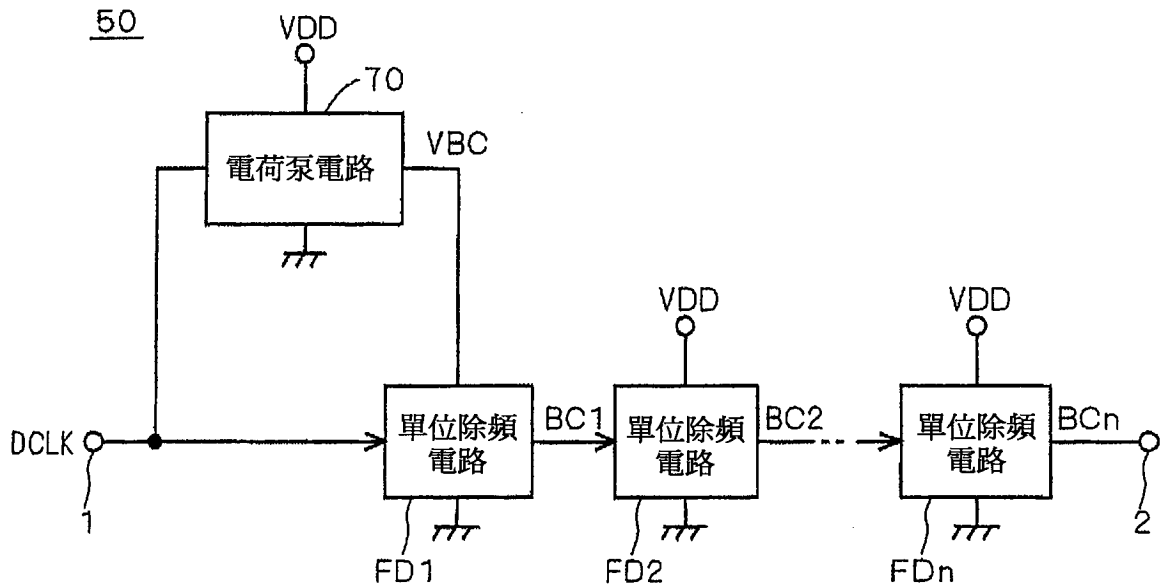
第2圖



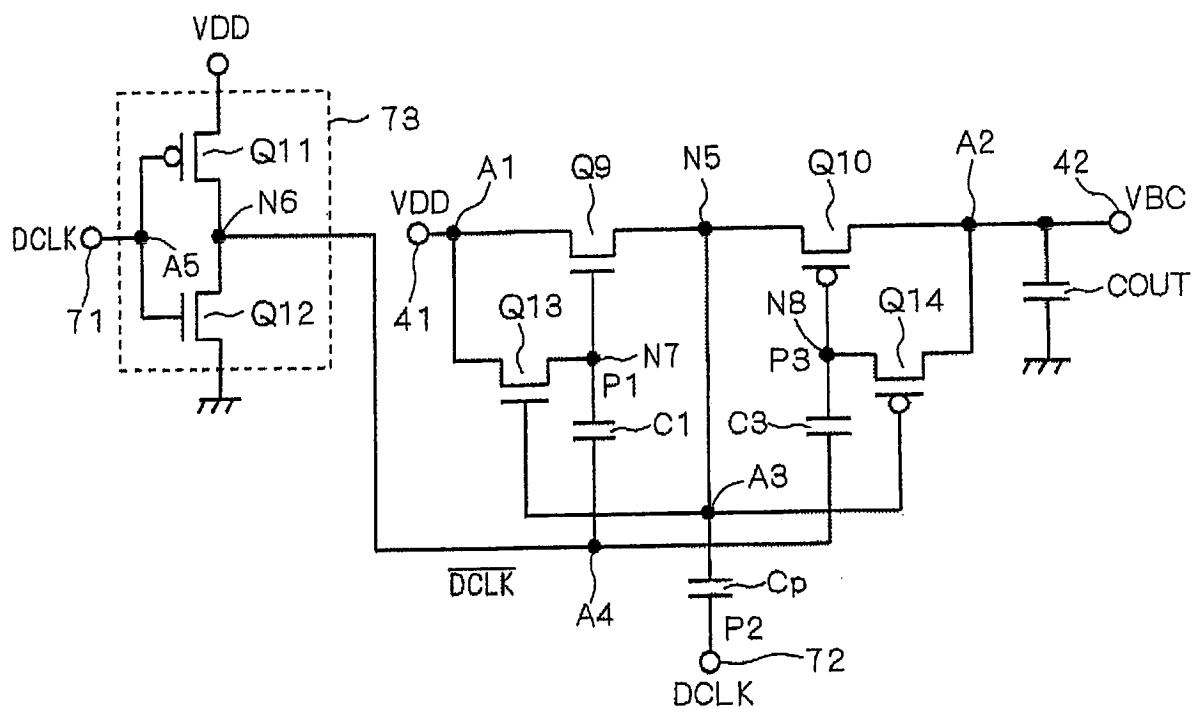
第6圖



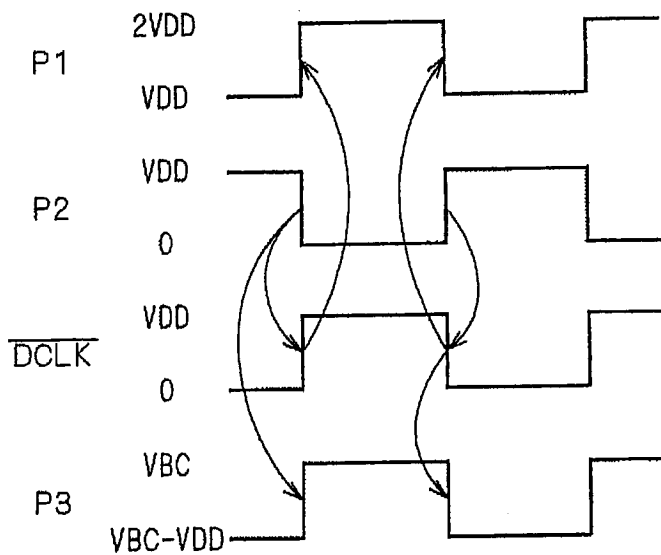
第7圖



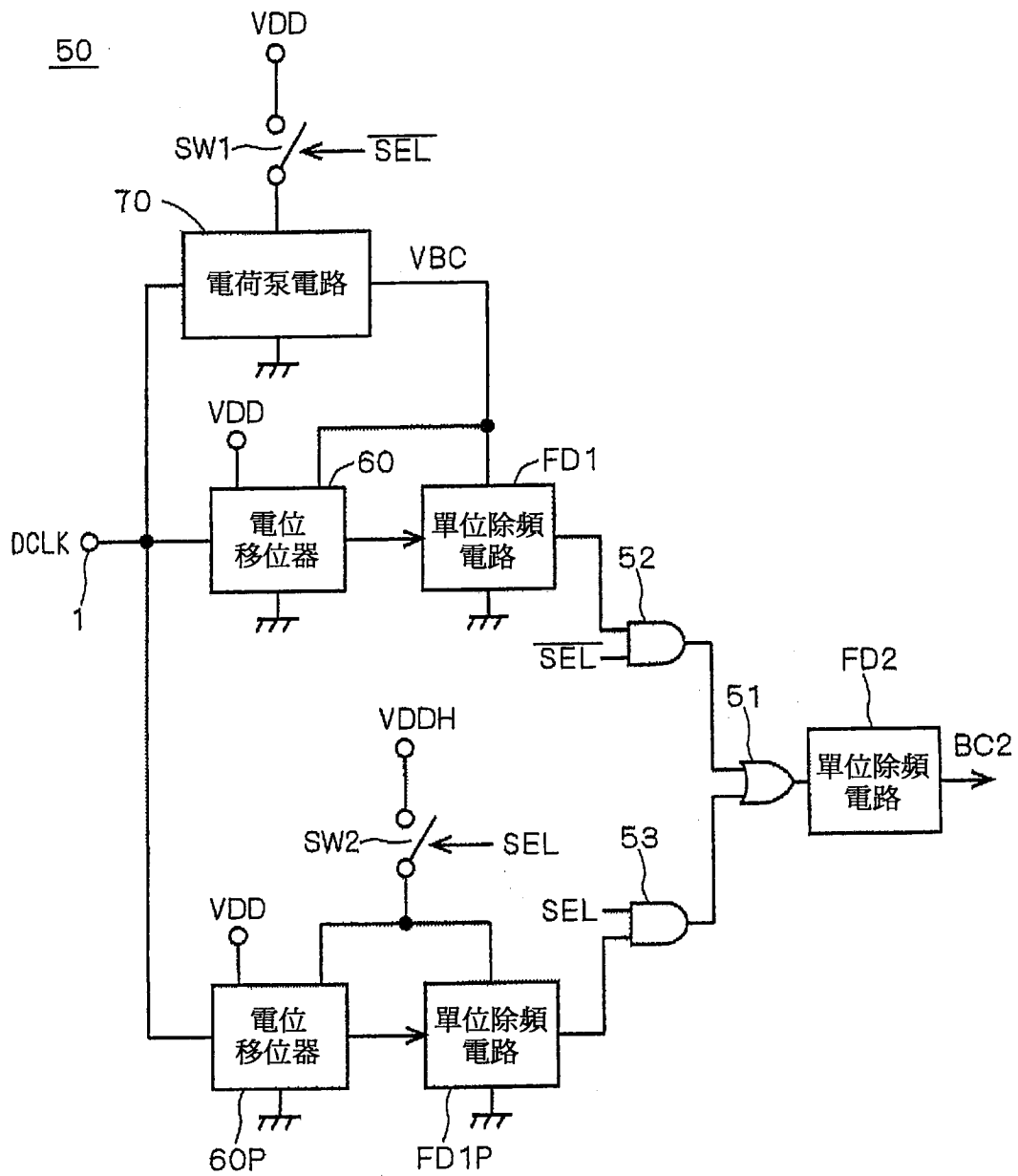
第8圖



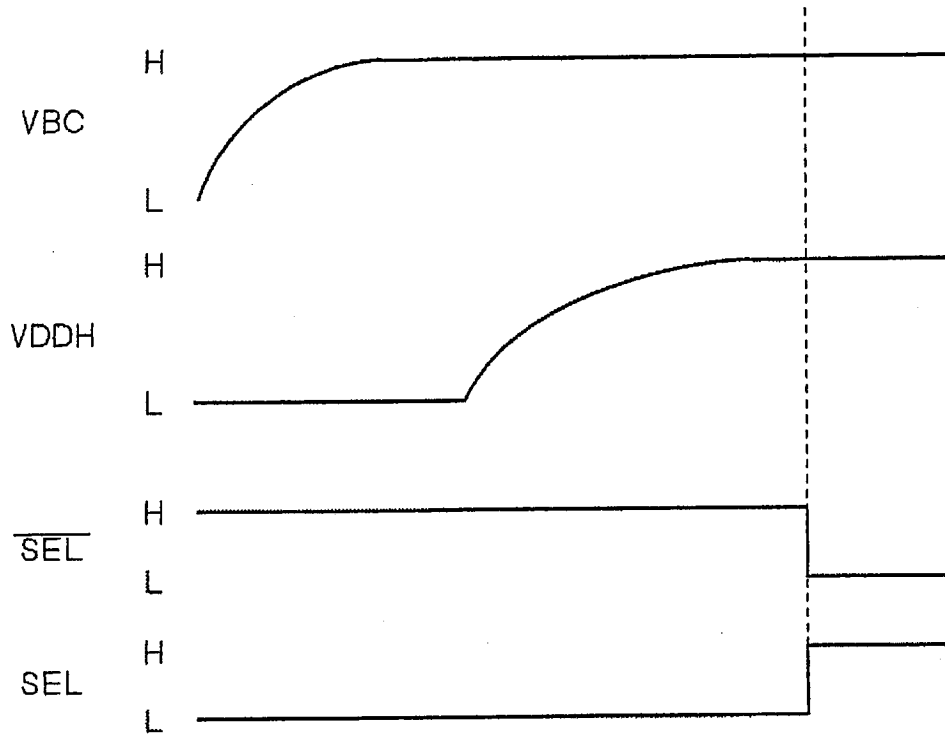
第9圖



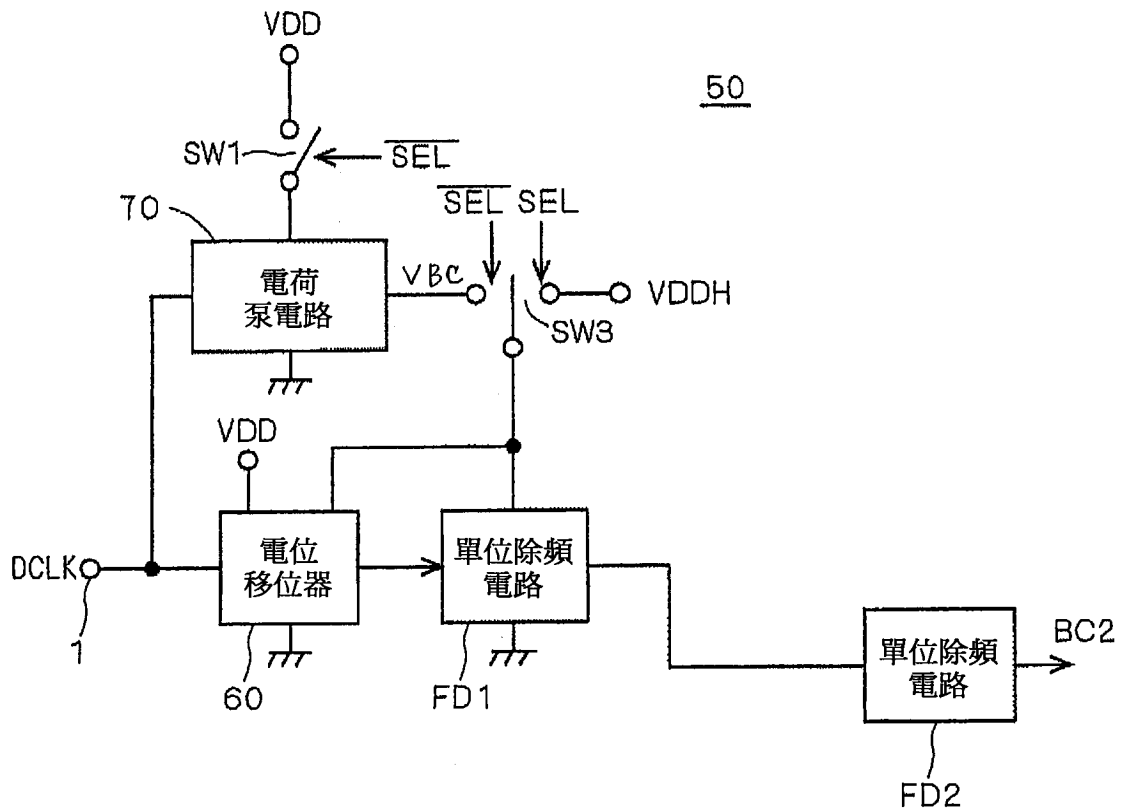
第10圖



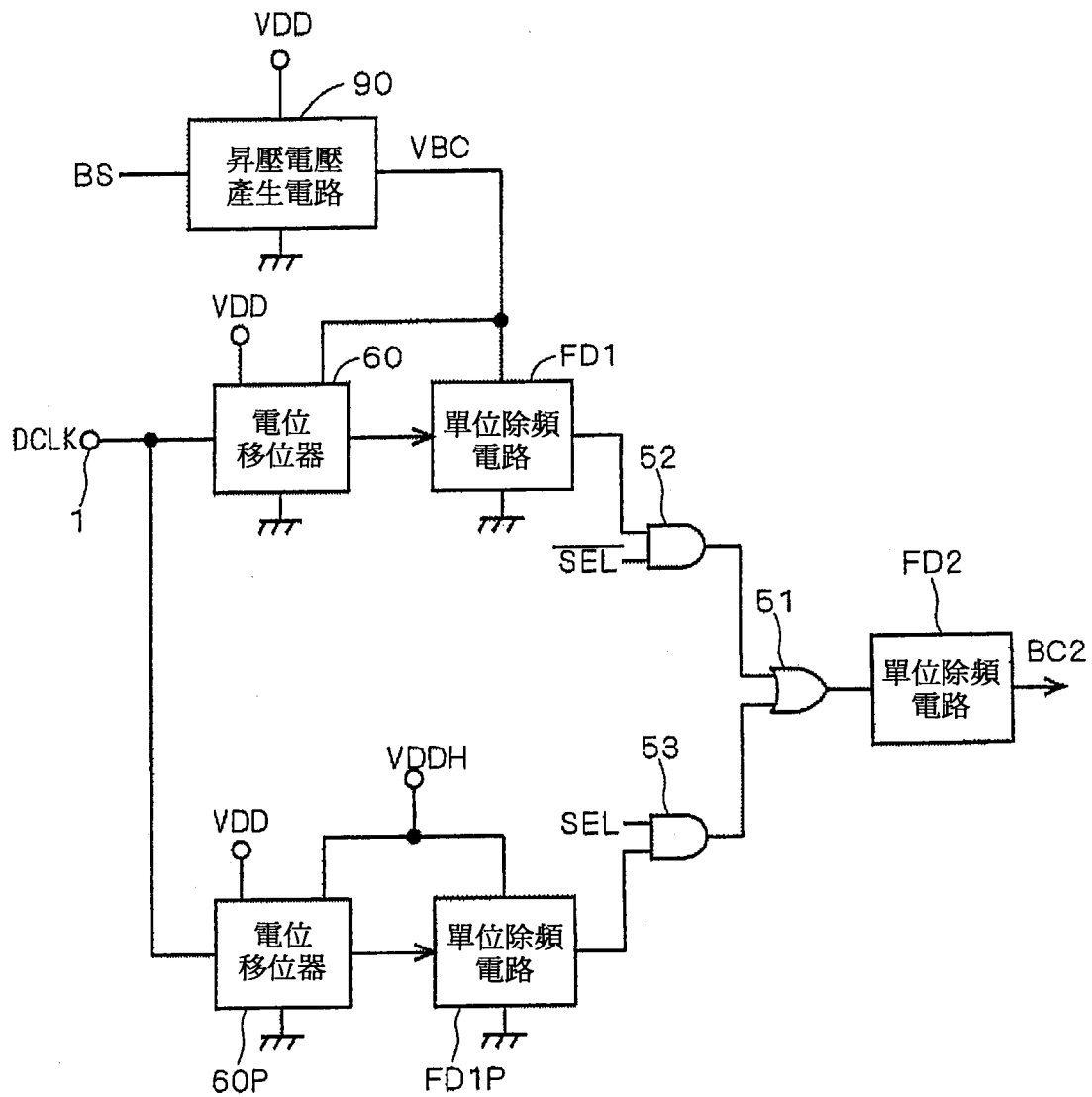
第11圖



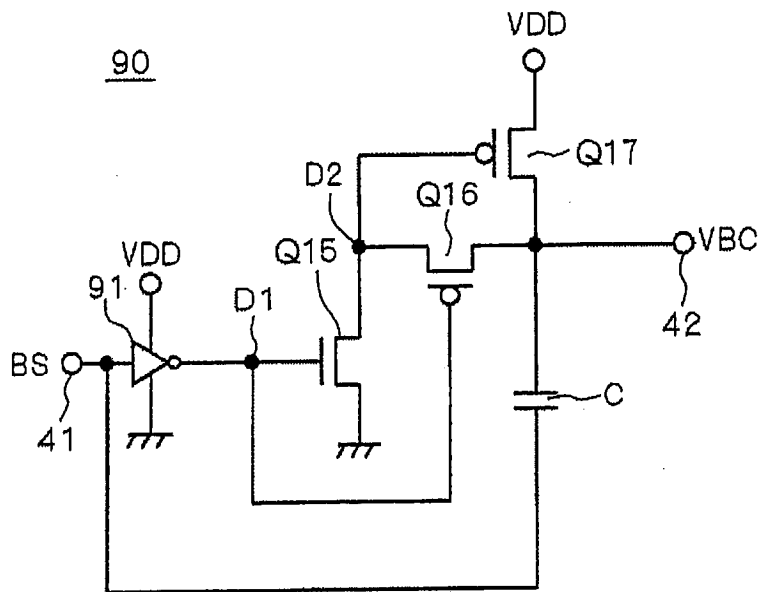
第12圖



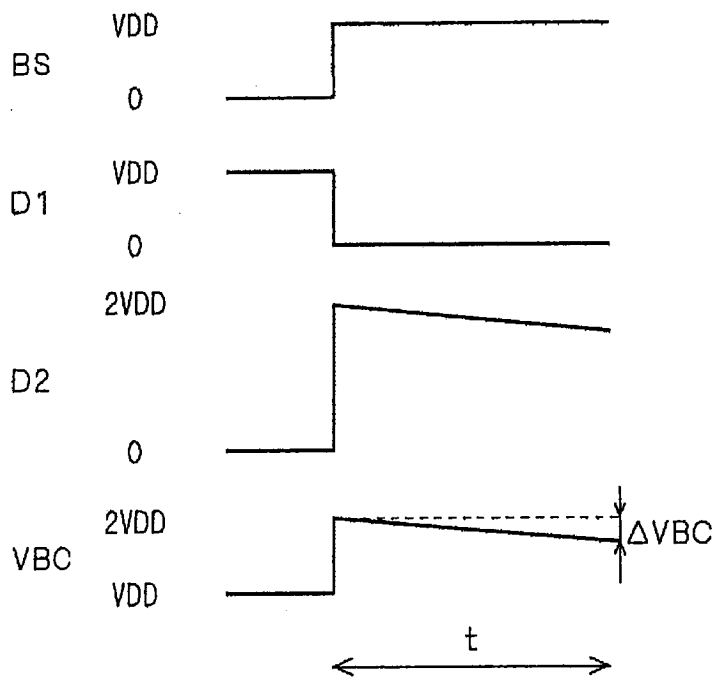
第13圖



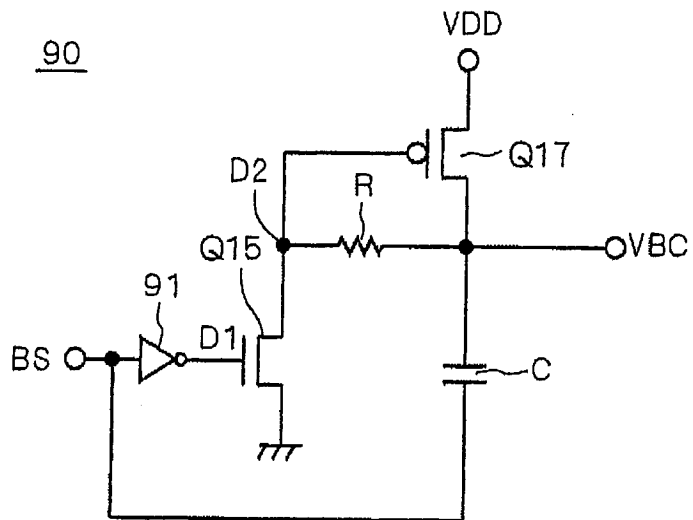
第14圖



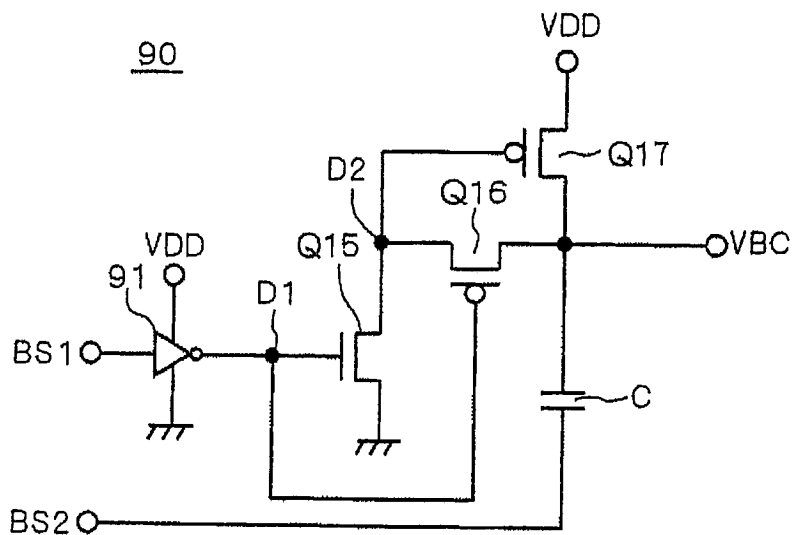
第15圖



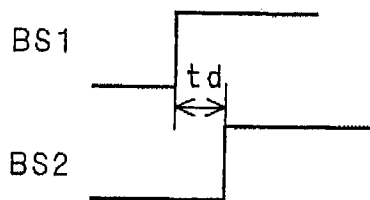
第16圖



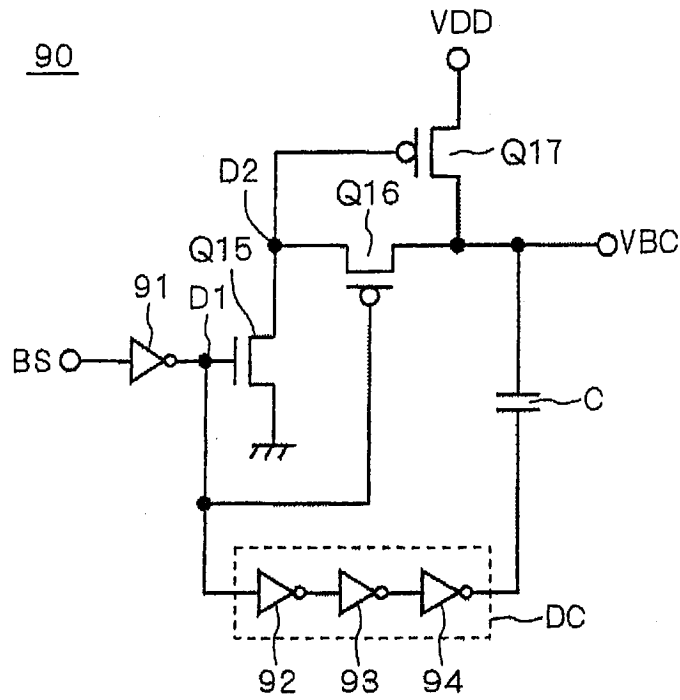
第17圖



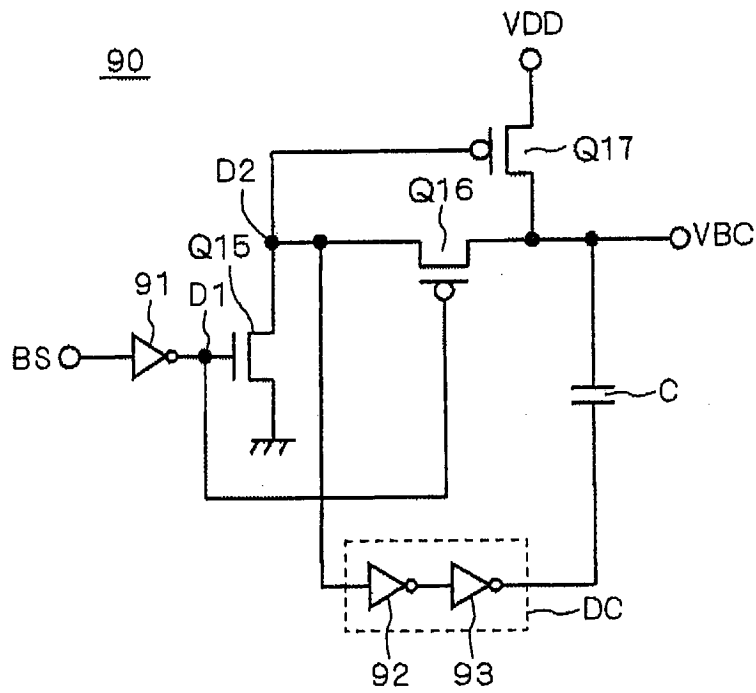
第18圖



第19圖

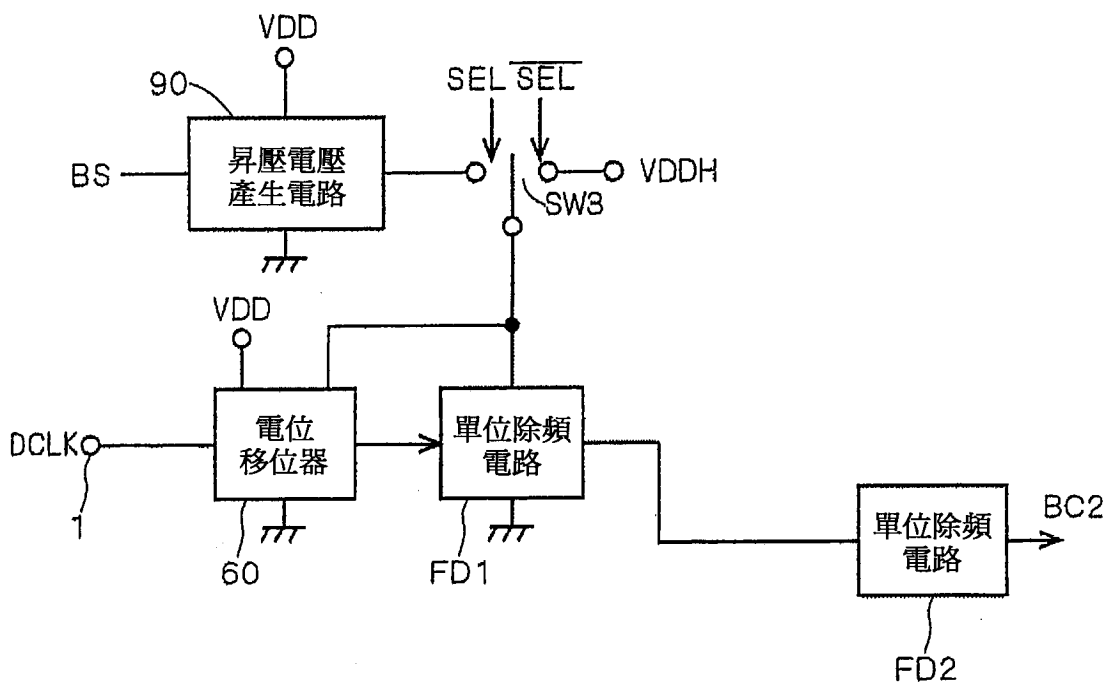


第20圖



第21圖

50



第22圖

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

50～除頻電路；

60～電位移位器；

70～電荷泵電路；

80～電路；

FD1-FDn～單位除頻電路；DCLK～點時脈信號；

DCLKP～信號；

1、2～端子；

VDD～電壓；

VBC～昇壓電壓；

BC1-BCn～單位除頻電路 FD1-FDn 的輸出信號。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

年 月 日修(更)正替換頁 97.10.09

十、申請專利範圍：

1. 一種除頻電路，將輸入信號除頻後輸出，其特徵在於包括：
串級連接的複數的單位除頻電路；以及
一輸入電路，接收上述輸入信號以及一電壓，並且輸出與上述輸入信號相關之信號到串級連接之複數單位除頻電路中的初段部分，其中上述輸入電路包含一昇壓電路，提供一昇壓電壓到上述串級連接之複數單位除頻電路中的至少初段部分，除了上述初段之單位除頻電路以外之上述複數單位除頻電路中，至少有一者是供給低於上述昇壓電壓的電源電壓。
2. 如申請專利範圍第 1 項所述的除頻電路，其中上述昇壓電路包括：
第 1 電晶體，具有輸入電壓輸入的一側端子；
第 1 電容元件，一端連接至上述第 1 電晶體的另一側端子；
第 2 電晶體，一側端子連接至上述第 1 電容元件的一端；以及
第 2 電容元件，一端連接至上述第 2 電晶體的另一側端子。
3. 如申請專利範圍第 2 項所述的除頻電路，其中上述昇壓電路更包括：
第 3 電晶體，一側端子連接至上述第 1 電晶體的上述一側端子，另一側端子連接至上述第 1 電晶體的控制端子，且控制端子連接至上述第 1 電容元件的上述一端；
第 4 電晶體，一側端子連接至上述第 2 電晶體的上述另一側端子，另一側端子連接至上述第 2 電晶體的控制端子，且控制端子連接至上述第 1 電容元件的上述一端；
第 3 電容元件，一端連接至上述第 1 電晶體的上述控制端子；
以及
第 4 電容元件，一端連接至上述第 2 電晶體的上述控制端子。
4. 如申請專利範圍第 1 項所述的除頻電路，其中上述昇壓電路

97.10.09

包括：

第 1 電晶體，具有輸入電壓輸入的一側端子；

電容元件，一端連接至上述第 1 電晶體的另一側端子；

第 2 電晶體，一側端子連接至上述第 1 電晶體的控制端子；以

及

第 3 電晶體，一側端子連接至上述第 1 電晶體的上述控制端子，另一側端子連接至上述第 1 電晶體的上述另一側端子。

5. 如申請專利範圍第 1 項所述的除頻電路，其中上述昇壓電路包括：

第 1 電晶體，具有輸入電壓輸入的一側端子；

第 1 電容元件，一端連接至上述第 1 電晶體的另一側端子；

第 2 電晶體，一側端子連接至上述第 1 電晶體的控制端子；以

及

電阻元件，一側端子連接至上述第 1 電晶體的上述控制端子，另一側端子連接至上述第 1 電晶體的上述另一側端子。

6. 如申請專利範圍第 4 或 5 項所述的除頻電路，其中上述昇壓電路更包括：

延遲電路，連接至上述電容元件的另一端。

7. 如申請專利範圍第 1 項所述的除頻電路，其中上述輸入電路更包括：

電位移位器，用以將變換上述輸入信號的一側電位為上述昇壓電壓的電壓電位之電壓，做為與上述輸入信號相關之信號輸出到上述初段之單位除頻電路。

8. 一種電源電路，包括：

除頻電路，如申請專利範圍第 1 項所述者；以及

第 2 昇壓電路，用以根據上述除頻電路的輸出而輸出一第 2 昇壓電壓；

其特徵在於：

當上述第 2 昇壓電壓變得比既定值大時，至少上述初段的上述單位除頻電路有上述第 2 昇壓電壓供應以取代上述昇壓電壓。

9. 如申請專利範圍第 8 項所述的電源電路，其中上述至少初段的單位除頻電路，包括：

至少初段的第 1 單位除頻電路，有上述昇壓電壓供應；以及

至少初段的第 2 單位除頻電路，有上述第 2 昇壓電壓供應；

其中，根據上述第 2 昇壓電壓是否變得大於上述既定值，切換上述至少初段的第 1 單位除頻電路與上述至少初段的第 2 單位除頻電路。

10. 如申請專利範圍第 9 項所述的電源電路，其中上述除頻電路更包括：

第 2 電位移位器，用以變換上述輸入信號的一側電位為上述第 2 昇壓電壓的電壓電位，並輸出至上述第 2 單位除頻電路。

11. 一種顯示裝置，其特徵在於包括：

顯示元件；

驅動電路，用以驅動上述顯示元件；以及

電源電路，如申請專利範圍第 8 項所述者，用以供應上述第 2 昇壓電壓至上述驅動電路。

12. 如申請專利範圍第 11 項所述的顯示裝置，其中上述顯示元件係液晶元件。

13. 如申請專利範圍第 11 項所述的顯示裝置，其中上述顯示元件係電場發光元件。