

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月5日(05.10.2023)



(10) 国際公開番号

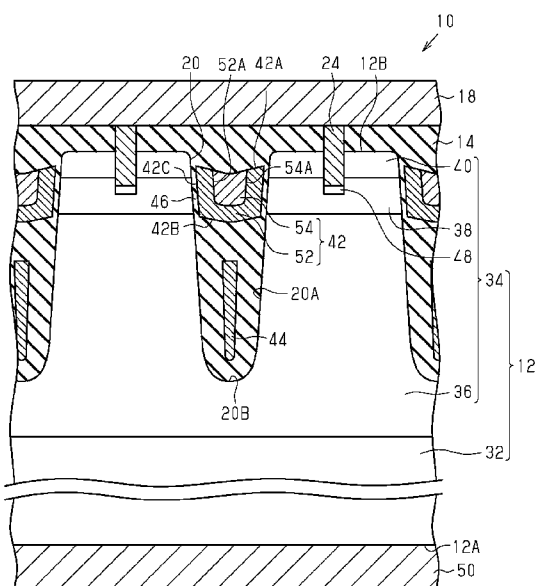
WO 2023/188756 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2023/002430
- (22) 国際出願日: 2023年1月26日(26.01.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-051510 2022年3月28日(28.03.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 長田 賢樹 (NAGATA Masaki);
〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 恩田 誠, 外 (ONDA Makoto et al.);
〒5008731 岐阜県岐阜市大宮町二丁目1番地1 Gifu (JP).

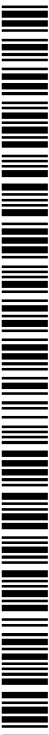
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device (10) comprises: a semiconductor layer (12); a trench (20) that is formed in the semiconductor layer (12) and includes a side wall (20A); an insulation layer (14) formed on the semiconductor layer (12), and a gate electrode (42) disposed in the trench (20). The insulation layer (14) includes a gate insulation section (46) that is interposed between the semiconductor layer (12) and the gate electrode (42) and covers the side wall (20A) of the trench (20). The gate electrode (42) includes a first conduction section (52) contacting the gate insulation section (46) and a second conduction section (54) that includes a side surface (54A) contacting the first conduction section (52). The first conduction section (52) is formed from polysilicon, and the second conduction section (54) is formed from metal.



WO 2023/188756 A1

CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：半導体装置（10）は、半導体層（12）と、半導体層（12）に形成されるとともに側壁（20A）を含むトレンチ（20）と、半導体層（12）上に形成された絶縁層（14）と、トレンチ（20）内に配置されたゲート電極（42）とを備えている。絶縁層（14）は、半導体層（12）とゲート電極（42）との間に介在してトレンチ（20）の側壁（20A）を覆うゲート絶縁部（46）を含む。ゲート電極（42）は、ゲート絶縁部（46）に接する第1導電部（52）と、第1導電部（52）に接する側面（54A）を含む第2導電部（54）とを含み、第1導電部（52）は、ポリシリコンから形成され、第2導電部（54）は、金属から形成されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] ゲートトレンチと、絶縁層と、底側電極と、開口側電極とを含むトレンチゲート構造を有するM I S F E Tが知られている（例えば、特許文献1参照）。特許文献1には、開口側電極が、ゲート電極として機能するとともに、導電性ポリシリコンを含んでいることが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-072158号公報

発明の概要

発明が解決しようとする課題

[0004] トレンチゲート構造を有するM I S F E Tを微細化するためには、ゲートトレンチのピッチを小さくする必要がある。ゲートトレンチのピッチを縮小すると、ゲート電極の寸法も小さくなるため、ゲート抵抗が増加する。

課題を解決するための手段

[0005] 本開示の一態様による半導体装置は、半導体層と、前記半導体層に形成されるとともに側壁を含むトレンチと、前記半導体層上に形成された絶縁層と、前記トレンチ内に配置されたゲート電極とを備えている。前記絶縁層は、前記半導体層と前記ゲート電極との間に介在して前記トレンチの前記側壁を覆うゲート絶縁部を含む。前記ゲート電極は、前記ゲート絶縁部に接する第1導電部と、前記第1導電部に接する側面を含む第2導電部とを含み、前記第1導電部は、ポリシリコンから形成され、前記第2導電部は、金属から形成されている。

発明の効果

[0006] 本開示の半導体装置によれば、ゲート閾値電圧の変化を抑制しつつゲート抵抗を低減することができる。

図面の簡単な説明

- [0007] [図1]図1は、第1実施形態による例示的な半導体装置の概略平面図である。
[図2]図2は、図1のF2-F2線に沿ったゲートトレンチの概略断面図である。
[図3]図3は、図2の部分拡大図である。
[図4]図4は、図1のF4-F4線に沿ったゲートトレンチの概略断面図である。
[図5]図5は、第2実施形態による例示的な半導体装置の概略断面図である。
[図6]図6は、第3実施形態による例示的な半導体装置の概略断面図である。
[図7]図7は、ゲート電極の変更例を示す概略断面図である。
[図8]図8は、ゲートコンタクトの変更例を示す概略断面図である。

発明を実施するための形態

- [0008] 以下、添付図面を参照して本開示の半導体装置のいくつかの実施形態を説明する。なお、説明を簡単かつ明確にするために、図面に示される構成要素は必ずしも一定の縮尺で描かれていない。また、理解を容易にするために、断面図では、ハッチング線が省略されている場合がある。添付の図面は、本開示の実施形態を例示するに過ぎず、本開示を制限するものとみなされるべきではない。
- [0009] 以下の詳細な記載は、本開示の例示的な実施形態を具体化する装置、システム、および方法を含む。この詳細な記載は本來說明のためのものに過ぎず、本開示の実施形態またはこのような実施形態の適用および使用を限定することを意図しない。
- [0010] [第1実施形態]

図1は、第1実施形態による例示的な半導体装置10の概略平面図である。なお、本開示において使用される「平面視」という用語は、図1に示され

る互いに直交するXYZ軸のZ軸方向に半導体装置10を視ることをいう。明示的に別段の記載がない限り、「平面視」とは、半導体装置10をZ軸に沿って上方から視ることを指す。

[0011] 半導体装置10は、例えばトレンチゲート構造を有する金属-絶縁体-半導体電界効果トランジスタ (Metal Insulator Semiconductor Field Effect Transistor, MISFET) である。半導体装置10は、半導体層12と、半導体層12上に形成された絶縁層14とを含む。半導体層12は、一例ではシリコン (Si) から形成することができる。半導体層12は、図2を参照して後述する第1面12A、および第1面12Aとは反対側の第2面12Bを含んでいる。図1において、Z軸方向は、半導体層12の第1面12Aおよび第2面12Bと直交する方向であってよい。半導体層12は、絶縁層14により覆われているため、図1では半導体層12の矩形状の外縁のみが示されている。絶縁層14は、一例では、シリコン酸化膜 (SiO₂) から形成することができる。絶縁層14は、追加的または代替的に、SiO₂とは異なる絶縁材料、例えば窒化シリコン (SiN) などから形成された層を含んでいてもよい。

[0012] (半導体装置の例示的な平面レイアウト)

半導体装置10は、絶縁層14上に形成されたゲート配線16と、絶縁層14上に形成されたソース配線18とをさらに含んでいてよい。ソース配線18は、ゲート配線16から離隔されている。ゲート配線16およびソース配線18は、チタン (Ti)、ニッケル (Ni)、金 (Au)、銀 (Ag)、銅 (Cu)、アルミニウム (Al)、銅合金、およびアルミニウム合金のうちの少なくとも1つから形成することができる。

[0013] ゲート配線16は、概して半導体層12の外縁に沿って延びることができる。図1の例では、ゲート配線16は、X軸方向に延びる第1ゲート配線部16X1および第2ゲート配線部16X2と、Y軸方向に延びる第3ゲート配線部16Y1および第4ゲート配線部16Y2とを含む。第1ゲート配線部16X1は、第3ゲート配線部16Y1の一端と、第4ゲート配線部16

Y 2の一端との間に接続されている。一方、第2ゲート配線部16 X 2は、第3ゲート配線部16 Y 1の他端に接続されているが、第4ゲート配線部16 Y 2の他端には接続されていない。ゲート配線16は、ゲートパッド部16 Pをさらに含んでいてよい。図1の例では、第4ゲート配線部16 Y 2の他端は、ゲートパッド部16 Pに接続されている。

[0014] ソース配線18は、ゲート配線16によって少なくとも部分的に囲まれた内側ソース配線部18 aと、ゲート配線16を取り囲む外側ソース配線部18 bとを含んでいてよい。また、ソース配線18は、内側ソース配線部18 aと外側ソース配線部18 bとの間を接続するソース接続部18 cをさらに含むことができる。図1の例では、ゲート配線16は、内側ソース配線部18 aを部分的に囲む開いたループを形成している。ソース接続部18 cは、ゲート配線16のループが開いている箇所に配置されることにより、内側ソース配線部18 aを外側ソース配線部18 bに接続することができる。図1の例では、ソース接続部18 cは、第2ゲート配線部16 X 2とゲートパッド部16 Pとの間を通っている。なお、別の例では、ゲート配線16のループは、異なる箇所で開かれていてもよい。さらに別の例では、ゲート配線16は、平面視で閉じたループを形成していてもよい。

[0015] 半導体装置10は、半導体層12に形成されたゲートトレンチ20（単にトレンチ20とも呼ぶ）をさらに含む。ゲートトレンチ20は、平面視でゲート配線16およびソース配線18の両方と少なくとも部分的に重なるように配置することができる。半導体装置10は、複数のゲートトレンチ20を含んでいてよく、複数のゲートトレンチ20のうちのいくつかは、等間隔で相互に平行に整列されていてよい。図1の例では、ゲートトレンチ20は、X軸方向に延びるとともに、平面視で第3ゲート配線部16 Y 1または第4ゲート配線部16 Y 2と交差するように配置されている。

[0016] 半導体装置10は、絶縁層14を貫通するゲートコンタクトプラグ22およびソースコンタクトプラグ24をさらに含んでいてよい。ゲートコンタクトプラグ22は、ゲート配線16に結合されている。ゲートコンタクトプラ

グ22は、平面視でゲートトレンチ20とゲート配線16とが交差する領域に配置することができる。ソースコンタクトプラグ24は、ソース配線18に結合されている。ソースコンタクトプラグ24は、ゲートトレンチ20と平行に延びるとともに、2つのゲートトレンチ20の間に配置することができる。

[0017] 半導体装置10は、半導体層12に形成された終端トレンチ26をさらに含んでいてもよい。図1の例では、終端トレンチ26は、X軸方向に延びる第1終端トレンチ部26X1および第2終端トレンチ部26X2と、Y軸方向に延びる第3終端トレンチ部26Y1および第4終端トレンチ部26Y2とを含んでいる。相互に平行に整列された複数のゲートトレンチ20は、平面視で第1終端トレンチ部26X1と第2終端トレンチ部26X2との間に配置されている。第3終端トレンチ部26Y1は、平面視で内側ソース配線部18aと重なっている。また、第4終端トレンチ部26Y2は、平面視で外側ソース配線部18bと重なっている。ゲートトレンチ20は、第3終端トレンチ部26Y1および第4終端トレンチ部26Y2との間に延びるとともに、これらと連通している。したがって、ゲートトレンチ20は、平面視で内側ソース配線部18aおよび外側ソース配線部18bの両方と重なっている。

[0018] 半導体装置10は、絶縁層14を貫通する第1フィールドプレートコンタクトプラグ28と、第2フィールドプレートコンタクトプラグ30とをさらに含んでいてもよい。第1フィールドプレートコンタクトプラグ28は、内側ソース配線部18aに結合されている。第1フィールドプレートコンタクトプラグ28は、平面視で第3終端トレンチ部26Y1と重なっている。第2フィールドプレートコンタクトプラグ30は、外側ソース配線部18bと結合されている。第2フィールドプレートコンタクトプラグ30は、平面視で第4終端トレンチ部26Y2と重なっている。

[0019] ゲートコンタクトプラグ22、ソースコンタクトプラグ24、第1フィールドプレートコンタクトプラグ28、および第2フィールドプレートコンタ

クトプラグ30の各々は、任意の金属材料から形成することができる。一例では、各コンタクトプラグ22, 24, 28, 30は、タングステン (W)、チタン (Ti)、および窒化チタン (TiN) のうちの少なくとも1つから形成することができる。

[0020] 半導体装置10の平面レイアウトは図1の例に限られない。例えば、半導体装置10は、終端トレンチ26を含んでいなくてもよい。その場合、フィールドプレートコンタクトプラグ28, 30は、各ゲートトレンチ20の端部と重なるように配置されていてよい。例えば、半導体装置10が、Y軸方向に延びるゲートトレンチ20をさらに含んでいてもよく、第1ゲート配線部16X1および第2ゲート配線部16X2が、Y軸方向に延びるゲートトレンチ20と交差していてもよい。例えば、半導体装置10は、ソース配線18を含んでいなくてもよい。その場合、フィールドプレートコンタクトプラグ30は、各ゲートトレンチ20の端部と重なるように配置されていてよい。

[0021] (ゲートトレンチの詳細)

図2を参照して、半導体装置10のゲートトレンチ20の詳細について説明する。図2は、図1の半導体装置10のF2-F2線に沿った概略断面図である。

[0022] 半導体層12は、半導体基板32と、半導体基板32上に形成されたエピタキシャル層34とを含んでいてよい。その場合、半導体基板32は、半導体層12の第1面12Aを含み、エピタキシャル層34は、半導体層12の第2面12Bを含む。半導体基板32は、一例では、Si基板であってよい。半導体基板32は、MISFETのドレイン領域に対応する。エピタキシャル層34は、Si基板上にエピタキシャル成長されたSi層であってよい。エピタキシャル層34は、ドリフト領域36と、ドリフト領域36上に形成されたボディ領域38と、ボディ領域38上に形成されたソース領域40とを含むことができる。ソース領域40は、半導体層12の第2面12Bを含んでいてよい。

- [0023] ドレイン領域（半導体基板32）は、n型不純物を含むn型領域であってよい。ドレイン領域（半導体基板32）のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることができる。ドレイン領域（半導体基板32）は、 $50 \mu\text{m}$ 以上 $450 \mu\text{m}$ 以下の厚さを有してよい。
- [0024] ドリフト領域36は、ドレイン領域（半導体基板32）よりも低い濃度のn型不純物を含むn型領域であってよい。ドリフト領域36のn型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下とすることができる。ドリフト領域36は、 $1 \mu\text{m}$ 以上 $25 \mu\text{m}$ 以下の厚さを有してよい。
- [0025] ボディ領域38は、p型不純物を含むp型領域であってよい。ボディ領域38のp型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下とすることができる。ボディ領域38は、 $0.2 \mu\text{m}$ 以上 $1.0 \mu\text{m}$ 以下の厚さを有してよい。
- [0026] ソース領域40は、ドリフト領域36よりも高い濃度のn型不純物を含むn型領域であってよい。ソース領域40のn型不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下とすることができる。ソース領域40は、 $0.1 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下の厚さを有してよい。
- [0027] なお、本開示において、n型を第1導電型、およびp型を第2導電型ともいう。n型不純物は、例えば、リン（P）、ヒ素（As）などであってよい。また、p型不純物は、例えば、ホウ素（B）、アルミニウム（Al）などであってよい。
- [0028] ゲートトレンチ20は、半導体層12の第2面12Bに開口を有するとともに、Z軸方向に深さを有している。ゲートトレンチ20は、半導体層12のソース領域40およびボディ領域38を貫通してドリフト領域36まで延びている。ゲートトレンチ20は、側壁20Aおよび底壁20Bを有し、底壁20Bは、ドリフト領域36に隣接している。ゲートトレンチ20の深さは、 $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下であってよい。
- [0029] ゲートトレンチ20の側壁20Aは、半導体層12の第2面12Bに対して垂直な方向（Z軸方向）に延びていてもよいし、Z軸方向に対して傾斜し

ていてもよい。一例では、側壁20Aは、ゲートトレンチ20の幅が底壁20Bに向かって小さくなるようにZ軸方向に対して傾斜していてもよい。また、ゲートトレンチ20の底壁20Bは、必ずしも平坦でなくてもよく、例えば、その一部または全体が湾曲していてもよい。

[0030] 半導体装置10は、ゲートトレンチ20内に配置されたゲート電極42およびフィールドプレート電極44をさらに含む。ゲート電極42は、ゲート電圧が印加されるように構成された電極であり、フィールドプレート電極44は、基準電圧（またはソース電圧）が印加されるように構成された電極であってよい。

[0031] ゲート電極42は、絶縁層14に覆われた上面42A、および上面42Aと反対側の底面42Bを含む。フィールドプレート電極44は、ゲートトレンチ20内において、ゲート電極42の下方に配置されている。より詳細には、フィールドプレート電極44は、ゲート電極42の底面42Bとゲートトレンチ20の底壁20Bとの間に配置されている。ゲート電極42の底面42Bの少なくとも一部は、絶縁層14を挟んでフィールドプレート電極44と対向している。ゲート電極42は、ゲートトレンチ20の側壁20Aと対向する側面42Cをさらに含む。

[0032] ゲート電極42の上面42Aは、半導体層12の第2面12Bよりも下方に位置することができる。また、ゲート電極42の底面42Bは、Z軸方向において、ドリフト領域36とボディ領域38との界面との近くに位置しており、好ましくは、当該界面よりも下方にあってよい。ゲート電極42の上面42Aおよび底面42Bは、平坦であってもよいし、湾曲していてもよい。

[0033] ゲート電極42およびフィールドプレート電極44は、周囲を絶縁層14によって囲まれている。フィールドプレート電極44は、ゲート電極42よりも小さい幅を有してよい。フィールドプレート電極44が比較的小さい幅を有することにより、フィールドプレート電極44を囲む絶縁層14の厚さは比較的大きくなる。これによりゲートトレンチ20内の電界集中を緩

和することができる。

[0034] 絶縁層14は、ゲート電極42と半導体層12との間に介在してゲートトレンチ20の側壁20Aを覆うゲート絶縁部46を含む。ゲート絶縁部46は、ゲート電極42の側面42Cとゲートトレンチ20の側壁20Aとの間にある絶縁層14の一部である。ゲート絶縁部46は、ゲート電極42の側面42Cおよびゲートトレンチ20の側壁20Aの両方に接している。すなわち、ゲート電極42は、ゲート絶縁部46を介して半導体層12と対向している。ゲート電極42に所定の電圧が印加されると、ゲート絶縁部46と隣接するp型のボディ領域38内にチャンネルが形成される。半導体装置10は、このチャンネルを介したn型のソース領域40とn型のドリフト領域36との間のZ軸方向の電子の流れの制御を可能とすることができる。

[0035] 半導体層12は、コンタクト領域48をさらに含んでいてよい。コンタクト領域48は、p型不純物を含むp型領域であってよい。コンタクト領域48のp型不純物濃度は、ボディ領域38よりも高く、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下とすることができる。ソースコンタクトプラグ24は、絶縁層14およびソース領域40を貫通して、コンタクト領域48に接するように延びている。ソースコンタクトプラグ24は、絶縁層14上に形成されたソース配線18を、半導体層12のコンタクト領域48に電氣的に接続することができる。

[0036] 半導体装置10は、半導体層12の第1面12Aに形成されたドレイン電極50をさらに含んでいてよい。ドレイン電極50は、ドレイン領域（半導体基板32）に隣接しており、かつ電氣的に接続されている。ドレイン電極50は、チタン（Ti）、ニッケル（Ni）、金（Au）、銀（Ag）、銅（Cu）、アルミニウム（Al）、銅合金、およびアルミニウム合金のうちの少なくとも1つから形成することができる。

[0037] （ゲート電極の詳細）

ゲート電極42は、第1導電部52と、第1導電部52に接する側面54Aを含む第2導電部54とを含んでいる。第2導電部54は、第1導電部5

2に形成された凹部52A内に埋め込まれていてよい。第1導電部52は、ゲート電極42の側面42Cおよび底面42Bを含んでいる。一方、ゲート電極42の上面42Aの一部は、第2導電部54に含まれ、ゲート電極42の上面42Aの残りは、第1導電部52に含まれている。

[0038] 第1導電部52は、ゲート絶縁部46に接している。より詳細には、第1導電部52は、ゲート電極42の側面42Cを介してゲート絶縁部46に接している。したがって、第1導電部52は、ゲート絶縁部46を介して半導体層12のボディ領域38と対向している。

[0039] 第1導電部52は、ポリシリコンから形成され、第2導電部54は、金属から形成されている。第2導電部54は、タングステン(W)、チタン(Ti)、窒化チタン(TiN)、およびニッケル(Ni)のうちの少なくとも1つを含む金属から形成されていてよい。例えば、第2導電部54は、バリアメタルとしての窒化チタンと、埋め込み金属としてのタングステンとを含んでいてよい。この場合、窒化チタンが第1導電部52の凹部52Aに沿って形成され、窒化チタン上にタングステンが埋め込まれていてよい。窒化チタンを凹部52Aに沿って形成することにより、タングステンの第1導電部52(ポリシリコン)への拡散を抑制することができる。

[0040] 一般に、金属はポリシリコンよりも小さい抵抗率を有する材料であるため、第2導電部54は、第1導電部52よりも小さい抵抗率を有している。なお、ポリシリコンには、不純物がドーピングされていてよい。

[0041] フィールドプレート電極44は、ポリシリコンから形成することができる。別の例では、フィールドプレート電極44は、金属から形成されていてもよい。その場合、フィールドプレート電極44は、第2導電部54と同様の金属から形成されていてよい。

[0042] ここで、図3を参照して、第1導電部52の寸法についてさらに説明する。図3は、図2の部分拡大図である。図3に示すように、ゲート電極42の底面42Bと第2導電部54との間における第1導電部52の厚さをT1、ゲート電極42の側面42Cと第2導電部54との間における第1導電部5

2の厚さをT2とする。厚さT1は、ゲート電極42の底面42Bと第2導電部54との間の距離に相当する。なお、厚さT1は、Z軸方向における寸法であるものとする。また、厚さT2は、ゲート電極42の側面42Cと第2導電部54（側面54A）との間の距離に相当する。なお、厚さT2は、側面42Cに垂直な方向における寸法であるものとする。本明細書では、厚さT1を第1導電部52の底部厚さT1、厚さT2を第1導電部52の側部厚さT2とも呼ぶ。

[0043] また、ゲート絶縁部46の厚さをT3とする。厚さT3は、ゲートトレンチ20の側壁20Aとゲート電極42の側面42Cとの間の距離に相当する。なお、厚さT3は、側壁20Aに垂直な方向における寸法であるものとする。

[0044] 第1導電部52の底部厚さT1は、第1導電部52の側部厚さT2と同じであってよい。より好ましくは、第1導電部52の底部厚さT1は、第1導電部52の側部厚さT2よりも小さくてよい。ポリシリコンから形成された第1導電部52は、金属から形成された第2導電部54よりも大きな抵抗率を有しているため、第1導電部52の底部厚さT1を小さくするほど、半導体装置10のゲート抵抗を低減することができる。したがって、第1導電部52の底部厚さT1は、可能な限り小さくしてもよい。例えば、第1導電部52の底部厚さT1は、ゲート絶縁部46の厚さT3以下であってもよい。

[0045] 第1導電部52の底部厚さT1だけでなく、第1導電部52の側部厚さT2を小さくすることにより、半導体装置10のゲート抵抗をさらに低減することができる。ただし、第1導電部52の側部厚さT2が小さすぎると半導体装置10のゲート閾値電圧に影響を与え得る。したがって、第1導電部52の側部厚さT2は、ゲート抵抗およびゲート閾値電圧の両方を考慮して設定することができる。第1導電部52の側部厚さT2は、ゲート絶縁部46の厚さT3よりも大きくてよい。

[0046] （ゲートコンタクトプラグの配置）

次に、図4を参照して、ゲートコンタクトプラグ22の配置について説明

する。図4は、図1の半導体装置10のF4-F4線に沿った概略断面図である。図4では、図3とは異なり、絶縁層14上にゲート配線16が形成されている領域の断面が示されている。

[0047] ゲートコンタクトプラグ22は、ゲート配線16をゲート電極42に接続するように構成されている。ゲートコンタクトプラグ22は、ゲート電極42の上面42Aと、ゲート配線16との間の絶縁層14を貫通して延びている。図4の例では、ゲートコンタクトプラグ22のY軸方向における幅は、ゲート電極42の幅よりも小さいが、第2導電部54の幅よりも大きくてよい。したがって、ゲートコンタクトプラグ22は、第1導電部52および第2導電部54に接している。

[0048] (作用)

以下、本実施形態の半導体装置10の作用について説明する。

本実施形態の半導体装置10では、ゲート電極42は、ゲート絶縁部46に接する第1導電部52と、第1導電部52に接する側面54Aを含む第2導電部54とを含んでいる。第1導電部52は、ポリシリコンから形成され、第2導電部54は、金属から形成されている。

[0049] 一般に、金属はポリシリコンよりも小さい抵抗率を有する材料である。したがって、ゲート電極42が金属から形成された第2導電部54を含むことにより、半導体装置10のゲート抵抗を低減することができる。

[0050] 一方、半導体装置10のゲート閾値電圧は、ゲート絶縁部46を挟んで対向する材料間の仕事関数（真空準位とフェルミ準位とのエネルギー差）の影響を受ける。半導体装置10では、半導体層12のボディ領域38が、ゲート絶縁部46を介してゲート電極42と対向している。したがって、半導体層12のボディ領域38を形成する材料（本実施形態ではp型不純物を含むシリコン）の仕事関数と、ゲート電極42を形成する材料の仕事関数との関係がゲート閾値電圧に影響を与える。例えば、ゲート電極42を全て金属で形成した場合、ゲート抵抗は低減されるものの、ゲート閾値電圧は、ポリシリコンから形成されたゲート電極42を用いた場合から変化する。

[0051] 本実施形態の半導体装置10においては、第1導電部52がゲート絶縁部46に接しているため、第1導電部52がゲート絶縁部46を介して半導体層12（ボディ領域38）と対向している。したがって、ゲート電極42が、金属から形成された第2導電部54を含んでいても、第1導電部52がポリシリコンから形成されていることにより、ゲート閾値電圧の変化を抑制することができる。

[0052] （効果）

本実施形態の半導体装置10は、以下の利点を有する。

（1）ゲート電極42は、ゲート絶縁部46に接する第1導電部52と、第1導電部52に接する側面54Aを含む第2導電部54とを含んでいる。第1導電部52は、ポリシリコンから形成され、第2導電部54は、金属から形成されている。したがって、ゲート閾値電圧の変化を抑制しつつ、ゲート抵抗を低減することができる。

[0053] （2）ゲート電極42の底面42Bと第2導電部54との間における第1導電部52の厚さT1は、ゲート電極42の側面42Cと第2導電部54との間における第1導電部52の厚さT2よりも小さくてよい。

[0054] ゲート電極42の側面42Cと第2導電部54との間における第1導電部52の厚さT2を小さくし過ぎると、ゲート閾値電圧に影響を与え得る。一方、ゲート電極42の底面42Bと第2導電部54との間における第1導電部52の厚さT1を小さくしても、ゲート閾値電圧への影響は小さい。したがって、厚さT1を厚さT2よりも小さくすることによって、ゲート閾値電圧の変化を抑制しつつ、ゲート抵抗をさらに低減することができる。

[0055] （3）ゲート電極42の側面42Cと第2導電部54との間における第1導電部52の厚さT2は、ゲート絶縁部46の厚さT3よりも大きくてよい。

ゲート電極42の側面42Cと第2導電部54との間における第1導電部52の厚さT2を小さくし過ぎると、ゲート閾値電圧に影響を与え得る。したがって、ゲート絶縁部46の厚さT3よりも大きくすることによって、ゲ

ート閾値電圧の変化を抑制することができる。

[0056] (4) 半導体装置 10 は、ゲートトレンチ 20 内においてゲート電極 42 の下方に配置されたフィールドプレート電極 44 を含んでいてよい。

これにより、半導体装置 10 のオン抵抗を低減するためにエピタキシャル層 34 における不純物濃度を高くした場合であっても、耐圧を維持することができる。さらに、ゲート・ドレイン間容量を低減することができるので、半導体装置 10 のスイッチング速度を向上させることができる。

[0057] [第 2 実施形態]

図 5 は、第 2 実施形態による例示的な半導体装置 100 の概略断面図である。図 5 において、半導体装置 10 と同様の構成要素には同じ符号が付されている。また、半導体装置 10 と同様な構成要素については詳細な説明を省略する。

[0058] 半導体装置 100 では、ゲート電極 42 は、ポリシリコンから形成された第 1 導電部 102 および金属から形成された第 2 導電部 104 を含んでいる。第 1 導電部 102 は、ゲート絶縁部 46 に接している。また、第 2 導電部 104 は、第 1 導電部 102 に接する側面 104A を含む。第 1 実施形態の第 2 導電部 54 とは異なり、第 2 導電部 104 は、ゲート電極 42 の上面 42A から底面 42B まで延在している。第 1 導電部 102 は、ゲート電極 42 の上面 42A から底面 42B まで貫通する開口 102A を有している。第 2 導電部 104 は、開口 102A 内に埋め込まれている。

[0059] これにより、ゲート電極 42 中に占める第 2 導電部 104 の割合を第 1 実施形態よりも増加させることができる。したがって、半導体装置 100 では、ゲート閾値電圧の変化を抑制しつつ、ゲート抵抗をさらに低減することができる。

[0060] [第 3 実施形態]

図 6 は、第 3 実施形態による例示的な半導体装置 200 の概略断面図である。図 6 において、半導体装置 10 と同様の構成要素には同じ符号が付されている。また、半導体装置 10 と同様な構成要素については詳細な説明を省

略する。

- [0061] 半導体装置 200 は、ゲートトレンチ 20 内に配置されたゲート電極 202 を含む。第 1 実施形態や第 2 実施形態とは異なり、ゲート電極 202 の下に他の電極は配置されていない。
- [0062] ゲート電極 202 は、絶縁層 14 に覆われた上面 202 A、および上面 202 A と反対側の底面 202 B を含む。ゲート電極 202 の底面 202 B は、絶縁層 14 を挟んでゲートトレンチ 20 の底壁 20 B と対向している。ゲート電極 202 は、ゲートトレンチ 20 の側壁 20 A と対向する側面 202 C をさらに含む。
- [0063] ゲート電極 202 の上面 202 A は、半導体層 12 の第 2 面 12 B よりも下方に位置することができる。また、ゲート電極 202 の底面 202 B は、Z 軸方向において、ドリフト領域 36 とボディ領域 38 との界面よりも下方に位置することができる。ゲート電極 202 の上面 202 A および底面 202 B は、平坦であってもよいし、湾曲していてもよい。
- [0064] ゲート電極 202 は、周囲を絶縁層 14 によって囲まれている。絶縁層 14 は、ゲート電極 202 と半導体層 12 との間に介在してゲートトレンチ 20 の側壁 20 A を覆うゲート絶縁部 46 を含む。ゲート絶縁部 46 は、ゲート電極 202 の側面 202 C とゲートトレンチ 20 の側壁 20 A との間にある絶縁層 14 の一部である。ゲート絶縁部 46 は、ゲート電極 202 の側面 202 C およびゲートトレンチ 20 の側壁 20 A の両方に接している。ゲート電極 202 に所定の電圧が印加されると、ゲート絶縁部 46 と隣接する p 型のボディ領域 38 内にチャネルが形成される。半導体装置 200 は、このチャネルを介した n 型のソース領域 40 と n 型のドリフト領域 36 との間の Z 軸方向の電子の流れの制御を可能とすることができる。
- [0065] ゲート電極 202 は、第 1 導電部 204 と、第 1 導電部 204 に接する側面 206 A を含む第 2 導電部 206 とを含んでいる。第 2 導電部 206 は、第 1 導電部 204 に形成された凹部 204 A 内に埋め込まれていてよい。第 1 導電部 204 は、ゲート電極 202 の側面 202 C および底面 202 B を

含んでいる。一方、ゲート電極202の上面202Aの一部は、第2導電部206に含まれ、ゲート電極202の上面202Aの残りは、第1導電部204に含まれている。

[0066] 第1導電部204は、ゲート絶縁部46に接している。より詳細には、第1導電部204は、ゲート電極202の側面202Cを介してゲート絶縁部46に接している。

第1導電部204は、ポリシリコンから形成され、第2導電部206は、金属から形成されている。第2導電部206は、タングステン(W)、チタン(Ti)、窒化チタン(TiN)、およびニッケル(Ni)のうち少なくとも1つを含む金属から形成されていてよい。例えば、第2導電部206は、バリアメタルとしての窒化チタンと、埋め込み金属としてのタングステンを含んでいてよい。この場合、窒化チタンが第1導電部204の凹部204Aに沿って形成され、窒化チタン上にタングステンが埋め込まれていてよい。窒化チタンを凹部204Aに沿って形成することにより、タングステンの第1導電部204(ポリシリコン)への拡散を抑制することができる。

[0067] 一般に、金属はポリシリコンよりも小さい抵抗率を有する材料であるため、第2導電部206は、第1導電部204よりも小さい抵抗率を有している。なお、ポリシリコンには、不純物がドーピングされていてよい。

[0068] ゲート電極202の底面202Bと第2導電部206との間における第1導電部204の厚さは、ゲート電極202の側面202Cと第2導電部206との間における第1導電部204の厚さと同じであってよい。ゲート抵抗をさらに低減するために、ゲート電極202の底面202Bと第2導電部206との間における第1導電部204の厚さは、ゲート電極202の側面202Cと第2導電部206との間における第1導電部204の厚さよりも小さくてもよい。あるいは、第1導電部204の凹部204Aへの第2導電部206の埋め込みを容易にするために、ゲート電極202の底面202Bと第2導電部206との間における第1導電部204の厚さは、ゲート電極202の側面202Cと第2導電部206との間における第1導電部204の

厚さよりも大きくてもよい。これは、ゲート電極202の底面202Bと第2導電部206との間における第1導電部204の厚さが大きくなると、第1導電部204の凹部204Aの深さが小さくなるためである。

[0069] ゲート電極202の側面202Cと第2導電部206との間における第1導電部204の厚さを小さくすることにより、半導体装置200のゲート抵抗をさらに低減することができる。ただし、ゲート電極202の側面202Cと第2導電部206との間における第1導電部204の厚さが小さすぎると半導体装置200のゲート閾値電圧に影響を与え得る。したがって、ゲート電極202の側面202Cと第2導電部206との間における第1導電部204の厚さは、ゲート絶縁部46の厚さよりも大きくてよい。

[0070] このように、ゲート電極202は、ポリシリコンから形成され、ゲート絶縁部46に接する第1導電部204と、金属から形成され、第1導電部204に接する側面206Aを含む第2導電部206とを含んでいる。したがって、第3実施形態においても、第1実施形態と同様、ゲート閾値電圧の変化を抑制しつつ、ゲート抵抗を低減することができる。

[0071] [変更例]

上記した実施形態の各々は、以下のようにさらに変更して実施することができる。

(ゲート電極の変更例)

・第1実施形態における第1導電部52および第2導電部54の形状は任意に変更可能である。図7は、第2導電部54の側面54Aが、ゲート電極42の側面42Cと平行でない場合のゲート電極42を示す拡大断面図である。

[0072] ゲート電極42の側面42Cは、側壁20Aと略平行に形成されていてよい。図7の例のように、ゲートトレンチ20の側壁20AがZ軸方向に対して傾斜し、かつ第2導電部54の側面54AがZ軸方向に延びている場合、第1導電部52の側部厚さT2は、ゲート電極42の底面42Bにより近い位置でより小さくなる。例えば、ゲート電極42の底面42Bに近い位置に

おける側部厚さ T_{2b} は、ゲート電極 42 の上面 42A に近い位置における側部厚さ T_{2a} よりも小さい。

[0073] 前述の通り、第1導電部 52 の側部厚さ T_2 が小さすぎると半導体装置 10 のゲート閾値電圧に影響を与え得る。図7の例のように、側部厚さ T_2 が一定でない場合には、最も小さい厚さ T_2 を有する部分が、ゲート閾値電圧に影響を与えない程度の厚さとなるように第1導電部 52 を構成することができる。

[0074] (ゲートコンタクトプラグの変更例)

・各実施形態において、ゲートコンタクトプラグ 22 の寸法は任意に変更可能である。図8は、ゲートコンタクトプラグ 22 が比較的小さい幅を有する場合のゲート電極 42 上のゲートコンタクトプラグ 22 の配置を示している。

[0075] 図8の例では、ゲートコンタクトプラグ 22 のY軸方向における幅は、ゲート電極 42 の幅よりも小さく、かつ第2導電部 54 の幅よりも小さい。この場合、ゲートコンタクトプラグ 22 の底部は、第2導電部 54 に接するが、第1導電部 52 とは接していない。例えば、ゲートコンタクトプラグ 22 および第2導電部 54 が、いずれも、バリアメタルとしての TiN と、埋め込み金属としての W とを含んでいる場合、第2導電部 54 に含まれる W が、ゲートコンタクトプラグ 22 に含まれる TiN に接してよい。

[0076] (その他の変更例)

・第3実施形態において、第2導電部 206 が、ゲート電極 202 の上面 202A から底面 202B まで延在していてもよい。これにより、ゲート閾値電圧の変化を抑制しつつ、ゲート抵抗をさらに低減することができる。

[0077] ・半導体層 12 内の各領域の導電型は、反転されてもよい。すなわち、p型領域がn型領域とされ、n型領域がp型領域とされてもよい。

本明細書に記載の様々な例のうちの1つまたは複数、技術的に矛盾しない範囲で組み合わせることができる。

[0078] 本明細書において、「AおよびBのうちの少なくとも1つ」とは、「Aの

み、または、Bのみ、または、AおよびBの両方」を意味するものとして理解されるべきである。

本明細書で使用される「～上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「～上に」と「～の上方に」の意味を含む。したがって、「第1層が第2層上に形成される」という表現は、或る実施形態では第1層が第2層に接触して第2層上に直接配置され得るが、他の実施形態では第1層が第2層に接触することなく第2層の上方に配置され得ることが意図される。すなわち、「～上に」という用語は、第1層と第2層との間に他の層が形成される構造を排除しない。

[0079] 本明細書で使用される「垂直」、「水平」、「上方」、「下方」、「上」、「下」、「前方」、「後方」、「縦」、「横」、「左」、「右」、「前」、「後」などの方向を示す用語は、説明および図示された装置の特定の向きに依存する。本開示においては、様々な代替的な向きを想定することができ、したがって、これらの方向を示す用語は、狭義に解釈されるべきではない。

[0080] 例えば、本明細書で使用されるZ軸方向は必ずしも鉛直方向である必要はなく、鉛直方向に完全に一致している必要もない。例えば、X軸方向が鉛直方向であってもよく、またはY軸方向が鉛直方向であってもよい。

[0081] [付記]

本開示から把握できる技術的思想を以下に記載する。なお、限定する意図ではなく理解の補助のために、付記に記載される構成要素には、実施形態中の対応する構成要素の参照符号が付されている。参照符号は、理解の補助のために例として示すものであり、各付記に記載された構成要素は、参照符号で示される構成要素に限定されるべきではない。

[0082] (付記1)

半導体層(12)と、

前記半導体層(12)に形成されるとともに、側壁(20A)を含むトレンチ(20)と、

前記半導体層（１２）上に形成された絶縁層（１４）と、
前記トレンチ（２０）内に配置されたゲート電極（４２）と
を備え、

前記絶縁層（１４）は、前記半導体層（１２）と前記ゲート電極（４２）
との間に介在して前記トレンチ（２０）の前記側壁（２０Ａ）を覆うゲート
絶縁部（４６）を含み、

前記ゲート電極（４２）は、
前記ゲート絶縁部（４６）に接する第１導電部（５２）と、
前記第１導電部（５２）に接する側面（５４Ａ）を含む第２導電部（５４
）と

を含み、

前記第１導電部（５２）は、ポリシリコンから形成され、前記第２導電部
（５４）は、金属から形成されている、
半導体装置。

[0083] （付記２）

前記ゲート電極（４２）は、前記トレンチ（２０）の前記側壁（２０Ａ）
と対向する側面（４２Ｃ）を含み、

前記第１導電部（５２）は、前記ゲート電極（４２）の前記側面（４２Ｃ
）を含んでいる、付記１に記載の半導体装置。

[0084] （付記３）

前記第２導電部（５４）は、前記第１導電部（５２）に形成された凹部（
５２Ａ）内に埋め込まれている、付記１または２に記載の半導体装置。

[0085] （付記４）

前記ゲート電極（４２）は、前記絶縁層（１４）に覆われた上面（４２Ａ
）を含む、付記１～３のうちのいずれか１つに記載の半導体装置。

[0086] （付記５）

前記第２導電部（５４）は、前記ゲート電極（４２）の前記上面（４２Ａ
）の一部を含む、付記４に記載の半導体装置。

[0087] (付記6)

前記ゲート電極(42)は、前記上面(42A)と反対側の底面(42B)を含み、

前記第1導電部(52)は、前記ゲート電極(42)の前記底面(42B)を含んでいる、付記4または5に記載の半導体装置。

[0088] (付記7)

前記ゲート電極(42)は、前記上面(42A)と反対側の底面(42B)を含み、

前記第2導電部(104)は、前記ゲート電極(42)の前記上面(42A)から前記底面(42B)まで延在している、付記4または5に記載の半導体装置。

[0089] (付記8)

前記ゲート電極(42)の前記底面(42B)と前記第2導電部(54)との間における前記第1導電部(52)の厚さ(T1)は、前記ゲート電極(42)の前記側面(42C)と前記第2導電部(54)との間における前記第1導電部(52)の厚さ(T2)よりも小さい、付記6に記載の半導体装置。

[0090] (付記9)

前記ゲート電極(42)の前記底面(42B)と前記第2導電部(54)との間における前記第1導電部(52)の厚さ(T1)は、前記ゲート絶縁部(46)の厚さ(T3)以下である、付記8に記載の半導体装置。

[0091] (付記10)

前記絶縁層(14)上に形成されたゲート配線(16)と、

前記ゲート配線(16)を前記ゲート電極(42)に結合するように構成されたゲートコンタクトプラグ(22)と

をさらに備え、

前記ゲートコンタクトプラグ(22)は、前記ゲート電極(42)の前記上面(42A)と前記ゲート配線(16)との間の前記絶縁層(14)を貫

通して延びるとともに、前記第1導電部(52)および前記第2導電部(54)に接している、付記4~9のうちのいずれか1つに記載の半導体装置。

[0092] (付記11)

前記ゲート電極(42)の前記側面(42C)と前記第2導電部(54)との間における前記第1導電部(52)の厚さ(T2)は、前記ゲート絶縁部(46)の厚さ(T3)よりも大きい、付記1~10のうちのいずれか1つに記載の半導体装置。

[0093] (付記12)

前記第2導電部(54)は、タングステン、チタン、窒化チタン、およびニッケルのうちの少なくとも1つを含む金属から形成されている、付記1~11のうちのいずれか1つに記載の半導体装置。

[0094] (付記13)

前記トレンチ(20)内において前記ゲート電極(42)の下方に配置されたフィールドプレート電極(44)をさらに備える、付記1~12のうちのいずれか1つに記載の半導体装置。

[0095] (付記14)

前記フィールドプレート電極(44)は、ポリシリコンから形成されている、付記13に記載の半導体装置。

[0096] (付記15)

前記半導体層(12)は、第1導電型のドリフト領域(36)と、前記ドリフト領域(36)上に形成された第2導電型のボディ領域(38)と、前記ボディ領域(38)上に形成された第1導電型のソース領域(40)とを含み、前記第1導電部(52)は、前記ゲート絶縁部(46)を介して前記ボディ領域(38)と対向している、付記1~14のうちのいずれか1つに記載の半導体装置。

[0097] 以上の説明は単に例示である。本開示の技術を説明する目的のために列挙された構成要素および方法(製造プロセス)以外に、より多くの考えられる組み合わせおよび置換が可能であることを当業者は認識し得る。本開示は、

特許請求の範囲を含む本開示の範囲内に含まれるすべての代替、変形、および変更を包含することが意図される。

符号の説明

- [0098] 10, 100, 200…半導体装置
- 12…半導体層
- 12A…第1面
- 12B…第2面
- 14…絶縁層
- 16…ゲート配線
- 18…ソース配線
- 20…ゲートトレンチ (トレンチ)
- 20A…側壁
- 20B…底壁
- 22…ゲートコンタクトプラグ
- 24…ソースコンタクトプラグ
- 26…終端トレンチ
- 28…第1フィールドプレートコンタクトプラグ
- 30…第2フィールドプレートコンタクトプラグ
- 32…半導体基板
- 34…エピタキシャル層
- 36…ドリフト領域
- 38…ボディ領域
- 40…ソース領域
- 42, 202…ゲート電極
- 42A, 202A…上面
- 42B, 202B…底面
- 42C, 202C…側面
- 44…フィールドプレート電極

46…ゲート絶縁部
48…コンタクト領域
50…ドレイン電極
52, 102, 204…第1導電部
52A, 204A…凹部
102A…開口
54, 104, 206…第2導電部
54A, 104A, 206A…側面

請求の範囲

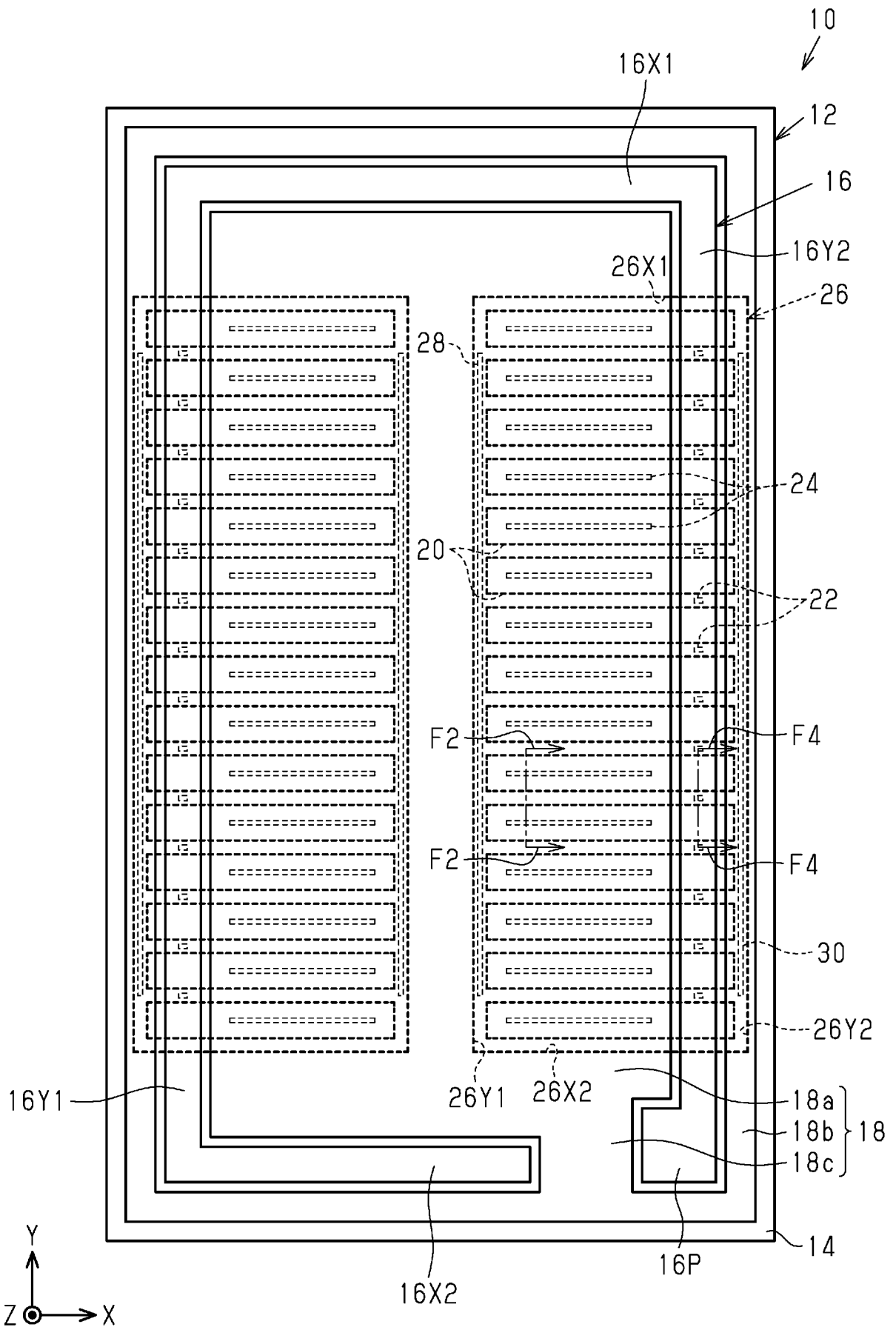
- [請求項1] 半導体層と、
前記半導体層に形成されるとともに、側壁を含むトレンチと、
前記半導体層上に形成された絶縁層と、
前記トレンチ内に配置されたゲート電極と
を備え、
前記絶縁層は、前記半導体層と前記ゲート電極との間に介在して前記トレンチの前記側壁を覆うゲート絶縁部を含み、
前記ゲート電極は、
前記ゲート絶縁部に接する第1導電部と、
前記第1導電部に接する側面を含む第2導電部と
を含み、
前記第1導電部は、ポリシリコンから形成され、前記第2導電部は、
金属から形成されている、
半導体装置。
- [請求項2] 前記ゲート電極は、前記トレンチの前記側壁と対向する側面を含み、
、
前記第1導電部は、前記ゲート電極の前記側面を含んでいる、請求項1に記載の半導体装置。
- [請求項3] 前記第2導電部は、前記第1導電部に形成された凹部内に埋め込まれている、請求項1または2に記載の半導体装置。
- [請求項4] 前記ゲート電極は、前記絶縁層に覆われた上面を含む、請求項1～3のうちのいずれか一項に記載の半導体装置。
- [請求項5] 前記第2導電部は、前記ゲート電極の前記上面の一部を含む、請求項4に記載の半導体装置。
- [請求項6] 前記ゲート電極は、前記上面と反対側の底面を含み、
前記第1導電部は、前記ゲート電極の前記底面を含んでいる、請求項4または5に記載の半導体装置。

- [請求項7] 前記ゲート電極は、前記上面と反対側の底面を含み、
前記第2導電部は、前記ゲート電極の前記上面から前記底面まで延在している、請求項4または5に記載の半導体装置。
- [請求項8] 前記ゲート電極の前記底面と前記第2導電部との間における前記第1導電部の厚さは、前記ゲート電極の前記側面と前記第2導電部との間における前記第1導電部の厚さよりも小さい、請求項6に記載の半導体装置。
- [請求項9] 前記ゲート電極の前記底面と前記第2導電部との間における前記第1導電部の厚さは、前記ゲート絶縁部の厚さ以下である、請求項8に記載の半導体装置。
- [請求項10] 前記絶縁層上に形成されたゲート配線と、
前記ゲート配線を前記ゲート電極に結合するように構成されたゲートコンタクトプラグと
をさらに備え、
前記ゲートコンタクトプラグは、前記ゲート電極の前記上面と前記ゲート配線との間の前記絶縁層を貫通して延びるとともに、前記第1導電部および前記第2導電部に接している、請求項4～9のうちのいずれか一項に記載の半導体装置。
- [請求項11] 前記ゲート電極の前記側面と前記第2導電部との間における前記第1導電部の厚さは、前記ゲート絶縁部の厚さよりも大きい、請求項1～10のうちのいずれか一項に記載の半導体装置。
- [請求項12] 前記第2導電部は、タングステン、チタン、窒化チタン、およびニッケルのうちの少なくとも1つを含む金属から形成されている、請求項1～11のうちのいずれか一項に記載の半導体装置。
- [請求項13] 前記トレンチ内において前記ゲート電極の下方に配置されたフィールドプレート電極をさらに備える、請求項1～12のうちのいずれか一項に記載の半導体装置。
- [請求項14] 前記フィールドプレート電極は、ポリシリコンから形成されている

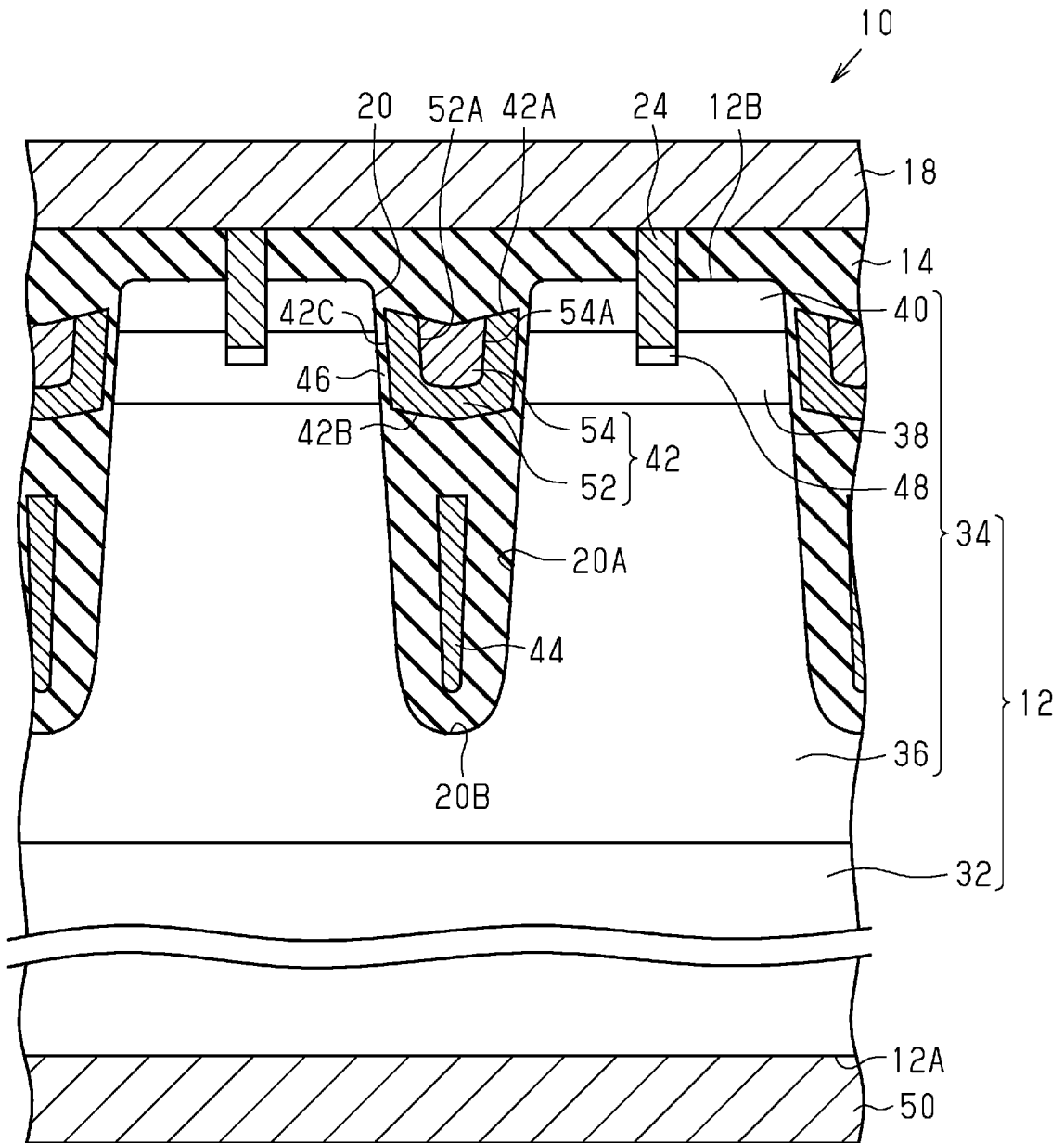
、請求項 1 3 に記載の半導体装置。

[請求項15] 前記半導体層は、第 1 導電型のドリフト領域と、前記ドリフト領域上に形成された第 2 導電型のボディ領域と、前記ボディ領域上に形成された第 1 導電型のソース領域とを含み、前記第 1 導電部は、前記ゲート絶縁部を介して前記ボディ領域と対向している、請求項 1 ～ 1 4 のうちのいずれか一項に記載の半導体装置。

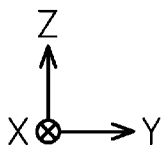
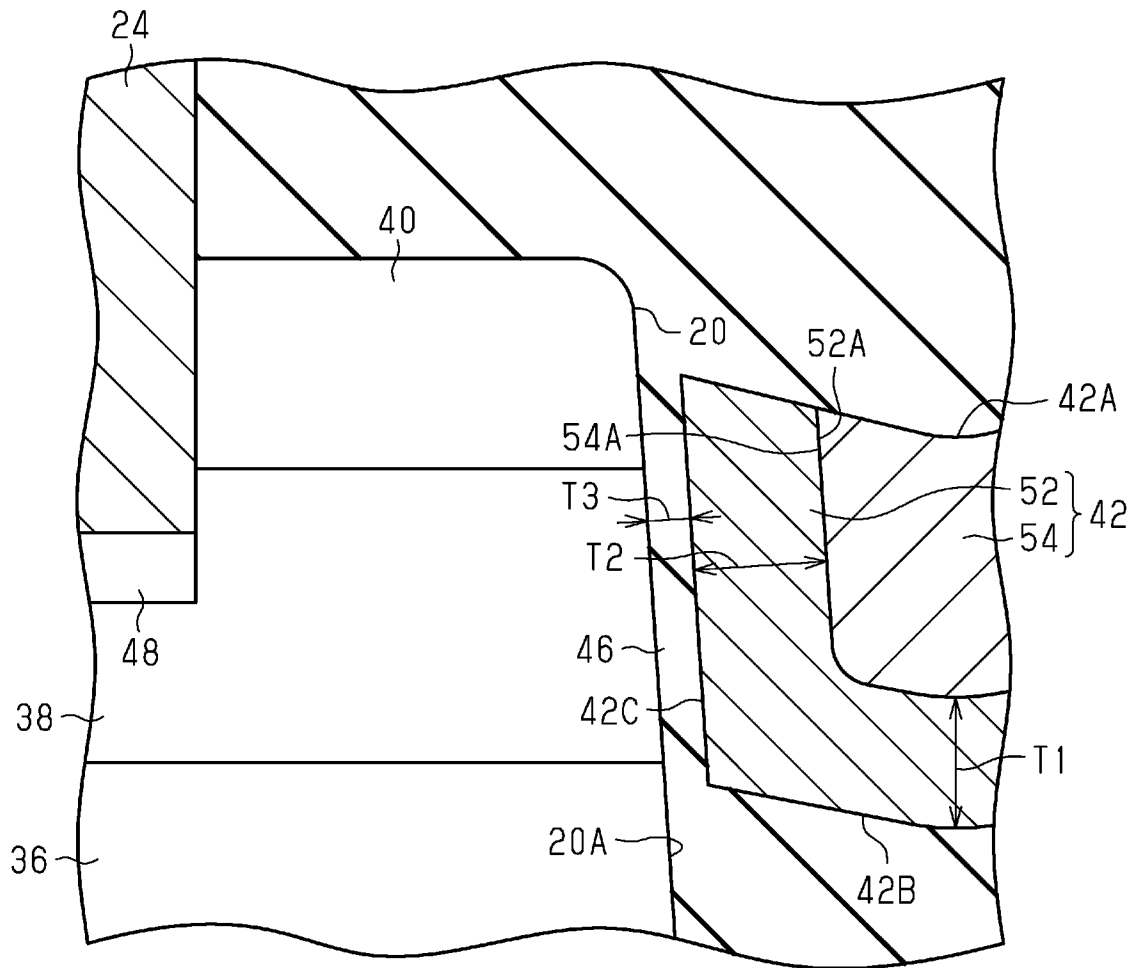
[図1]



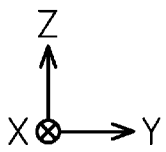
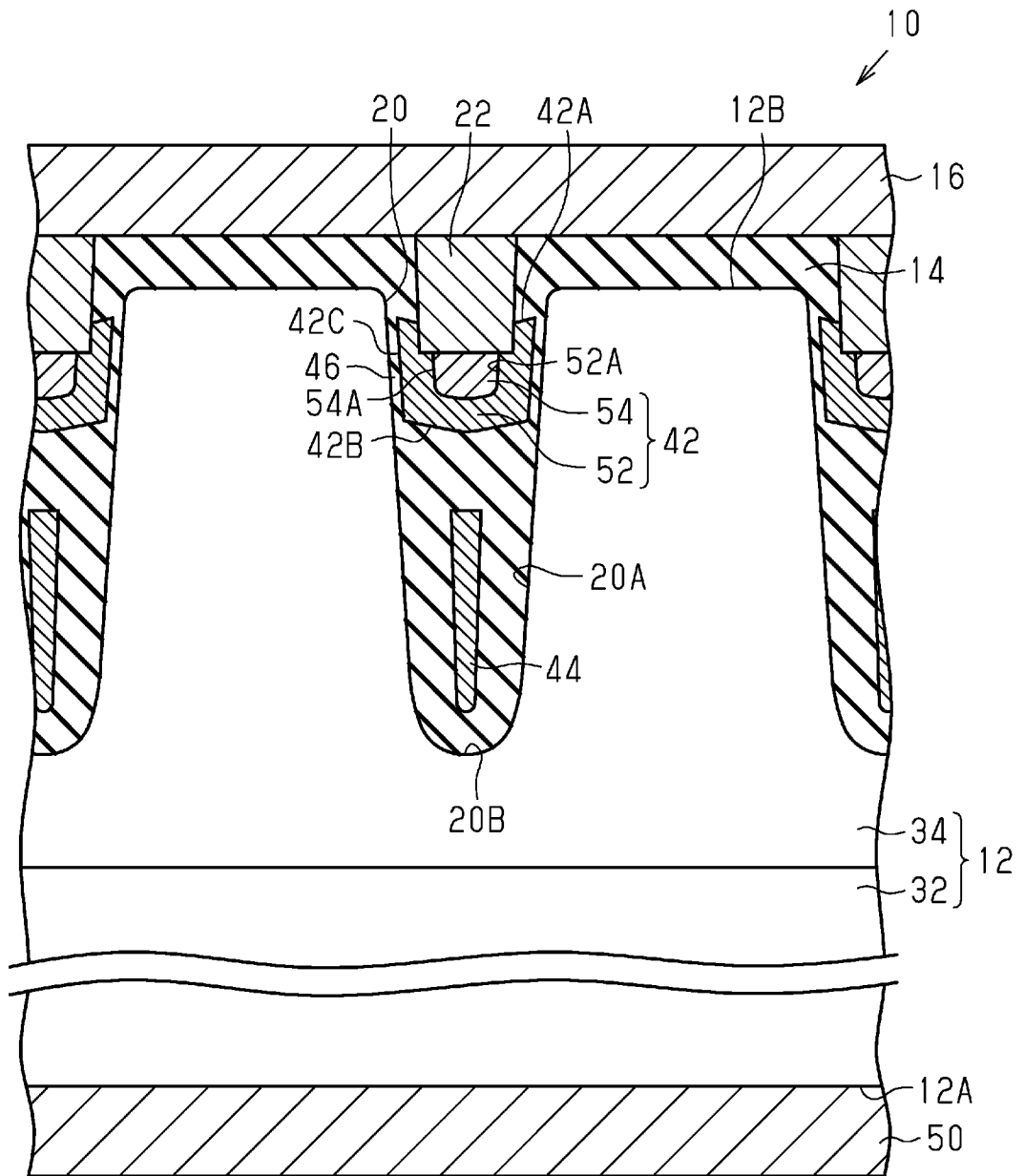
[図2]



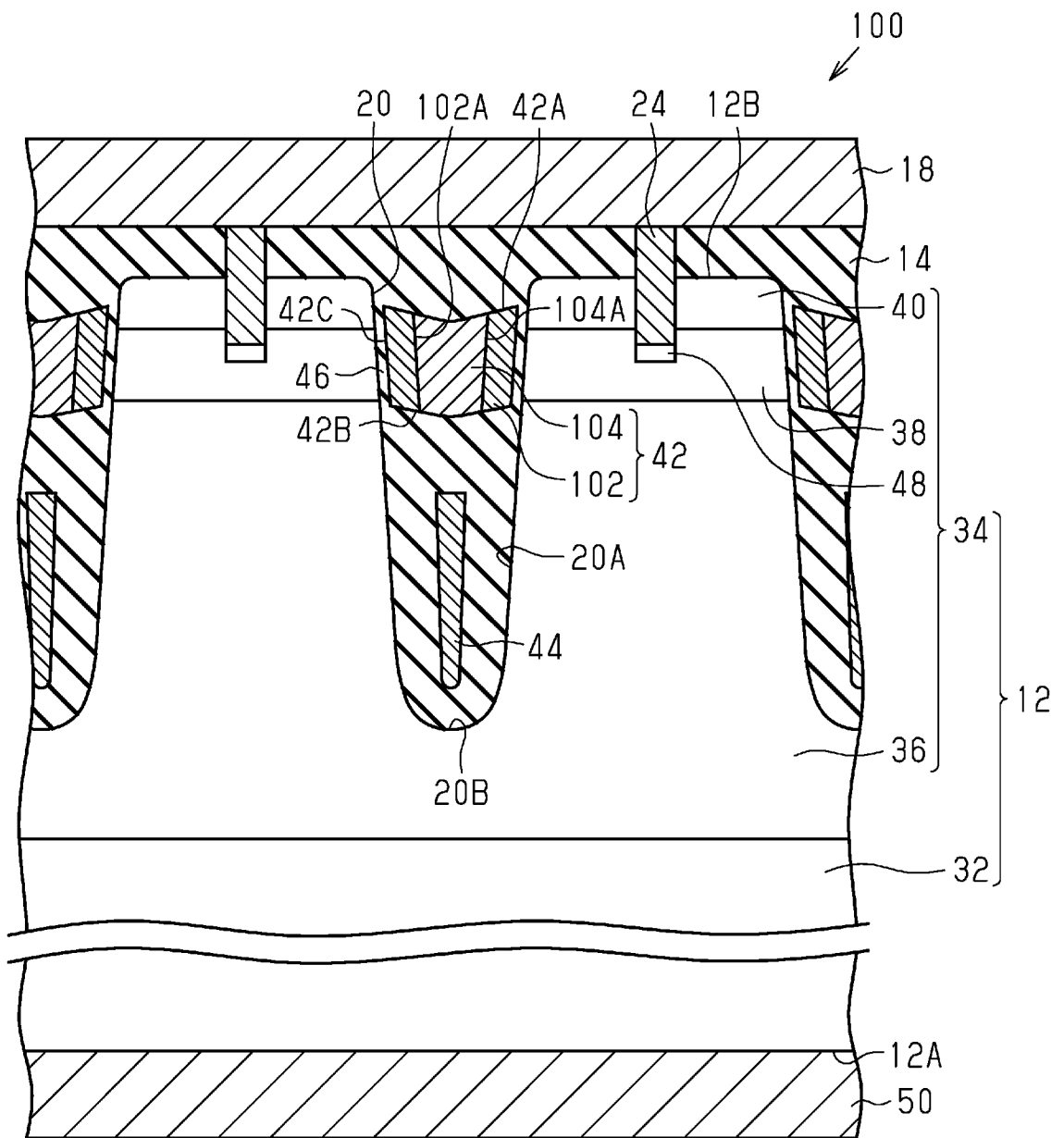
[図3]



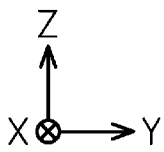
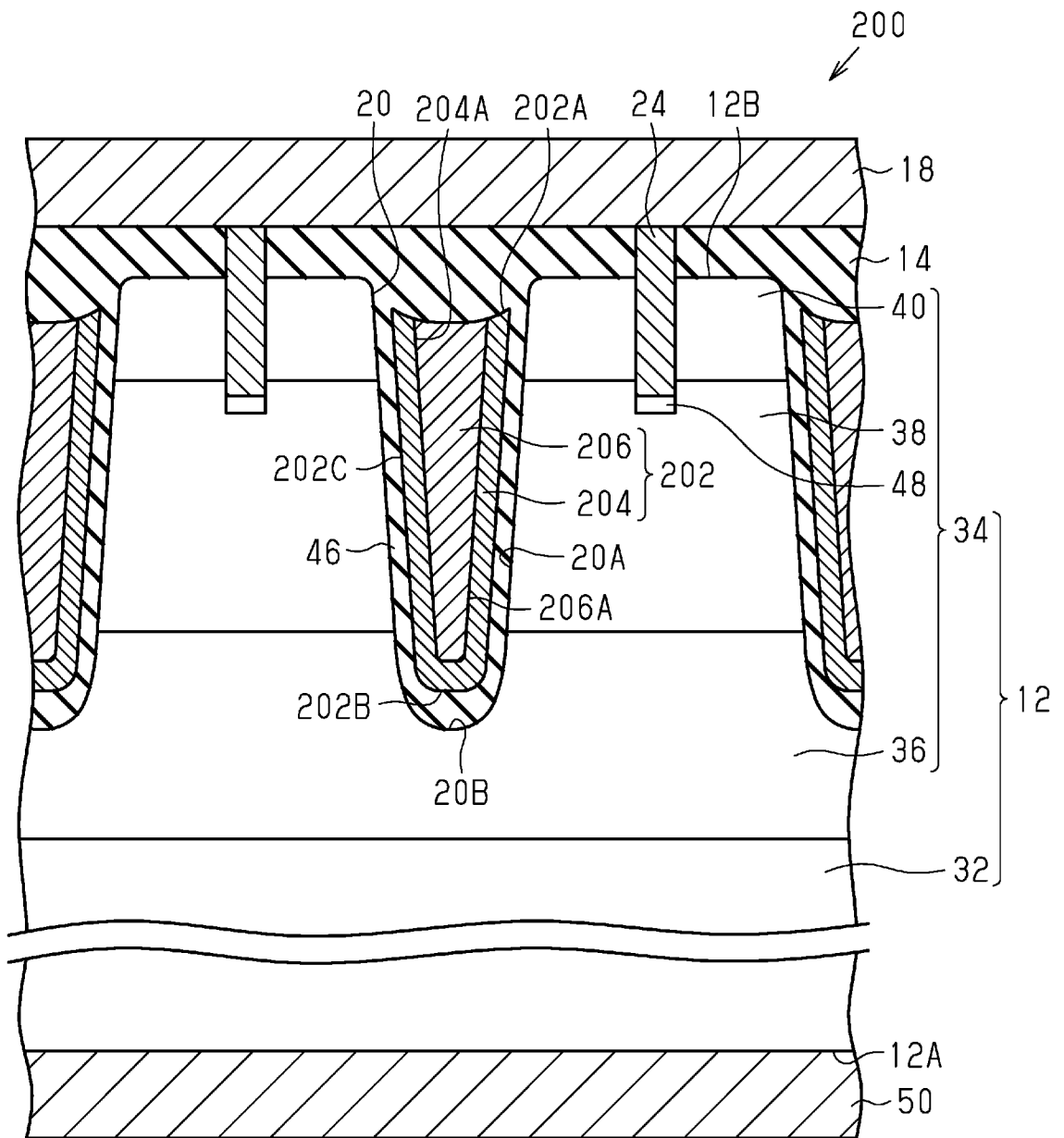
[図4]



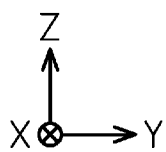
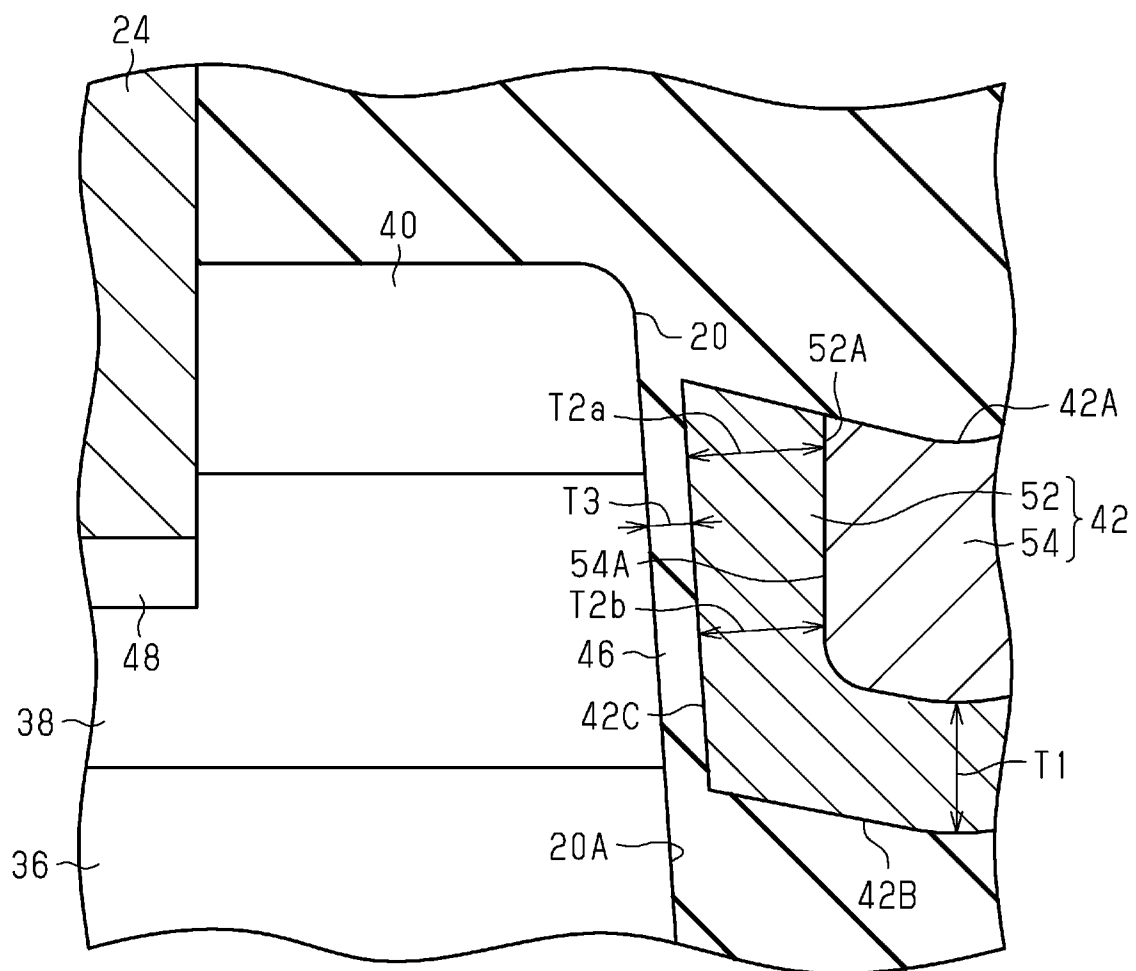
[図5]



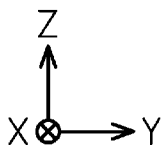
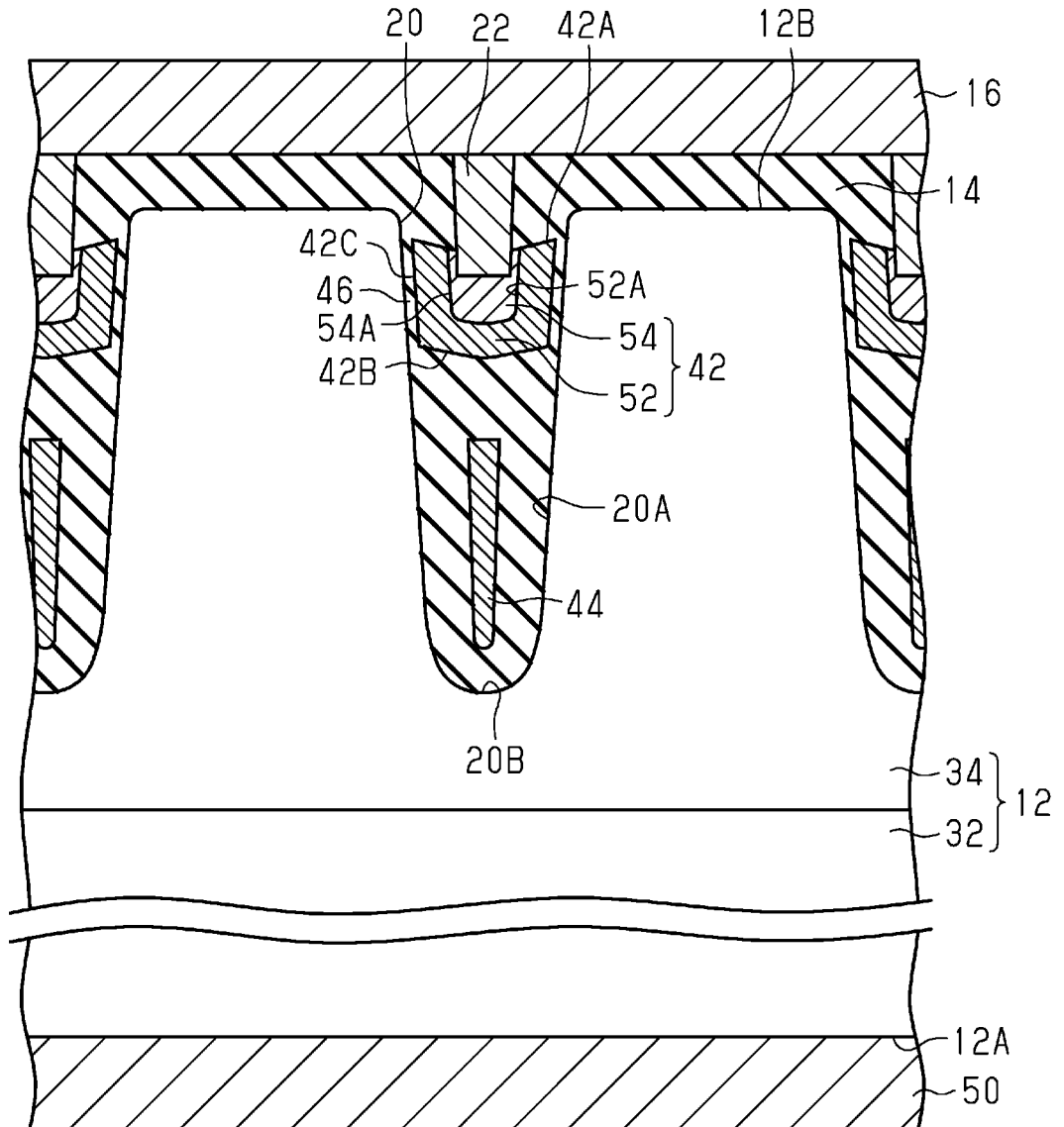
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/002430

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/78</i> (2006.01) FI: H01L29/78 652K; H01L29/78 652F; H01L29/78 652M; H01L29/78 652Q; H01L29/78 652S; H01L29/78 653C		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-175314 A (ROHM CO., LTD.) 22 September 2014 (2014-09-22) paragraphs [0088]-[0090], fig. 11	1-6, 8, 9, 11, 12, 15
Y	paragraphs [0088]-[0090], fig. 11	1-6, 8-15
A	paragraphs [0088]-[0090], fig. 11	7
X	JP 2018-133579 A (ROHM CO., LTD.) 23 August 2018 (2018-08-23) paragraphs [0046]-[0064], fig. 4, 5	1-6, 8, 9, 11, 12, 15
Y	paragraphs [0046]-[0064], fig. 4, 5	1-6, 8-15
A	paragraphs [0046]-[0064], fig. 4, 5	7
Y	JP 2017-45776 A (ROHM CO., LTD.) 02 March 2017 (2017-03-02) paragraphs [0016]-[0041], fig. 1-5	1-6, 8-15
A	paragraphs [0016]-[0041], fig. 1-5	7
A	US 2017/0338309 A1 (EXCELLIANCE MOS CORP.) 23 November 2017 (2017-11-23) entire text, all drawings	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 March 2023		Date of mailing of the international search report 18 April 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/002430

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-175314	A	22 September 2014	US 2016/0020289 A1 paragraphs [0160]-[0163], fig. 11	
				WO 2014/136801 A1	
				CN 105247683 A	
JP	2018-133579	A	23 August 2018	(Family: none)	
JP	2017-45776	A	02 March 2017	US 2017/0062574 A1 paragraphs [0038]-[0066], fig. 1-5	
US	2017/0338309	A1	23 November 2017	TW 201742246 A entire text, all drawings	
				CN 107403838 A	
				TW 1577010 B	
US	2012/0187474	A1	26 July 2012	DE 102012000958 A1 entire text, all drawings	
				CN 102623500 A	
				KR 10-2012-0084694 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i FI: H01L29/78 652K; H01L29/78 652F; H01L29/78 652M; H01L29/78 652Q; H01L29/78 652S; H01L29/78 653C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-175314 A (ローム株式会社) 22.09.2014 (2014 - 09 - 22) 段落0088-0090, 図11	1-6, 8, 9, 11, 12, 15
Y	段落0088-0090, 図11	1-6, 8-15
A	段落0088-0090, 図11	7
X	JP 2018-133579 A (ローム株式会社) 23.08.2018 (2018 - 08 - 23) 段落0046-0064, 図4, 5	1-6, 8, 9, 11, 12, 15
Y	段落0046-0064, 図4, 5	1-6, 8-15
A	段落0046-0064, 図4, 5	7
Y	JP 2017-45776 A (ローム株式会社) 02.03.2017 (2017 - 03 - 02) 段落0016-0041, 図1-5	1-6, 8-15
A	段落0016-0041, 図1-5	7
A	US 2017/0338309 A1 (EXCELLIANCE MOS CORPORATION) 23.11.2017 (2017 - 11 - 23) 全文、全図	1-15
A	US 2012/0187474 A1 (REXER et al.) 26.07.2012 (2012 - 07 - 26) 全文、全図	1-15
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 28.03.2023	国際調査報告の発送日 18.04.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 上田 智志 5F 3664 電話番号 03-3581-1101 内線 3514	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2023/002430

引用文献	公表日	パテントファミリー文献	公表日
JP 2014-175314 A	22.09.2014	US 2016/0020289 A1 段落0160-0163, 図11 WO 2014/136801 A1 CN 105247683 A	
JP 2018-133579 A	23.08.2018	(ファミリーなし)	
JP 2017-45776 A	02.03.2017	US 2017/0062574 A1 段落0038-0066, 図1-5	
US 2017/0338309 A1	23.11.2017	TW 201742246 A 全文、全図 CN 107403838 A TW 1577010 B	
US 2012/0187474 A1	26.07.2012	DE 102012000958 A1 全文、全図 CN 102623500 A KR 10-2012-0084694 A	