

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5319006号
(P5319006)

(45) 発行日 平成25年10月16日 (2013.10.16)

(24) 登録日 平成25年7月19日 (2013.7.19)

(51) Int. Cl.	F I	
H03F 1/44 (2006.01)	H03F 1/44	
H03F 3/68 (2006.01)	H03F 3/68	B
H03F 3/24 (2006.01)	H03F 3/24	
H03F 3/30 (2006.01)	H03F 3/30	
H03F 3/60 (2006.01)	H03F 3/60	

請求項の数 5 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2012-225099 (P2012-225099)	(73) 特許権者	302062931
(22) 出願日	平成24年10月10日 (2012.10.10)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2008-316891 (P2008-316891) の分割		神奈川県川崎市中原区下沼部1753番地
原出願日	平成20年12月12日 (2008.12.12)	(74) 代理人	110001195 特許業務法人深見特許事務所
(65) 公開番号	特開2013-42527 (P2013-42527A)	(72) 発明者	川上 剛史 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(43) 公開日	平成25年2月28日 (2013.2.28)	(72) 発明者	古川 彰彦 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	平成24年10月10日 (2012.10.10)	(72) 発明者	山川 聡 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 電力増幅回路

(57) 【特許請求の範囲】

【請求項1】

差動信号を受ける第1の端子および第2の端子と、
前記第1の端子に接続される第1の増幅器と、
前記第2の端子に接続される第2の増幅器と、
前記第1の端子に接続される第3の増幅器と、
前記第2の端子に接続される第4の増幅器と、
前記第1の増幅器の出力と前記第2の増幅器の出力との間に接続される第1のキャパシタと、

前記第1のキャパシタと異なるキャパシタンスを有するとともに前記第3の増幅器の出力と前記第4の増幅器の出力との間に接続される第2のキャパシタと、

前記第1の増幅器の出力と前記第2の増幅器の出力との間に接続される第1の一次側インダクタと、

前記第3の増幅器の出力と前記第4の増幅器の出力との間に接続される第2の一次側インダクタと、

前記第1および第2の一次側インダクタに対向して設けられる二次側インダクタとを備える、電力増幅回路。

【請求項2】

差動信号を受ける第1の端子および第2の端子と、

前記第1の端子に接続される第1の増幅器と、

10

20

前記第 2 の端子に接続される第 2 の増幅器と、
 前記第 1 の端子に接続される第 3 の増幅器と、
 前記第 2 の端子に接続される第 4 の増幅器と、
 前記第 1 の増幅器の出力と前記第 2 の増幅器の出力との間に接続される第 1 のキャパシタと、

前記第 3 の増幅器の出力と前記第 4 の増幅器の出力との間に接続される第 2 のキャパシタと、

前記第 1 の増幅器の出力と前記第 2 の増幅器の出力との間に接続される第 1 の一次側インダクタと、

前記第 1 のインダクタと異なるインダクタンスを有するとともに前記第 3 の増幅器の出力と前記第 4 の増幅器の出力との間に接続される第 2 の一次側インダクタと、

前記第 1 および第 2 の一次側インダクタに対向して設けられる二次側インダクタとを備える、電力増幅回路。

【請求項 3】

差動信号を受ける第 1 の端子および第 2 の端子と、

前記第 1 の端子に接続される第 1 の増幅器と、

前記第 2 の端子に接続される第 2 の増幅器と、

前記第 1 の端子に接続される第 3 の増幅器と、

前記第 2 の端子に接続される第 4 の増幅器と、

前記第 1 の増幅器の出力と前記第 2 の増幅器の出力との間に接続される第 1 のキャパシタと、

前記第 1 のキャパシタと異なるキャパシタンスを有するとともに前記第 3 の増幅器の出力と前記第 4 の増幅器の出力との間に接続される第 2 のキャパシタと、

前記第 1 の増幅器の出力と前記第 2 の増幅器の出力との間に接続される第 1 の一次側インダクタと、

前記第 1 のインダクタと異なるインダクタンスを有するとともに前記第 3 の増幅器の出力と前記第 4 の増幅器の出力との間に接続される第 2 の一次側インダクタと、

前記第 1 および第 2 の一次側インダクタに対向して設けられる二次側インダクタとを備える、電力増幅回路。

【請求項 4】

前記第 1 の増幅器の入力と前記第 1 の増幅器の出力との間に接続される第 1 の帰還抵抗と、

前記第 2 の増幅器の入力と前記第 2 の増幅器の出力との間に接続される第 2 の帰還抵抗と、

前記第 3 の増幅器の入力と前記第 3 の増幅器の出力との間に接続される第 3 の帰還抵抗と、

前記第 4 の増幅器の入力と前記第 4 の増幅器の出力との間に接続される第 4 の帰還抵抗とを更に備える、請求項 1 から 3 のいずれか 1 項に記載の電力増幅回路。

【請求項 5】

前記第 2 の増幅器の入力と前記第 1 の増幅器の出力との間に接続される第 1 の帰還抵抗と、

前記第 1 の増幅器の入力と前記第 2 の増幅器の出力との間に接続される第 2 の帰還抵抗と、

前記第 4 の増幅器の入力と前記第 3 の増幅器の出力との間に接続される第 3 の帰還抵抗と、

前記第 3 の増幅器の入力と前記第 4 の増幅器の出力との間に接続される第 4 の帰還抵抗とを更に備える、請求項 1 から 3 のいずれか 1 項に記載の電力増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

この発明は、電力増幅回路に関し、特に、広帯域な周波数特性を有する電力増幅回路に関する。

【背景技術】

【0002】

電力増幅回路は、微弱な信号を必要なレベルにまで電力増幅を行なって出力する。このような電力増幅回路は、たとえば、携帯機器などの無線通信用途においては、微弱な高周波信号を無線システムが必要とする電力まで増幅して出力するために利用される。

【0003】

このような電力増幅回路の1つに、差動プッシュプル方式がある。この差動プッシュプル方式の電力増幅回路は、1対のトランジスタにより増幅された差動信号を合成器で合成して出力信号を生成する。差動信号を利用するため、単体トランジスタの出力信号の2倍の振幅の出力が得られることに加え、偶数次高調波が相殺されるため、高出力かつ低歪みの増幅回路を実現するのに有効な手段である。

【0004】

携帯電話などの移動体通信分野においては、低占有面積化に伴う低コスト化が重要な課題である。したがって、構成要素のトランジスタとして、微細CMOSトランジスタ（相補絶縁ゲート型電界効果トランジスタ）が利用され、またマイクロ波領域の合成器としては、トランスが多用される。このような微細CMOSプロセスを用いた差動プッシュプル増幅器の構成の一例が、非特許文献1（Jongchan Kang, et al., "A single-chip linear CMOS power amplifier for 2.4 GHz WLAN," International Solid-State Circuits Conference 2006, Digest of Technical Papers, pp.761-769, Feb. 2006.）に示されている。

【0005】

この非特許文献1に示される電力増幅器の構成において、合成器を構成するトランスは、それぞれ半巻き（1/2巻き）の一次側および二次側スラブインダクタで構成される。一次側金属スラブの両端を差動信号を受ける1対のMOSトランジスタで駆動する。この非特許文献1は、トランスの一次および二次インダクタが半巻きのインダクタで構成されており、対向辺からの磁束の相殺をなくすことにより、変換効率（出力電力 P_{out} と入力電力 P_{in} の比、 P_{out}/P_{in} ）を改善することを図る。

【0006】

また、低損失、小面積および高出力を目的とする、差動プッシュプル増幅器を利用する電力増幅回路の構成が、特許文献1（特表2005-503679号公報）に示されている。この特許文献1に示される構成においては、複数の差動プッシュプル増幅器の出力をトランスで合成し、微細CMOSトランジスタを用いて数W級の出力を実現することを図る。具体的に、この特許文献1においては、4つの差動プッシュプル増幅器の出力を、トランスの二次インダクタを直列接続して合成する。この二次インダクタによりインピーダンス変換を行ない、各プッシュプル増幅器のトランジスタのドレインに低出力インピーダンスを与えることにより、ドレイン電圧を低く抑制して、高出力電力を実現することを図る。また、トランスの一次インダクタおよび二次インダクタを、各々、スラブ形状とし、トランスを環状に配置することにより、低損失化および小面積化を図る。

【0007】

また、電力増幅器の効率および動作領域を改善することを目的とする構成が、特許文献2（特開2006-295896号公報）に示されている。この特許文献2に示される構成においては、電力増幅器の整合回路として利用される伝送線変圧器において異なる形状の一次側伝送線（インダクタ）を利用する。すなわち、トランスの二次インダクタの両側に、形状が異なり、寄生成分が異なる一次インダクタを配置し、これらの一次インダクタそれぞれに、差動プッシュプル増幅器を接続する。高出力電力を発生するときには負荷抵抗を小さくし、低出力電力を発生するときには、負荷抵抗を大きくするように、一次インダクタを切替える。この特許文献2は、2つの差動プッシュプル増幅器に異なる出力負荷を持たせることにより、電力増幅回路全体としての効率および動作領域（ダイナミックレ

10

20

30

40

50

ンジ)を改善することを図る。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特表2005-503679号公報

【特許文献2】特開2006-295896号公報

【非特許文献】

【0009】

【非特許文献1】Jongchan Kang, et al., "A single-chip linear CMOS power amplifier for 2.4 GHz WLAN," International Solid-State Circuits Conference 2006, Digest of Technical Papers, pp.761-769, Feb. 2006.

10

【発明の概要】

【発明が解決しようとする課題】

【0010】

移動体通信分野においては、電力増幅器は、高出力かつ低歪みな送信系において用いられる。しかしながら、この移動体通信分野においては、種々の通信規格が存在し、さまざまな無線伝送パラメータ(周波数帯、帯域幅、変調方式、必要な信号対雑音比など)の組が規定され、各仕様に応じて、必要なパラメータを設定することが要求される。特に、広い周波数帯域を使用して変調する通信規格および各国の通信規格に対応する国際標準仕様では、広帯域にわたって高出力を維持することが求められる。しかしながら、一般的に、高出力なCMOSトランジスタは、低出力インピーダンスであり、整合回路を用いて出力整合が取られるため、その周波数特性は、狭帯域な周波数特性となりやすい。上述の特許文献1、特許文献2および非特許文献1に示されるCMOS差動プッシュプル増幅器を用いる場合においても同様、狭帯域な周波数特性が得られる。これらの特許文献1および2ならびに非特許文献1においては、その周波数特性を広帯域とする構成については考慮されていない。

20

【0011】

それゆえ、この発明の目的は、広帯域な周波数特性を有する電力増幅回路を提供することである。

【0012】

この発明の他の目的は、狭帯域な周波数特性を有する電力増幅器を利用して広帯域な周波数特性を有する電力増幅回路を実現することである。

30

【課題を解決するための手段】

【0013】

この発明に係る電力増幅回路は、各々が互いに異なる周波数で整合される複数個の差動プッシュプル増幅器を含み、これらの複数の差動プッシュプル増幅器のすべての出力がトランスの二次インダクタで合成される。

一または複数の実施の形態において、この発明に係る電力増幅回路は、差動信号を受ける第1の端子および第2の端子と、第1の端子に接続される第1の増幅器と、第2の端子に接続される第2の増幅器と、第1の端子に接続される第3の増幅器と、第2の端子に接続される第4の増幅器と、第1の増幅器の出力と第2の増幅器の出力との間に接続される第1のキャパシタと、第3の増幅器の出力と第4の増幅器の出力との間に接続される第2のキャパシタと、第1の増幅器の出力と第2の増幅器の出力との間に接続される第1の一次側インダクタと、第3の増幅器の出力と第4の増幅器の出力との間に接続される第2の一次側インダクタと、第1および第2の一次側インダクタに対向して設けられる二次側インダクタとを備える。

40

【0014】

一実施の形態においては、第1および第2のキャパシタのキャパシタンスならびに第1および第2のインダクタのインダクタンスの少なくとも一方の値が互いに異ならされる。

【発明の効果】

50

【 0 0 1 5 】

増幅器対が差動プッシュプル増幅器を構成し、複数の差動プッシュプル増幅器の出力は、二次インダクタで合成され、これらの差動プッシュプル増幅器の異なる整合周波数で規定される周波数帯域において高出力を維持することができ、広帯域にわたって平坦な周波数特性を有する電力増幅回路を実現することができる。

【 図面の簡単な説明 】

【 0 0 1 6 】

【 図 1 】 この発明の実施の形態 1 に従う電力増幅回路の構成を概略的に示す図である。

【 図 2 】 図 1 に示す電力増幅回路の LC 成分の大小関係を視覚的に図解する図である。

【 図 3 】 この発明の実施の形態 1 に従う電力増幅回路の周波数特性をシミュレーションにより求めた結果を示す図である。

10

【 図 4 】 この発明の実施の形態 2 に従う電力増幅回路の構成を示す図である。

【 図 5 】 この発明の実施の形態 2 の変更例の電力増幅回路の構成を示す図である。

【 図 6 】 この発明の実施の形態 2 に従う電力増幅回路の周波数特性をシミュレーションにより求めた結果を示す図である。

【 図 7 】 この発明の実施の形態 3 に従う電力増幅回路の構成を示す図である。

【 図 8 】 この発明の実施の形態 3 に従う電力増幅回路のトランスの構造の一例を概略的に示す図である。

【 図 9 】 この発明の実施の形態 3 に従う電力増幅回路のトランスの変更例の構造を概略的に示す図である。

20

【 図 1 0 】 この発明の実施の形態 4 に従う電力増幅回路の構成を示す図である。

【 図 1 1 】 この発明の実施の形態 4 に従う電力増幅回路のトランスの変更例の構造を概略的に示す図である。

【 図 1 2 】 この発明の実施の形態 5 に従う電力増幅回路の構成を概略的に示す図である。

【 発明を実施するための形態 】

【 0 0 1 7 】

[実施の形態 1]

図 1 は、この発明の実施の形態 1 に従う電力増幅回路の構成を示す図である。図 1 において、入力端子 1 および 2 に対して、差動入力信号 $I_N(+)$ および $I_N(-)$ が与えられる。これらの入力端子 1 および 2 に対して並列に、差動プッシュプル増幅器 $PA1 - PA_n$ が接続される。これらの差動プッシュプル増幅器 $PA1 - PA_n$ は、それぞれ異なる周波数 f_1, f_2, \dots, f_n で整合される。ここで、周波数 f_1, f_2, \dots, f_n は、 $f_1 < f_2 < \dots < f_n$ の関係を満たす。

30

【 0 0 1 8 】

差動プッシュプル増幅器 $PA1 - PA_n$ の各々は、これらの入力端子 1 および 2 それぞれに対応して設けられる増幅器と、これらの増幅器の出力の整合を取るキャパシタおよび一次インダクタの並列共振回路とを含む。具体的に、差動プッシュプル増幅器 $PA1$ は、入力端子 1 および 2 にそれぞれ設けられる増幅器 $AMP11$ および $AMP12$ と、これらの増幅器 $AMP11$ および $AMP12$ の出力の間に並列に接続されるキャパシタ $C1$ および一次インダクタ $L11$ を含む。差動プッシュプル増幅器 $PA2$ は、入力端子 1 および 2 それぞれに対して設けられる増幅器 $AMP21$ および $AMP22$ と、これらの増幅器 $AMP21$ および $AMP22$ の出力の間に並列に接続されるキャパシタ $C2$ および一次インダクタ $L21$ を含む。差動プッシュプル増幅器 PA_n は、入力端子 1 および 2 それぞれに対して設けられる増幅器 $AMPn1$ および $AMPn2$ と、これらの増幅器 $AMPn1$ および $AMPn2$ の出力の間に並列に接続されるキャパシタ Cn および一次インダクタ $Ln1$ を含む。

40

【 0 0 1 9 】

差動プッシュプル増幅器 PA_i ($i = 1 - n$ のいずれか) においては、キャパシタ C_i と一次インダクタ L_{i1} との並列共振回路により、増幅器 AMP_{i1} および AMP_{i2} の整合周波数が決定される。

50

【 0 0 2 0 】

これらの差動プッシュプル増幅器 $PA1 - PAn$ の一次インダクタ $L11 - Ln1$ それぞれに対向して二次インダクタ $L12, L22 - Ln2$ が設けられる。これらの二次インダクタ $L12 - Ln2$ は、出力端子 3 および 4 の間に直列に接続される。出力端子 3 および 4 から差動出力信号 $OUT(+)$ および $OUT(-)$ が出力される。ここで、差動出力信号の符号 (+、-) は、増幅器 $AMP11, AMP12 - AMPn1, AMPn2$ を非反転増幅器 (正相増幅器) として定義している。また、これらの出力端子 3 および 4 の一方を接地することにより、他方の出力端子から単相信号を出力することができる。

【 0 0 2 1 】

この一次インダクタ $L11 - Ln1$ と対応の二次インダクタ $L12 - Ln2$ とでそれぞれ、インピーダンス整合およびインピーダンス変換を行なうトランスを構成する。一次インダクタ $L11 - Ln1$ と二次インダクタ $L12 - Ln2$ のいわゆる「コイルの極性 (黒丸印で示す)」が同じである。したがって、出力端子 3 および 4 の間に、二次インダクタ $L12 - Ln2$ が、直列に接続され、これらの差動プッシュプル増幅器 $PA1 - PAn$ の一次インダクタ $L11 - Ln1$ と対応の二次インダクタ $L12 - Ln2$ との間の磁気結合によりそれぞれ生成される二次側信号が、二次インダクタ $L12 - Ln2$ により合成され、その合成信号が出力端子 3 および 4 に出力される。

10

【 0 0 2 2 】

これらの n 個の差動プッシュプル増幅器 $PA1 - PAn$ は、それぞれ互いに異なる周波数 $f1 - fn$ で整合されており、その整合周波数は、対応のキャパシタ Ci および一次インダクタ $Li1$ のキャパシタンスおよびインダクタンスにより決定される。一般的に、これらの差動プッシュプル増幅器 $PA1 - PAn$ の異なる差動プッシュプル増幅器 PAi および PAj においては、キャパシタ Ci および Cj のキャパシタンスが互いに異なり、また一次インダクタ $Li1$ および $Lj1$ のインダクタンスが、互いに異なる。

20

【 0 0 2 3 】

差動プッシュプル増幅器 $PA1 - PAn$ に含まれる増幅器 $AMP11, AMP12 - AMPn1, AMPn2$ の特性が同一であれば、整合する周波数が高いほど、整合に必要なインダクタンス L およびキャパシタンス C は小さくなる傾向にある。

【 0 0 2 4 】

図 2 は、これらの差動プッシュプル増幅器 $PA1 - PAn$ に含まれるキャパシタ $C1 - Cn$ およびトランスの一次インダクタ $L11 - Ln1$ のキャパシタンスおよびインダクタンスの大小関係を視覚的に理解できるように、これらの形状を概略的に図解する図である。図 2 においては、キャパシタンスの大小を対向電極の長さで示し、インダクタンスの大小をインダクタの長さで示す。

30

【 0 0 2 5 】

図 2 において、キャパシタ $C1 - Cn$ は、同一材料および同一工程で形成され、そのキャパシタンスは電極の対向面積に比例する。図 2 においては、この電極対向面積を、電極の長さで示す。また、各トランスを構成するインダクタを同一材料で同一工程で形成する場合、インダクタが、コイルおよび金属スラブのいずれで構成されても、トランスの一次インダクタ $L11 - Ln1$ のインダクタンスは、その長さに対して単調増加する。したがって、図 2 に示すように、最も低い周波数 $f1$ で整合する差動プッシュプル増幅器 $PA1$ において、キャパシタ $C1$ の電極の対向面積が最も大きく、また、トランスの一次側インダクタ $L11$ の長さが最も長い。整合する周波数が高くなるにつれて、キャパシタ $C2, \dots, Cn$ の電極対向面積が順次小さくなり、また、トランスの一次側インダクタ $L21 \dots Ln1$ の長さが順次短くなる。

40

【 0 0 2 6 】

したがって、増幅器 $AMP11, AMP12 - AMPn1, AMPn2$ が同一特性を有する場合、このキャパシタの電極対向面積およびトランスの一次側インダクタの長さを調整することにより、互いに異なる周波数で整合する差動プッシュプル増幅器を実現することができる。

50

【0027】

また、図示の構成においては、トランスの一次インダクタ $L_{11} - L_n$ に対向して配置される二次インダクタ $L_{12} - L_{n2}$ も、対応の一次インダクタと同じ長さに設定される。この場合、等価的に一次側インダクタおよび二次側インダクタの巻数比が等しくされ、インピーダンス変換比は1とされる。差動プッシュプル増幅器 $PA_1 - PA_n$ のインピーダンス変換比をすべて等しくし、二次インダクタ $L_{12} - L_{n2}$ において出力負荷に整合した出力信号を合成して出力端子3および4に生成することができる。これにより、入力端子1および2に与えられる差動入力信号 $IN(+)$ および $IN(-)$ の周波数が異なる場合においても、その入力信号の周波数に整合された差動プッシュプル増幅器により、大きな出力信号を生成することができ、これらの差動プッシュプル増幅器 $PA_1 - PA_n$ が整合する周波数 $f_1 - f_n$ でピークを有する出力信号の周波数特性を得ることができ、この周波数特性が広帯域化することができる。

10

【0028】

図3は、この発明の実施の形態1に従う電力増幅回路の出力信号の周波数特性をシミュレーションにより求めた結果を示す図である。この図3においては、差動プッシュプル増幅器が4つ ($n=4$) 設けられている場合の出力周波数特性を示す。図3において、横軸に周波数(単位GHz)を示し、縦軸に出力(単位dBm)を示す。

【0029】

図3に示すように、周波数 $f_1 - f_4$ でそれぞれ整合される差動プッシュプル増幅器 $PA_1 - PA_4$ の出力信号が二次インダクタで合成されるため、これらの周波数 $f_1 - f_4$ それぞれにピークを有する出力信号が合成され、これらの互いに異なる複数のピークが重畳されることにより、周波数特性が広帯域化されている。

20

【0030】

したがって、差動プッシュプル増幅器 $PA_1 - PA_n$ 各々の出力周波数特性が狭帯域の場合であっても、これらの差動プッシュプル増幅器 $PA_1 - PA_n$ の出力信号全てをトランスの2次インダクタで合成することにより、広帯域な周波数特性を有する電力増幅回路を実現することができる。

【0031】

[実施の形態2]

図4は、この発明の実施の形態2に従う電力増幅回路の構成を概略的に示す図である。図4に示す電力増幅回路の構成は、以下の点で、図1に示す実施の形態1に従う電力増幅回路の構成と異なる。すなわち、差動プッシュプル増幅器 $PA_1 - PA_n$ 各々において、入力端子1および2それぞれに対して配置される増幅器が、各々、前段増幅器および後段増幅器の直列体で構成される。具体的に、差動プッシュプル増幅器 PA_1 において、入力端子1に対し、前段増幅器 FP_{11} および後段増幅器 SP_{11} の直列体が設けられ、入力端子2に対し、前段増幅器 FP_{12} および後段増幅器 SP_{12} の直列体が設けられる。差動プッシュプル増幅器 $PA_{(n-1)}$ において、入力端子1に対し、前段増幅器 $FP_{(n-1)1}$ および後段増幅器 $SP_{(n-1)1}$ の直列体が設けられ、また、入力端子2に対し、前段増幅器 $FP_{(n-1)2}$ および後段増幅器 $SP_{(n-1)2}$ の直列体が設けられる。差動プッシュプル増幅器 PA_n において、入力端子1に対し、前段増幅器 FP_{n1} および後段増幅器 SP_{n1} の直列体が設けられ、入力端子2に対し、前段増幅器 FP_{n2} および後段増幅器 SP_{n2} の直列体が設けられる。

30

40

【0032】

これらの前段増幅器 $FP_{11}, FP_{12} - FP_{(n-1)1}, FP_{(n-1)2}, \dots, FP_{n1}$ および FP_{n2} の動作特性はすべて同一であり、また、後段増幅器 $SP_{11}, SP_{12} - SP_{n1}, SP_{n2}$ は、反転増幅器(逆相増幅器)で構成され、これらの後段増幅器の動作特性も互いに同じである。

【0033】

差動プッシュプル増幅器 $PA_1 - PA_{(n-1)}$ において、後段増幅器 $SP_{11} - SP_{(n-1)1}$ の各々の出力と入力との間に帰還抵抗 $R_{11} - R_{(n-1)1}$ が接続され、ま

50

た、後段増幅器 $SP_{12} - SP_{(n-1)2}$ のそれぞれの出力と入力の間には帰還抵抗 $R_{12} - R_{(n-1)2}$ が接続される。差動プッシュプル増幅器 PA_n の後段増幅器 SP_{n1} および SP_{n2} においては、この帰還抵抗は設けられない。

【0034】

差動プッシュプル増幅器 $PA_1 - PA_{(n-1)}$ 各々において、その帰還抵抗 R_{a1} および R_{a2} の抵抗値は等しく、後段増幅器 SP_{a1} および SP_{a2} の負帰還の度合いは等しくされる。ここで、 a は、 $1 - (n-1)$ のいずれかである。

【0035】

後段増幅器 SP_{i1} および SP_{i2} ($i = 1 - n$) の出力の間に、キャパシタ C_i およびトランスの一次インダクタ L_{i1} が接続される。出力整合を取るトランスおよびキャパシタの配置は、図1に示す電力増幅器の構成と同じであり、対応する部分には同一参照符号を付して、その詳細説明は省略する。但し、後段増幅器 SP_{11} , $SP_{12} - SP_{n1}$, SP_{n2} が反転増幅器（逆相増幅器）であるため、前段増幅器 FP_{11} , $FP_{12} - FP_{n1}$, FP_{n2} が非反転増幅器（正相増幅器）であるとき、出力端子4および5へは、実施の形態1の場合と逆相の信号が出力される。すなわち、出力端子4には、出力信号 $OUT(-)$ が出力され、出力端子5には、出力信号 $OUT(+)$ が出力される。この場合においても、実施の形態1と同様、出力端子4および5のいずれかが接地され、他方の非接地出力端子から単相信号が生成されてもよい。

【0036】

一般に、増幅器の利得は、内部に含まれるトランジスタの動作特性などにより、周波数依存性を有しており、上限周波数に向かって周波数に対して単調減少する。したがって、差動プッシュプル増幅器 PA_1 の周波数 f_1 における出力信号は、差動プッシュプル増幅器 PA_2 の周波数 f_2 ($> f_1$) における出力よりも大きくなる傾向がある。同様に、差動プッシュプル増幅器 $PA_{(n-1)}$ の周波数 $f_{(n-1)}$ における出力信号は、差動プッシュプル増幅器 PA_n の周波数 f_n における出力信号よりも大きくなる傾向がある。

【0037】

この場合、単純に、差動プッシュプル増幅器 $PA_1 - PA_n$ の出力信号を合成した場合、その出力周波数特性としては、図3に見られるように、周波数が高くなるにつれて出力電力が減少する周波数特性が得られる。

【0038】

このような周波数特性を平坦化するためには、差動プッシュプル増幅器 PA_n の出力に合わせて差動増幅器 $PA_1 - PA_{(n-1)}$ の出力を抑えればよい。その方法としては、増幅器の入力に直列抵抗を接続して入力信号を減衰させる方法と、抵抗素子を介した負帰還により増幅器の利得を抑制する方法とがある。入力信号の減衰は、単純に増幅器の出力を低下させるだけであるのに対して、負帰還には、利得を抑制する代わりに増幅器の周波数特性を広帯域化する効果がある。従って、負帰還により差動プッシュプル増幅器単体の周波数特性を広帯域化することにより、増幅器全体の周波数特性をさらに平坦化することができる。

【0039】

具体的には、後段増幅器 SP_{11} , $SP_{12} - SP_{(n-1)1}$, $SP_{(n-1)2}$ に対し、それぞれ帰還抵抗 R_{11} , $R_{12} - R_{(n-1)1}$, $R_{(n-1)2}$ を接続し、これらの後段増幅器 SP_{11} , $SP_{12} - SP_{(n-1)1}$, $SP_{(n-1)2}$ に対し抵抗素子を介して入力に負帰還をかけ、出力電力を抑制する。これにより、最も整合周波数の高い差動プッシュプル増幅器 PA_n の出力利得に、これらの差動プッシュプル増幅器 $PA_1 - PA_{(n-1)}$ の出力利得を適合させ（ほぼ一致させ）、出力周波数特性を平坦化させる。

【0040】

通常、傾向としては、差動プッシュプル増幅器 PA_k の負帰還抵抗 R_{k1} および R_{k2} の抵抗値は、周波数 f_j ($> f_k$: $j = k + 1$) で整合されたプッシュプル増幅器 PA_j の帰還抵抗 R_{j1} および R_{j2} より抵抗値が小さくされる傾向にある。この場合、後段

10

20

30

40

50

増幅器 SP_{j1} , SP_{j2} に対する帰還抵抗 R_{j1} , R_{j2} による負帰還の度合いが、後段増幅器 SP_{k1} , SP_{k2} にかける負帰還の度合いよりも小さくされる。すなわち、帰還抵抗の抵抗値が、整合周波数が高くなるにつれて順次大きくされて、負帰還の度合いが順次小さくされる。

【0041】

周波数 f_n で整合する差動プッシュプル増幅器 PA_n においては、帰還抵抗が設けられていないため、利得が最も小さくなる差動プッシュプル増幅器 PA_n の出力に対応するように、これらの差動プッシュプル増幅器 $PA_1 - PA_{(n-1)}$ の出力を、負帰還をかけて小さくする。各差動プッシュプル増幅器 $PA_1 - PA_n$ の出力が、二次インダクタ $L_{12} - L_{n2}$ の直列体により合成されるため、これらの差動プッシュプル増幅器 $PA_1 - PA_n$ で構成される電力増幅回路の周波数特性を平坦化することができる。

10

【0042】

なお、帰還抵抗 R_{11} , $R_{12} - R_{(n-1)1}$, $R_{(n-1)2}$ の抵抗値は同じであってもよい。出力信号の電力が大きいたときには、大きな負帰還がかけられ、出力電力が抑制される度合いが大きくなる。これらの負帰還抵抗の抵抗値は、出力電力の周波数依存性に応じて適宜定められれば良い。

【0043】

[変更例]

図5は、この発明の実施の形態2に従う電力増幅回路の変更例の構成を示す図である。この図5に示す電力増幅回路の構成は、以下の点で、図4に示す電力増幅回路の構成と異なる。すなわち、差動プッシュプル増幅器 $PA_1 - PA_{(n-1)}$ 各々において、反転増幅器（逆相増幅器）に代えて非反転増幅器（正相増幅器）が利用される。すなわち、差動プッシュプル増幅器 PA_1 において、後段増幅器 SA_{11} および SA_{12} が設けられ、差動プッシュプル増幅器 $PA_{(n-1)}$ において、後段増幅器 $SA_{(n-1)1}$, $SA_{(n-1)2}$ が設けられる。差動プッシュプル増幅器 PA_n においても、後段増幅器 SA_{n1} , SA_{n2} が設けられる。図示しない差動プッシュプル増幅器 PA_j においても、後段増幅器 SA_{j1} , SA_{j2} が設けられる ($j = 2 - (n-2)$) である。これらの後段増幅器 SA_{11} , $SA_{12} - SA_{n1}$, SA_{n2} は、すべて同一の動作特性を有し、また、前段増幅器 FP_{11} , $FP_{12} - FP_{n1}$, FP_{n2} も同一の動作特性を有する。

20

【0044】

また、出力に負帰還をかけるために、差動プッシュプル増幅器 $PA_1 - PA_{(n-1)}$ 各々において後段増幅器の入力および出力が抵抗を介して交差接続される。すなわち、差動プッシュプル増幅器 PA_i ($i = 1 - (n-1)$) において、後段増幅器 SA_{i1} の出力と後段増幅器 SA_{i2} の入力との間に抵抗 Z_{i1} が接続され、後段増幅器 SA_{i2} の出力と後段増幅器 SA_{i1} の入力との間に抵抗 Z_{i2} が設けられる。帰還抵抗素子 Z_{11} , $Z_{12} - Z_{(n-1)1}$, $Z_{(n-1)2}$ の抵抗値の関係は、先の図4に示す電力増幅回路における抵抗 R_{11} , $R_{12} - R_{(n-1)1}$, $R_{(n-1)2}$ の抵抗の関係と同じである。

30

【0045】

図5に示す電力増幅回路の他の構成は、図4に示す電力増幅回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。ただし、差動プッシュプル増幅器 $PA_1 - PA_n$ 各々においては、後段増幅器として非反転増幅器（正相増幅器）が利用されているため、出力端子4および5には、それぞれ、出力信号 $OUT(+)$ および $OUT(-)$ が生成され、入力端子1および2に与えられる入力信号 $IN(+)$ および $IN(-)$ と同相の出力信号が得られる。

40

【0046】

図5に示す電力増幅回路の構成において、差動プッシュプル増幅器 $PA_1 - PA_{(n-1)}$ は、それぞれ、内部において、入力端子1および2に与えられる差動信号 $IN(+)$ および $IN(-)$ を増幅して、差動信号を生成して、対応の一次インダクタを駆動している。差動プッシュプル増幅器 PA_i において、後段増幅器 SA_{i1} および SA_{i2} の出力

50

信号は逆相である。したがって、帰還抵抗 Z_{i1} および Z_{i2} をタスキ掛けすることにより、これらの後段増幅器 S_{Ai1} および S_{Ai2} の入力に負帰還をかけて出力信号を抑制することができる。

【0047】

したがって、この図5に示す構成においても、それぞれの入力に出力に応じた負帰還をかけることにより、差動プッシュプル増幅器 $PA1 - PAn$ がそれぞれ異なる周波数 $f_1 - f_n$ で整合が取られている場合においても、その出力電力をほぼ同じとすることができ、広帯域にわたって平坦な周波数特性を得ることができる。

【0048】

図6は、この発明の実施の形態2に従う電力増幅回路の出力の周波数特性をシミュレーションにより求めた結果を示す図である。図6において、横軸に周波数(単位GHz)を示し、縦軸に出力(単位dBm)を示す。シミュレーション条件としては、4つの差動プッシュプル増幅器が利用され、前段増幅器の増幅率を1とし、また、負帰還抵抗が追加された条件以外は、先の図3に示すシミュレーションと同じ条件でシミュレーションしている。従って、後段増幅器として反転増幅器が利用される図4に示す電力増幅回路の周波数特性を示すが、図5に示す電力増幅回路の構成においても、同様の結果が得られる。

10

【0049】

図6に示すように、図3に示す出力周波数特性に比べて、低周波側の3つのピーク(周波数 $f_1 - f_3$ に対応する出力)が抑制され、周波数特性が平坦化されている。さらに、負帰還により周波数 $f_1 - f_3$ に対応する差動プッシュプル増幅器単体($PA1 - PA3$)の周波数特性が広帯域化されており、また、周波数が低いほど負帰還量が多いため、低周波側の周波数特性は、より平坦化されている。

20

【0050】

なお、低周波領域において反転増幅する増幅器であっても、高周波領域においては、増幅器の寄生成分により、入力信号と出力信号の位相差が $\pi/2$ よりも小さくなる場合がある。このような場合には、その様な高周波応答特性の悪い反転増幅器を、非反転増幅器と見なし、それに応じて、対応の帰還抵抗を、図4ではなく、図5に示すように、タスキ掛けに接続する必要がある。

【0051】

以上のように、この発明の実施の形態2に従えば、最も高い周波数で整合が取られた差動プッシュプル増幅器以外の差動プッシュプル増幅器において、内部の増幅器の出力に負帰還をかけるように抵抗素子を接続している。これにより、各差動プッシュプル増幅器の出力利得が均一化され、広帯域にわたって平坦な周波数特性を有する電力増幅回路を得ることができる。

30

【0052】

[実施の形態3]

図7は、この発明の実施の形態3に従う電力増幅回路の構成を概略的に示す図である。この図7に示す電力増幅回路においては、差動プッシュプル増幅器の出力の整合および合成を行なうトランス10において、トランス一次側インダクタ $L_{11} - L_{n1}$ が並行して配置され、これらの一次インダクタ $L_{11} - L_{n1}$ に対し共通に、二次インダクタ L_2 が設けられる。この二次インダクタ L_2 が出力端子4および5の間に接続される。

40

【0053】

これらの一次インダクタ $L_{11} - L_{n1}$ に対応するキャパシタ $C_1 - C_n$ と、対応の増幅器 $AMP_{11} - AMP_{n1}$ および $AMP_{12} - AMP_{n2}$ は、先の図1に示す実施の形態1と同様に配置される。この構成においては、一次インダクタ $L_{11} - L_{n1}$ が、互いに並列に配置されるため、入力端子1に接続される増幅器 $AMP_{11} - AMP_{n1}$ と入力端子2に接続される増幅器 $AMP_{12} - AMP_{n2}$ は、それぞれグループ化されて、トランスの一方側および他方側に分かれて配置される。

【0054】

この図7に示す電力増幅回路の構成においても、差動プッシュプル増幅器は、一対の増

50

幅器 $AMP_i 1$ および $AMP_i 2$ を含み、それぞれ異なる周波数 $f_1 - f_n$ で整合が取られている。

【0055】

この図7に示す構成においても、同一極性で並列に配置される一次インダクタ $L_{11} - L_{n1}$ が、共通に、二次インダクタ L_2 に磁気結合されるため、この二次インダクタ L_2 により差動プッシュプル増幅器 ($PA_1 - PA_n$) の出力が合成され、広帯域な周波数特性を実現することができる。

【0056】

この図7に示す構成においては、二次インダクタ L_2 が複数の差動プッシュプル増幅器 ($PA_1 - PA_n$) の一次インダクタ $L_{11} - L_{n1}$ に共通に設けられている。従って、
10
個々の一次インダクタ $L_{11} - L_{n1}$ に対応して二次インダクタを設けて直列に接続する構成に比べて、トランス10のレイアウト面積を低減することができ、この電力増幅回路を1チップで構成する場合、チップ面積を小さくすることができる。

【0057】

アナログ回路において、インダクタは、そのインダクタンスが長さおよび幅等に依存するため、プロセス微細化による高性能化が不可能である。このことは、インダクタで構成される出力部のトランス10についても同様である。したがって、出力合成用のトランスの二次インダクタを複数の差動プッシュプル増幅器 ($PA_1 - PA_n$) に対して共通化し、トランス10の占有面積を実質的に $1/n$ 倍に設定することによるチップ面積削減効果
20
は大きい。

【0058】

なお、図7に示す電力増幅回路の構成において、実施の形態2に従う構成のように、各差動プッシュプル増幅器において、増幅器 $AMP_i 1$ および $AMP_i 2$ 各々に代えて、前段増幅器および後段増幅器を直列に配置し、負帰還抵抗素子を配置してもよく、この構成の場合、実施の形態2と同様、周波数特性を平坦化することができる。

【0059】

また、図7に示す電力増幅回路においては、一次インダクタは、図の左から整合周波数が f_1 であるインダクタ L_{11} から整合周波数が f_n と最も高い一次インダクタ L_{n1} の順に並べている。しかしながら、この一次インダクタの配列順序は、逆にされてもよい。

【0060】

図8は、この発明の実施の形態3に従う電力増幅回路のトランス10の構成の一例を概略的に示す図である。図8においては、4つの差動プッシュプル増幅器 ($PA_1 - PA_4$) に対するトランス10のインダクタの配置を示す。
30

【0061】

図8において、その一端が分離された閉ループ状の一次インダクタ $30 - 33$ が順次同心円状に配置される。これらのループ状の一次インダクタ (インダクタ・ループ) $30 - 33$ は、金属配線で構成され、これらのループ状一次インダクタ $30 - 33$ は、同一の線幅で構成され、それぞれの第1端および第2端部は、差動信号を生成する対応の増幅器の出力に接続される。

【0062】

これらのループ状一次インダクタ $30 - 33$ は、その長さが、内側から外側に向かって順次長くされており、線幅が同じの場合、インダクタンスが、ループ状一次インダクタ 30 からループ状一次インダクタ 33 に向かって順次大きくされる。したがって、最も内側のループ状一次インダクタ 30 は、整合周波数が最も高い一次インダクタ L_{14} に対応し、ループ状一次インダクタ 33 が、整合周波数が最も低い一次インダクタ L_{11} に対応する。このループ状一次インダクタ 33 の外周に、また、同心円状に、その一端が分離された閉ループ状のインダクタ (インダクタ・ループ) 35 が配置される。このループ状二次インダクタ 35 (L_2) の両端は、一次インダクタ $30 - 33$ の各々の分離端に対向して配置され、それぞれ、出力端子4および5に接続される。
40

【0063】

10

20

30

40

50

図 8 に示す配置の場合、同一基板（チップ）上に金属配線を用いてインダクタが形成されて平面的に配置され、その金属配線の長さに応じてインダクタンスが決定される。

【 0 0 6 4 】

また、ループ状一次インダクタ 3 0 - 3 3 およびループ状二次インダクタ 3 5 の端部を互いに対向してかつ整列して配置することにより、これらのインダクタ 3 0 - 3 3 および 3 5 に対する配線の配置を容易に行なうことができる。

【 0 0 6 5 】

[トランスの変更例]

図 9 は、この発明の実施の形態 3 に従う電力増幅回路のトランスの変更例の構成を概略的に示す図である。この図 9 に示すトランス 1 0 の構成においても、4 つの差動プッシュプル増幅器が利用される場合の構成を一例として示す。

10

【 0 0 6 6 】

図 9 において、その一端が分離されたループ状の配線 4 0 - 4 3 および 4 4 が積層して配置される。配線 4 0 - 4 3 は一次インダクタとして利用され、その分離端部が、それぞれ信号配線 4 6 a , 4 6 b - 4 9 a , 4 9 b を介して対応の増幅器の出力に接続される。一方、配線 4 4 は二次インダクタとして利用され、その分離された端部が、信号配線 4 5 a , 4 5 b を介して出力端子 4 および 5 にそれぞれ接続される。

【 0 0 6 7 】

この図 9 に示す構成の場合、一次インダクタを構成する配線 4 0 - 4 3 および二次インダクタを構成する配線 4 4 が積層されており、トランス 1 0 のレイアウト面積をより低減することができる。

20

【 0 0 6 8 】

図 9 において、配線 4 0 - 4 3 は同一形状であり、整合周波数は各々の配線に並列に接続されるキャパシタンス値により調節される。また、配線 4 0 - 4 3 はそれぞれ異なる形状であってもよい。

【 0 0 6 9 】

なお、図 8 および図 9 に示す構成においては、一次インダクタ間の磁気結合を考慮する必要がある。この一次インダクタ間の磁気結合は、一次側インダクタを構成する配線 4 0 - 4 3 の形状および間隔と二次インダクタを構成する配線 4 4 の位置と、各配線に接続される個別のキャパシタのキャパシタンス値により調整される。ここで、二次インダクタを構成する配線 4 4 においても、キャパシタが接続されてもよい。

30

【 0 0 7 0 】

以上のように、この発明の実施の形態 3 は、複数の差動プッシュプル増幅器の出力のトランスの二次インダクタをこれらの複数の差動プッシュプル増幅器に共通に設けている。したがって、出力整合および合成用のトランスの配置面積を低減することができ、応じて、電力増幅回路のレイアウト面積を低減することができる。

【 0 0 7 1 】

[実施の形態 4]

図 1 0 は、この発明の実施の形態 4 に従う電力増幅回路の構成を概略的に示す図である。図 1 0 に示す電力増幅回路の構成においては、2 つの差動プッシュプル増幅器が用いられる。

40

【 0 0 7 2 】

図 1 0 において、電力増幅回路は、入力端子 1 にゲートが接続される N チャネル MOS トランジスタ（絶縁ゲート型電界効果トランジスタ）TR 1 1 および TR 2 1 と、入力端子 2 にゲートが接続される N チャネル MOS トランジスタ TR 1 2 および TR 2 2 を含む。これらの MOS トランジスタ TR 1 1 および TR 2 1 のソースノードが共通に接地され、また、MOS トランジスタ TR 1 2 および TR 2 2 のソースが共通に接地される。これらの MOS トランジスタ TR 1 1、TR 1 2、TR 2 1、および TR 2 2 は、各々増幅素子として動作し、これまでの実施の形態において説明した増幅器 AMP に対応する。これらの MOS トランジスタ TR 1 1、TR 1 2、TR 2 1 および TR 2 2 のゲートへは、バ

50

イアス抵抗 R_b を介してゲートバイアス電圧 V_g が与えられる。

【 0 0 7 3 】

この電力増幅回路は、さらに、MOSトランジスタ TR_{11} および TR_{12} のドレインノードの間に接続されるキャパシタ C_1 と、MOSトランジスタ TR_{21} および TR_{22} のドレインノードの間に接続されるキャパシタ C_2 と、出力合成および出力整合の機能を少なくとも備えるトランス 50 を含む。

【 0 0 7 4 】

このトランス 50 は、その一端が分離されてループ状に形成される一次インダクタ配線 52 と、一次インダクタ配線 52 の内側に配置され、その一端が分離されるループ状の一次インダクタ配線 54 と、これらの一次インダクタ配線 52 および 54 の間に配置され、その一端がこれらの一次インダクタ 52 および 54 の分離部と対向する部分において分離される二次インダクタ配線 56 を含む。これらのインダクタ配線 52, 54 および 56 は、同心円状に配置される。

10

【 0 0 7 5 】

一次インダクタ配線 52 は、その両端がそれぞれ、MOSトランジスタ TR_{11} および TR_{12} のドレインノードに接続され、一次インダクタ配線 54 は、それぞれの端部が、MOSトランジスタ TR_{21} および TR_{22} のドレインノードに接続される。これらの一次インダクタ配線 52 および 54 は、また、この分離部と対向する部分（ループ状配線の中央点）においてセンタータップ配線 60 により相互接続され、この配線 60 を介してドレインバイアス電圧 V_d が供給される。

20

【 0 0 7 6 】

二次インダクタ配線 56 は、線幅が、一次インダクタ配線 52 および 54 よりも広くされ、また、その両端部が、それぞれ出力端子 4 および 5 に接続される。

【 0 0 7 7 】

一般に、ソース接地MOSトランジスタは反転増幅器であるため、出力端子 4 には出力信号 $OUT(-)$ が出力され、出力端子 5 には出力信号 $OUT(+)$ が出力される。なお、一次インダクタの分離端とループ状二次インダクタのループ端が逆向きに配置されているため、時計回り方向の介したんでコイルの極性を定義すると、出力端子 4 と出力端子 5 の位置関係は図 1 に示す配置と逆になる。

【 0 0 7 8 】

この図 10 に示す電力増幅回路の構成において、MOSトランジスタ TR_{11} 、 TR_{12} 、キャパシタ C_1 、および一次インダクタ配線 52 および二次インダクタ配線 56 により 1 つの差動プッシュプル増幅器が構成され、また、MOSトランジスタ TR_{21} 、 TR_{22} 、キャパシタ C_2 、一次インダクタ配線 54 および二次インダクタ配線 56 により、別の差動プッシュプル増幅器が構成され、これらの 2 つの差動プッシュプル増幅器の整合周波数は互いに異なる。一次インダクタ配線 54 の長さが、一次インダクタ配線 52 よりも短くされるため、キャパシタ C_1 および C_2 のキャパシタンスが等しい場合、一次インダクタ配線 54 およびキャパシタ C_2 で構成される共振回路の共振周波数は、一次インダクタ配線 52 およびキャパシタ C_1 で構成される共振回路よりも、高い。

30

【 0 0 7 9 】

二次インダクタ配線 56 の線幅は、これらの一次インダクタ配線 52 および 54 の線幅の数倍（少なくとも 3 倍）に設定され、一次インダクタ配線 52 および 54 の間の磁気結合を十分に抑制する。この場合、一次インダクタ配線 52 および 54 の間の間隔は、この一次インダクタ配線 52 および 54 の線幅の 3 倍以上とするのが、トランス 50 のレイアウト面積をそれほど増大させることなく、一次インダクタ配線 52 および 54 の磁気結合を十分に抑制する観点から効果的である。

40

【 0 0 8 0 】

例えば、直線状のインダクタ配線（スラブインダクタ）の場合、配線間隔を線幅の 3 倍にすると、結合係数は配線間隔が極めて狭い場合に比べて概ね半減する。

【 0 0 8 1 】

50

この図10に示す電力増幅回路の構成において、配線60により、ドレインバイアス電圧 V_d が供給され、この配線60が、2つの差動プッシュプル増幅器各々の仮想AC接地として機能する。したがって、一次インダクタ配線52および54を配線60により相互接続しても、この配線60は、仮想AC接地として機能するため、これらの一次インダクタ配線52および54に生成される信号に対しては互いに悪影響は及ぼさない。

【0082】

図10に示す電力増幅回路の場合、2つの差動プッシュプル増幅器が利用されており、周波数特性の広帯域化の効果は低減されるものの、チップ面積削減効果を有しつつ、一次インダクタ間の磁気結合を容易に低減することができ、設計を簡略化することができる。

【0083】

また、差動プッシュプル増幅器においては、その回路の配置の非対称性が寄生成分の非対称性を生じ、その増幅器の出力の低下および/または歪み増大をもたらす原因となる場合がある。しかしながら、図10に示す電力増幅回路の構成の場合、トランス50の一次インダクタ配線52および54ならびに二次インダクタ配線56の分離端を通る直線に関して回路を鏡像対称にレイアウトすることができ、このような出力低下および/または歪みの問題を解消することができる。

【0084】

また、トランス50も鏡像対称であり、一次インダクタ配線52および54の midpoint は、前述のように仮想AC接地となり、これらの一次インダクタ配線52および54の midpoint をセンタータップ配線60で接続し、その一端からドレインバイアス電圧 V_d を供給することができる。また、このセンタータップ配線60は、仮想AC接地として作用するため、一次インダクタ配線52および54と電源(V_d)を分離するためのAC遮断用コイルを接続する必要もなく、トランスの構成を簡略化することができ、また、レイアウト面積を低減することができる。

【0085】

[変更例]

図11は、この発明の実施の形態4に従う電力増幅回路のトランスの変更例の構成を概略的に示す図である。この図11に示す構成においては、電力増幅回路において、3つの差動プッシュプル増幅器が設けられる。トランス70は、一端が分離されたループ状の一次インダクタ配線72、74、および76が、同心円状に、それぞれの分離端が整列して配置される。一次インダクタ配線72および74の間に一端が分離されたループ状の二次インダクタ配線80が配置され、一次インダクタ配線74および76の間に、その一端が二次インダクタ配線80の分離部と整列して配置される二次インダクタ配線82が配置される。

【0086】

一次インダクタ配線72は、その両端が、それぞれ信号配線77aおよび77bを介して対応の増幅器の出力に接続される。一次インダクタ配線74は、その端部が、それぞれ、信号配線78aおよび78bを介して対応の増幅器の出力に接続される。一次インダクタ配線76は、その対向端部が、それぞれ、信号配線79aおよび79bを介して対応の増幅器の出力に接続される。

【0087】

二次インダクタ配線80および82は、一次インダクタ配線72、74および76の分離端部と対向して配置される短絡部85aおよび85bにおいて、信号配線84aおよび84bにより短絡される。これらの信号配線84aおよび84bは、出力端子4および5にそれぞれ接続される。

【0088】

図11に示すように、一次インダクタ配線の間二次インダクタ配線を配置することにより、一次インダクタ間の磁気結合を小さくすることができる。また、短絡部85aおよび85bにおける信号配線84aおよび84bによる二次インダクタ配線80および82の短絡により、これらの二次インダクタ配線80および82に生成した信号が合成され、

10

20

30

40

50

出力端子 4 および 5 へ伝達される。

【 0 0 8 9 】

この図 1 1 に示す配置において、一次インダクタ配線および二次インダクタ配線を交互に配置することにより、 n 個 ($n \geq 3$) の差動プッシュプル増幅器を配置する構成を実現することができる。

【 0 0 9 0 】

図 1 1 に示すトランス 7 0 の配置において、二次インダクタ配線 8 0 , 8 2 の線幅を、一次インダクタ配線 7 2、7 4 および 7 6 の線幅の数倍 (好ましくは 3 倍以上) とすることにより、図 1 0 に示す 2 個の差動プッシュプル増幅器が設けられる場合と同様、一次インダクタ間の磁気結合をさらに低減することができる。しかしながら、この場合、トランスの占有面積が増大する。

10

【 0 0 9 1 】

なお、図 1 1 に示すトランス 7 0 の構成においても、その短絡部 8 5 a および 8 5 b 近傍においてこれらの一次インダクタ配線 7 2、7 4 および 7 6 の中点においてドレインバイアス電圧が供給されてもよい。

【 0 0 9 2 】

また、図 1 1 に示す配置において、2 個の差動プッシュプル増幅器が利用される場合、一次インダクタ配線 7 4 を削除し、一次インダクタ配線 7 2 および 7 6 を用いてトランス 7 0 を構成してもよい。この場合においても、二次インダクタ配線 8 0 および 8 2 により、一次インダクタ配線 7 2 および 7 6 の間の距離は十分に広く取ることができ、これらの一次インダクタ配線 7 2 および 7 6 の磁気結合は十分に抑制することができる。

20

【 0 0 9 3 】

以上のように、この発明の実施の形態 4 に従えば、ループ状一次インダクタ配線の間にもループ状二次インダクタ配線を配置しており、一次インダクタ配線間の磁気結合を低減することができる。一次インダクタ配線間の磁気結合を考慮する必要が低減され、設計が簡略化される。

【 0 0 9 4 】

[実施の形態 5]

図 1 2 は、この発明の実施の形態 5 に従う電力増幅回路の構成を概略的に示す図である。この図 1 2 に示す電力増幅回路は、図 1 0 に示す電力増幅回路と、トランス 9 0 の構成が異なるが、増幅器の構成は同じであり、この増幅器の対応する構成要素については同一参照番号を付し、その詳細説明は省略する。

30

【 0 0 9 5 】

図 1 2 において、トランス 9 0 は、一端が分離されたループ状に形成される一次インダクタ配線 9 2 および 9 4 と、これらの一次インダクタ配線 9 2 および 9 4 の間に配置される二次インダクタ配線 9 6 および 9 8 を含む。この二次インダクタ配線 9 6 および 9 8 は、一次インダクタ配線 9 2 および 9 4 の分離部に対応して配置される接続部 1 0 0 において直列に接続される。一次インダクタ配線 9 2 および 9 4 は、この二次インダクタ配線 9 6 の分離端において、センタータップ配線 1 0 2 により相互接続され、ドレインバイアス電圧 V_d を受ける。

40

【 0 0 9 6 】

この図 1 2 に示すトランス 9 0 の構成において、一次インダクタ配線 9 2 および 9 4 と二次インダクタ配線 9 6 および 9 8 は、同一線幅である。また、一次インダクタ配線 9 2 および 9 4 の間隔は、その線幅の少なくとも 3 倍であり、その磁気結合は小さくされる。二次インダクタ配線 9 6 および 9 8 が直列に接続されるため、個々の差動増幅器の負荷抵抗が分割され、チップ面積削減効果とともに、増幅器のトランジスタ TR_{11} , TR_{12} , TR_{21} および TR_{22} のドレイン電圧を低減することができる (一次トランス配線の印加電圧の 2 倍の電圧を出力端子 4 および 5 の間に生成することができるため)。

【 0 0 9 7 】

また、二次インダクタ配線 9 6 および 9 8 の間隔が狭くされる場合においても、一次イ

50

ンダクタおよび二次インダクタの巻数比 1 : 2 のトランス 90 によるインピーダンス変換により、出力電圧として、入力電圧の 4 倍の出力電圧を得ることができ、結果的に、増幅器の MOS トランジスタ TR_{11} , TR_{12} , TR_{21} および TR_{22} のドレイン電圧は、低減することができる。

【0098】

また、二次インダクタ配線 96 および 98 の接続部 100 における交差構造は、二次インダクタ配線 98 とセンタータップ配線 102 の交差部における構造と同様の構成が利用されればよい。すなわち、例えば、交差部 100 において、二次インダクタ配線 98 および 96 が絶縁膜を介して積層される構成が利用されればよい。

【0099】

以上のように、この発明の実施の形態 5 に従えば、一次インダクタ配線の間二次インダクタ配線を配置しており、一次インダクタ間の磁気結合を低減することができ、小占有面積の信号干渉の小さなトランスを得ることができる。

【0100】

また、この二次インダクタ配線を複数配置して直列に接続することにより、一次インダクタと二次インダクタの巻数比により、増幅器のトランジスタのドレイン電圧を低減することができる。

【産業上の利用可能性】

【0101】

この発明は、移動体通信分野などの広帯域にわたって平坦な周波数特性が求められる電力増幅回路に適用することにより、簡易な回路構成で広帯域な周波数特性を有する電力増幅回路を実現することができる。また、差動プッシュプル増幅器は、共通の基板上に集積化されてもよく、トランスが共通の基板上に形成され、差動プッシュプル増幅器のトランス以外の構成要素は別の基板上に形成されても良い。

【符号の説明】

【0102】

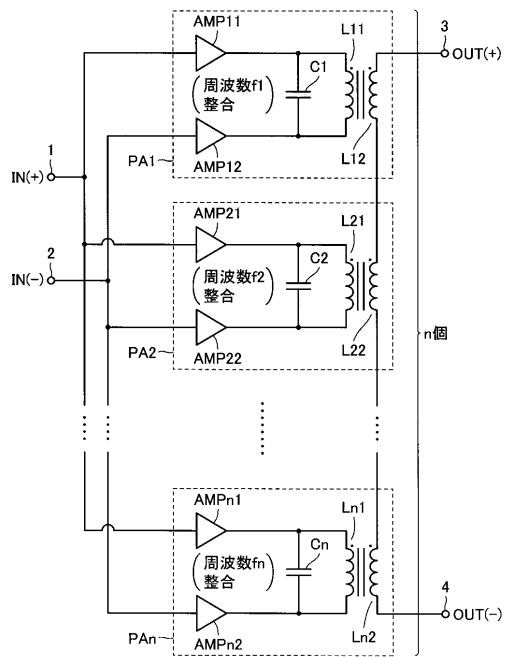
$PA_1 - PA_n$ 差動プッシュプル増幅器、 $C_1 - C_n$ キャパシタ、 $L_{11} - L_{n1}$ 一次インダクタ、 $L_{12} - L_{n2}$ 二次インダクタ、 R_{11} , $R_{12} - R_{(n-1)1}$, $R_{(n-1)2}$ 抵抗、 $FP_{11} - FP_{12} - FP_{n1}$, FP_{n2} 前段増幅器、 SP_{11} , SP_{n1} , SP_{n2} , SA_{11} , $SA_{12} - SA_{n1}$, SA_{n2} 後段増幅器、10 , 50 , 70 , 90 トランス、30 - 33 , 40 - 43 , 52 , 54 , 72 , 74 , 76 , 92 , 94 一次インダクタ配線、35 , 44 , 56 , 80 , 82 , 96 , 98 二次インダクタ配線。

10

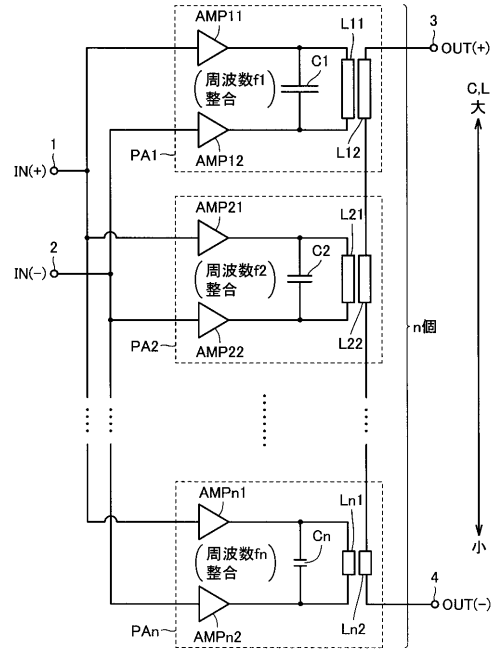
20

30

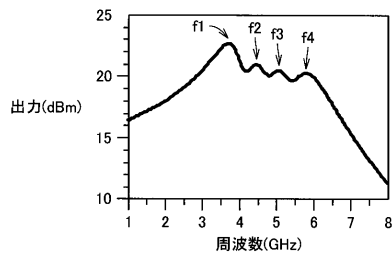
【 図 1 】



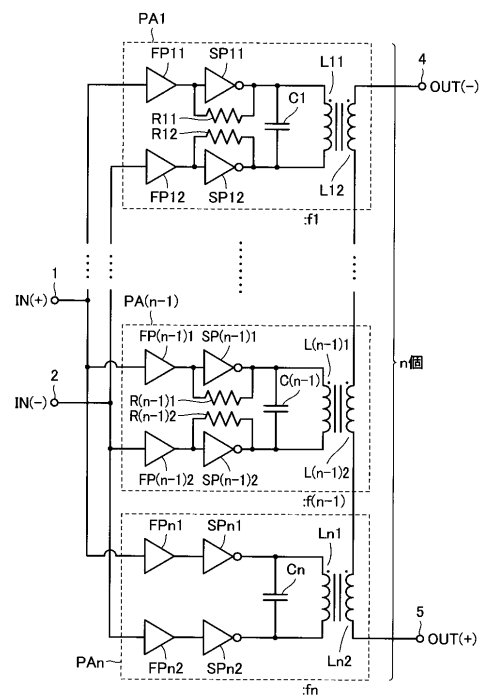
【 図 2 】



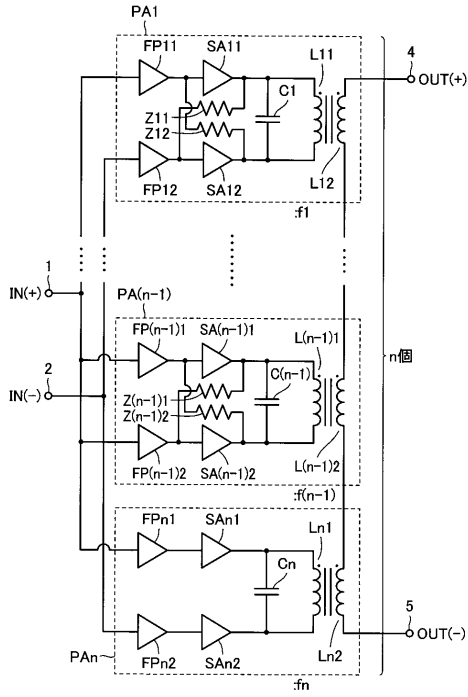
【 図 3 】



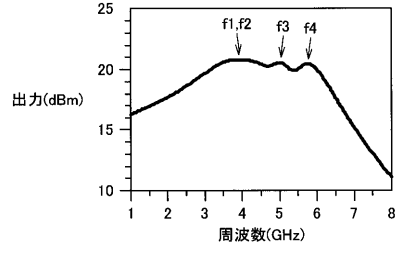
【 図 4 】



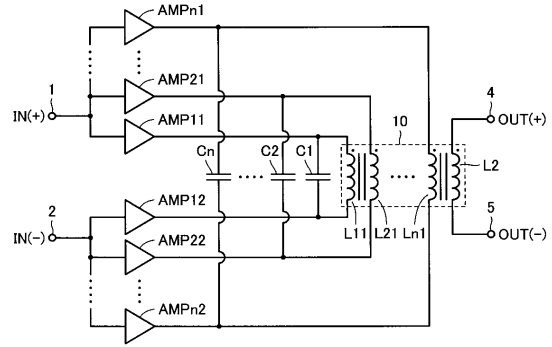
【図5】



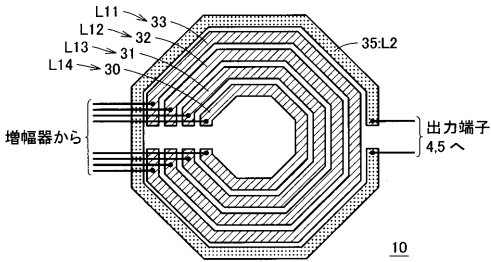
【図6】



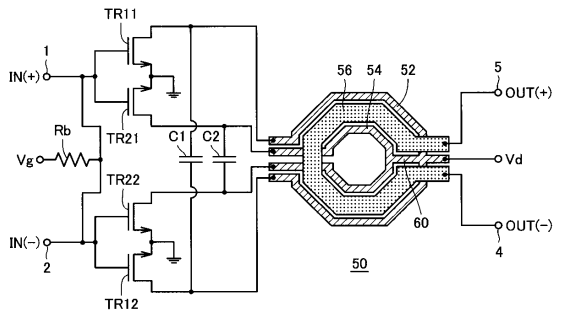
【図7】



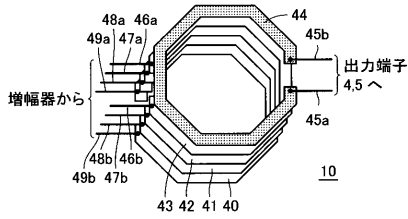
【図8】



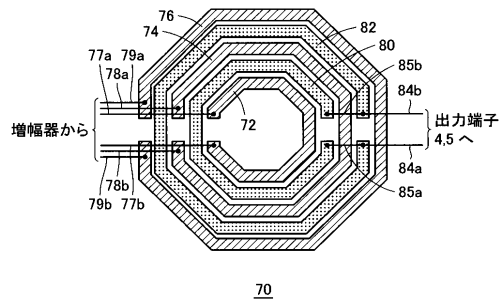
【図10】



【図9】



【図11】



フロントページの続き

(51)Int.Cl. F I
H 0 1 P 5/12 (2006.01) H 0 1 P 5/12 Z

- (72)発明者 飯田 哲也
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
- (72)発明者 近藤 将夫
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
- (72)発明者 星野 裕
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 徳 田 賢二

- (56)参考文献 米国特許出願公開第2008/0164941(US,A1)
実開平05-088018(JP,U)
特開平07-022871(JP,A)
特開平05-315857(JP,A)
米国特許第02451893(US,A)
特表2002-515196(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H 0 3 F 1 / 4 4
H 0 1 P 5 / 1 2
H 0 3 F 3 / 2 4
H 0 3 F 3 / 3 0
H 0 3 F 3 / 6 0
H 0 3 F 3 / 6 8