

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6037878号
(P6037878)

(45) 発行日 平成28年12月7日(2016.12.7)

(24) 登録日 平成28年11月11日(2016.11.11)

(51) Int.Cl.		F I			
HO4N	5/357	(2011.01)	HO4N	5/335	570
HO4N	5/378	(2011.01)	HO4N	5/335	780
HO4N	5/374	(2011.01)	HO4N	5/335	740

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2013-25474 (P2013-25474)	(73) 特許権者	000000376
(22) 出願日	平成25年2月13日(2013.2.13)		オリンパス株式会社
(65) 公開番号	特開2014-155157 (P2014-155157A)		東京都八王子市石川町2951番地
(43) 公開日	平成26年8月25日(2014.8.25)	(74) 代理人	100106909
審査請求日	平成27年8月28日(2015.8.28)		弁理士 棚井 澄雄
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100086379
			弁理士 高柴 忠夫
		(74) 代理人	100129403
			弁理士 増井 裕士
		(74) 代理人	100139686
			弁理士 鈴木 史朗

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項1】

第1の基板と第2の基板とが段積みされた撮像装置であって、
前記第1の基板に構成され、入射される物理量に応じた信号を出力する複数の画素が行列状に配置された画素部と、

前記画素の1列または複数列毎に前記第1の基板に配置され、少なくとも一部の画素が出力する前記信号のAD変換を行う第1のAD変換回路と、

前記第1の基板と前記第2の基板とを電気的に接続する接続部と、

前記画素の1列または複数列毎に前記第2の基板に配置され、少なくとも一部の画素が出力し前記接続部を介して入力される前記信号のAD変換を行う第2のAD変換回路と、

前記第1の基板または前記第2の基板に構成され、前記第1のAD変換回路と前記第2のAD変換回路とに制御信号を供給する制御部と、

を備え、

前記第1の基板の領域のうち前記第1のAD変換回路が配置されている領域と、前記第2の基板の領域のうち前記第2のAD変換回路が配置されている領域とは、少なくとも一部が重なっている

ことを特徴とする撮像装置。

【請求項2】

前記制御部は、多相クロック信号を出力するクロック生成部を備え、

10

20

前記第1のAD変換回路と前記第2のAD変換回路とは、前記クロック生成部が出力する前記多相クロック信号を用いてAD変換を行うことを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記第1のAD変換回路は、奇数列もしくは奇数番目、または偶数列もしくは偶数番目の前記画素が出力する前記信号のAD変換を行い、

前記第2のAD変換回路は、前記第1のAD変換回路がAD変換を行う前記画素とは異なる列の前記画素が出力する前記信号のAD変換を行う

ことを特徴とする請求項1または請求項2に記載の撮像装置。

【請求項4】

前記第1のAD変換回路は、奇数行または偶数行の前記画素が出力する前記信号のAD変換を行い、

前記第2のAD変換回路は、前記第1のAD変換回路がAD変換を行う前記画素とは異なる行の前記画素が出力する前記信号のAD変換を行う

ことを特徴とする請求項1または請求項2に記載の撮像装置。

【請求項5】

前記第1の基板と、前記第2の基板と、第3の基板とが段積みされた撮像装置であって、

前記接続部は、前記第1の基板と、前記第2の基板と、前記第3の基板とを電気的に接続し、

前記画素の1列または複数列毎に前記第3の基板に配置され、少なくとも一部の画素が出力し前記接続部を介して入力される前記信号のAD変換を行う第3のAD変換回路を備え、

前記第1の基板の領域のうち前記第1のAD変換回路が配置されている領域と、前記第2の基板の領域のうち前記第2のAD変換回路が配置されている領域と、前記第3の基板の領域のうち前記第3のAD変換回路が配置されている領域とは、少なくとも一部が重なっている

ことを特徴とする請求項1に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置に関する。

【背景技術】

【0002】

近年、デジタルスチルカメラ、カムコーダ、内視鏡に代表される撮像装置には、CCD (Charge Coupled Device) イメージセンサ (以下、CCDと称する) や、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ (以下、CMOSと称する) に代表される固体撮像装置が搭載されている。これらの固体撮像装置は国内外で普及しており、さらなる小型化、低消費電力化への要求が高まっている。

【0003】

このような固体撮像装置、特にCMOS型の固体撮像装置の中には、カラム部にAD変換機能を内蔵した、所謂カラムAD型固体撮像装置が開発・商品化されている。内蔵されるAD変換機能の一つであるシングルスロープAD変換方式は、アナログの画素信号と、デジタル信号に変換するための単調に変化する参照信号 (ランプ波) とを比較するとともに、この比較処理と並行してカウント処理を行い、比較処理が完了した時点のカウント値に基づいて画素信号のデジタル信号を取得するものである。

【0004】

また、上下読み出し型のCMOSイメージセンサが知られている (例えば、特許文献1および特許文献2参照)。図5は、特許文献1に示されている上下読み出し型のCMOS

10

20

30

40

50

イメージセンサの構成を示したブロック図である。この例では、CMOSイメージセンサは、画素アレイ部102の上側にカラム処理部107a(AD変換回路)を設け、画素アレイ部102の下側にカラム処理部107b(AD変換回路)を設け、画素1列おきに上下のAD変換回路で画素信号を受けている。

【0005】

図6は、特許文献2に示されている上下読み出し型のCMOSイメージセンサの構成を示したブロック図である。この例では、CMOSイメージセンサは、画素アレイ部300の上下両側にカラム処理部50A, 50B(AD変換回路)を配し、例えば、画素アレイ部300の奇数行の画素信号を下側のカラム処理部50A(AD変換回路)に読み出して処理し、偶数行の画素信号を上側のカラム処理部50B(AD変換回路)に読み出して処理している。

10

【0006】

また、AD変換回路としては、複数の同一構成の遅延ユニットを有し、比較処理の開始に係るタイミングで遷移動作を開始するリング発振器などを用いて下位位相シフトクロックを生成し、リング発振器からのパルスのカウントするカウント部と、比較処理の終了に係る第1のタイミングで、複数の遅延ユニットの論理状態である下位論理状態をラッチする下位ラッチ部と、比較処理の終了に係る第1のタイミングで、カウント部の論理状態である上位論理状態をラッチする上位ラッチ部と、下位ラッチ部および前記上位ラッチ部のデータに基づいてアナログ信号に応じたデジタル信号を算出してAD変換するものが知られている(例えば、特許文献3参照)。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2009-212621号公報

【特許文献2】特開2008-252605号公報

【特許文献3】特開2008-92091号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献1に記載されているように、画素アレイ部102の上側にカラム処理部107a(AD変換回路)を設け、画素アレイ部102の下側にカラム処理部107b(AD変換回路)を設けた場合、上下のカラムAD変換回路を近傍に配置できないため、ランプ信号や制御信号を入力する配線を長く引き回す必要がある。このため、配線に起因するノイズ増加や精度低下が発生するという問題がある。

30

【0009】

また、特許文献2に記載されているように、画素アレイ部300の上下両側にカラム処理部50A, 50B(AD変換回路)を配し、ランプ信号や制御信号を生成する回路を上下のAD変換回路の近傍にそれぞれ配置する場合、ランプ信号や制御信号を生成する回路を2つずつ配置するための面積が必要となり、さらに消費電流が増加してしまうという問題がある。

40

【0010】

また、特許文献3に記載されているようなAD変換回路を搭載する場合、AD変換の高速化や多ビット化を行うことが可能となるが、下位位相シフトクロックのような高速なクロックを複数供給する必要があり、上記の課題がより顕著になる。

【0011】

本発明は、上述した課題に鑑みてなされたものであり、回路規模および消費電流の増加を抑えつつ、配線に起因するノイズ増加やAD変換の精度低下を防止することができる撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

50

本発明は、第1の基板と第2の基板とが段積みされた撮像装置であって、前記第1の基板に構成され、入射される物理量に応じた信号を出力する複数の画素が行列状に配置された画素部と、前記画素の1列または複数列毎に前記第1の基板に配置され、少なくとも一部の画素が出力する前記信号のA/D変換を行う第1のA/D変換回路と、前記第1の基板と前記第2の基板とを電氣的に接続する接続部と、前記画素の1列または複数列毎に前記第2の基板に配置され、少なくとも一部の画素が出力し前記接続部を介して入力される前記信号のA/D変換を行う第2のA/D変換回路と、前記第1の基板または前記第2の基板に構成され、前記第1のA/D変換回路と前記第2のA/D変換回路とに制御信号を供給する制御部と、を備え、前記第1の基板の領域のうち前記第1のA/D変換回路が配置されている領域と、前記第2の基板の領域のうち前記第2のA/D変換回路が配置されている領域とは、少なくとも一部が重なっていることを特徴とする撮像装置である。

10

【0013】

また、本発明の撮像装置において、前記制御部は、多相クロック信号を出力するクロック生成部を備え、前記第1のA/D変換回路と前記第2のA/D変換回路とは、前記クロック生成部が出力する前記多相クロック信号を用いてA/D変換を行うことを特徴とする。

【0014】

また、本発明の撮像装置において、前記第1のA/D変換回路は、奇数列もしくは奇数番目、または偶数列もしくは偶数番目の前記画素が出力する前記信号のA/D変換を行い、前記第2のA/D変換回路は、前記第1のA/D変換回路がA/D変換を行う前記画素とは異なる列の前記画素が出力する前記信号のA/D変換を行うことを特徴とする。

20

【0015】

また、本発明の撮像装置において、前記第1のA/D変換回路は、奇数行または偶数行の前記画素が出力する前記信号のA/D変換を行い、前記第2のA/D変換回路は、前記第1のA/D変換回路がA/D変換を行う前記画素とは異なる行の前記画素が出力する前記信号のA/D変換を行うことを特徴とする。

【0016】

また、本発明は、前記第1の基板と、前記第2の基板と、第3の基板とが段積みされた撮像装置であって、前記接続部は、前記第1の基板と、前記第2の基板と、前記第3の基板とを電氣的に接続し、前記画素の1列または複数列毎に前記第3の基板に配置され、少なくとも一部の画素が出力し前記接続部を介して入力される前記信号のA/D変換を行う第3のA/D変換回路を備え、前記第1の基板の領域のうち前記第1のA/D変換回路が配置されている領域と、前記第2の基板の領域のうち前記第2のA/D変換回路が配置されている領域と、前記第3の基板の領域のうち前記第3のA/D変換回路が配置されている領域とは、少なくとも一部が重なっていることを特徴とする撮像装置である。

30

【発明の効果】**【0017】**

本発明によれば、第1の基板と第2の基板とが段積みされている。また、画素部は、第1の基板に構成され、入射される物理量に応じた信号を出力する複数の画素が行列状に配置されている。また、第1のA/D変換回路は、画素の1列または複数列毎に第1の基板に配置され、少なくとも一部の画素が出力する信号のA/D変換を行う。また、接続部は、第1の基板と第2の基板とを電氣的に接続する。また、第2のA/D変換回路は、画素の1列または複数列毎に第2の基板に配置され、少なくとも一部の画素が出力し接続部を介して入力される信号のA/D変換を行う。また、制御部は、第1の基板または第2の基板に構成され、第1のA/D変換回路と第2のA/D変換回路とに制御信号を供給する。また、第1の基板の領域のうち第1のA/D変換回路が配置されている領域と、第2の基板の領域のうち第2のA/D変換回路が配置されている領域とは、少なくとも一部が重なっている。

40

【0018】

これにより、第1のA/D変換回路と第2のA/D変換回路とを近傍に配置することができるため、制御部を複数備えることなく、制御部と第1のA/D変換回路との間の配線、および制御部と第2のA/D変換回路との間の配線を短くできる。従って、回路規模および消費

50

電流の増加を抑えつつ、配線に起因するノイズ増加やA/D変換の精度低下を防止することができる。

【図面の簡単な説明】

【0019】

【図1】本発明の第1の実施の形態における撮像装置の概略構成を示したブロック図である。

【図2】本発明の第1の実施の形態における撮像装置の一部分の断面図である。

【図3】本発明の第2の実施の形態における撮像装置の概略構成を示したブロック図である。

【図4】本発明の第3の実施の形態における撮像装置の概略構成を示したブロック図である。

10

【図5】従来知られている上下読み出し型のCMOSイメージセンサの構成を示したブロック図である。

【図6】従来知られている上下読み出し型のCMOSイメージセンサの構成を示したブロック図である。

【発明を実施するための形態】

【0020】

(第1の実施の形態)

以下、本発明の第1の実施形態について図を参照しながら説明する。図1は、本実施形態における撮像装置の概略構成を示したブロック図である。図示する例では、撮像装置10は、第1基板11(第1の基板)と第2基板12(第2の基板)とを備えており、第1基板11と第2基板12とは段積みされている。すなわち、第1基板11と第2基板12とは重なっている。撮像装置10は、4行10列の計40個の画素2が行列状に配置された画素部1と、第1のA/D変換回路41と、第2のA/D変換回路42と、メモリ5と、垂直駆動部6と、水平駆動部7と、制御部8と、接続部901~927とを備えている。

20

【0021】

第1のA/D変換回路41は、画素2の列毎に、比較器301~310と、ラッチ501~510と、カウンタ401~410とを備えている。第2のA/D変換回路42は、画素2の列毎に、比較器311~320と、ラッチ511~520と、カウンタ411~420とを備えている。制御部8は、制御回路81と、位相シフトクロック生成部82(クロック生成部)と、ランプ波生成部83とを備えている。

30

【0022】

第1基板11には、画素部1と、第1のA/D変換回路41と、垂直駆動部6とが構成されている。第2基板12には、第2のA/D変換回路42と、メモリ5と、水平駆動部7と、制御部8とが構成されている。なお、第1基板11の領域のうち第1のA/D変換回路41が配置されている領域と、第2基板12の領域のうち第2のA/D変換回路42が配置されている領域とは、少なくとも一部が重なっている。

【0023】

接続部901~927は、第1基板11と第2基板12とを電氣的に接続する。例えば、接続部901は、第1基板11に構成されている1列目の画素2の出力と、第2基板12に構成されている第2のA/D変換回路42に含まれる比較器301の入力とを電氣的に接続する。なお、接続部902~927の接続関係については図示する通りである。

40

【0024】

なお、第1のA/D変換回路41が備える比較器301~310には、対応する列かつ奇数行の画素2の出力値が入力されるように構成されている。例えば、第1のA/D変換回路41が備える比較器301には、1列目かつ奇数行の画素2の出力値が入力されるように構成されている。また、第2のA/D変換回路42が備える比較器311~320には、対応する列かつ偶数行の画素2の出力値が入力されるように構成されている。例えば、第2のA/D変換回路42が備える比較器311には、1列目かつ偶数行の画素2の出力値が入力されるように構成されている。すなわち、第1のA/D変換回路41は奇数行の画素2の

50

出力値をA D変換（アナログデジタル変換）し、第2のA D変換回路42は偶数行の画素2の出力値をA D変換する。

【0025】

画素2は、入射光量（物理量）に応じた画素信号を出力する。第1のA D変換回路41は、比較器301～310と、ラッチ501～510と、カウンタ401～410とを動作させ、画素2から入力される画素信号をデジタル画素信号に変換する。第2のA D変換回路42は、比較器311～320と、ラッチ511～520と、カウンタ411～420とを動作させ、画素2から入力される画素信号をデジタル画素信号に変換する。垂直駆動部6は、垂直信号SLを変化させることで、行列状に配置されている画素2のうち、信号を出力させる画素2を行毎に選択する。メモリ5は、第1のA D変換回路41と、第2のA D変換回路42とが変換したデジタル画素信号を一時記憶する。水平駆動部7は、水平信号Hを変化させることで、メモリ5が一時記憶しているデジタル画素信号を外部に順次出力させる。

10

【0026】

制御部8は、撮像装置10が備える各部の制御を行う。具体的には、制御回路81は、制御信号を出力し、撮像装置10が備える各部の制御を行う。位相シフトクロック生成部82は制御回路81からの制御信号に応じて多相クロック信号を生成して出力する。例えば、位相シフトクロック生成部82は、制御回路81からの制御信号に応じて位相が $\pi/8$ ずつシフトした位相シフトパルスCK0と、位相シフトパルスCK1と、位相シフトパルスCK2と、位相シフトパルスCK3とを生成して出力する。ランプ波生成部83は、時間の経過とともに増加または減少するランプ信号（参照信号、ランプ波）を生成して出力する。

20

【0027】

なお、図示する例では、画素部1は、4行10列の計40個の画素2を備えているが、これに限らず、どのような配列でもよい。また、第1のA D変換回路41と第2のA D変換回路42とは、画素2の1列に対して、1つの比較器301～320と、1つのラッチ501～520と、1つのカウンタ401～420とを備えているが、これに限らない。例えば画素2の2列に対して1つや3列に対して1つなど、画素2の複数列に対して、1つの比較器301～320と、1つのラッチ501～520と、1つのカウンタ401～420とを備えるようにしてもよい。

30

【0028】

次に、接続部901～927の構成について説明する。図2は、本実施形態における撮像装置10の一部分の断面図である。図示する例では、第1基板11と、第2基板12と、接続部901、902とが示されている。第1基板11は、半導体基板1110と、第1基板の配線層1120とを含んでいる。第1基板の配線層1120は、ビアまたはコンタクト1121と、配線1122とを含んでいる。ビアまたはコンタクト1121と配線1122とは、半導体基板1110側の面と、第1基板の配線層1120側の面とを電気的に接続する。

【0029】

第2基板12は、半導体基板1210と、第2基板の配線層1220とを含んでいる。第2基板の配線層1220は、ビアまたはコンタクト1221と、配線1222とを含んでいる。ビアまたはコンタクト1221と配線1222とは、半導体基板1210側の面と、第2基板の配線層1220側の面とを電気的に接続する。

40

【0030】

接続部901、902は、例えばバンプであり、第1基板の配線層1120側の面に出ているビアまたはコンタクト1121と、第2基板の配線層1220側の面に出ているビアまたはコンタクト1221とを電気的に接続する。この構成により、第1基板11の半導体基板1110と、第2基板12の半導体基板1210とを電気的に接続することができる。なお、接続部903～927の構成も、接続部901、902の構成と同様である。また、接続部901～927の構成は、図2に示したものに限らず、第1基板11と第

50

2基板12とを電氣的に接続することができる構成であればどのような構成でもよい。

【0031】

次に、第1のAD変換回路41および第2のAD変換回路42の動作の詳細について説明する。第1のAD変換回路41が備える比較器301~310には、同一の列かつ奇数行に配置された画素2が出力する画素信号と、ランプ波生成部83が出力する、カウンタ401~410の論理状態と略同期して電圧が変化(増加あるいは減少)するランプ信号とが入力される。第2のAD変換回路42が備える比較器311~320には、同一の列かつ偶数行に配置された画素2が出力する画素信号と、ランプ波生成部83が出力する、カウンタ411~420の論理状態と略同期して電圧が変化(増加あるいは減少)するランプ信号とが入力される。

10

【0032】

比較器301~320は、画素信号が入力された場合、入力された画素信号とランプ信号との比較を開始する。これと同時に、カウンタ401~420は、計数を開始する。また、カウンタ401~420が計数を開始するのと同時に、位相シフトクロック生成部82は、下位論理状態を決めるために用いられる位相シフトパルスCK0, CK1, CK2, CK3を、ラッチ501~520に対して入力する。

【0033】

続いて、ラッチ501~520は、例えば位相シフトクロック生成部82が出力する位相シフトパルスCK0に応じて、同一の列に配置されているカウンタ401~420に対してパルスCK0'を出力する。

20

【0034】

続いて、比較器301~320は、入力された画素信号とランプ信号との大小関係が入れ替わる(所定の関係になる)と、ラッチ501~520に対して出力している値を反転する。ラッチ501~520は、比較器301~320から入力される値が反転した場合、入力論理状態を保持する。カウンタ401~420は、ラッチ501~520が入力論理状態を保持した場合、計数値を保持する。

【0035】

このとき、比較器301~320に入力されるランプ信号と、ラッチ501~520が入力論理状態を保持するタイミングと、カウンタ401~420が計数値を保持するタイミングとは略同期している。従って、A/D変換の対象となる画素信号は、ラッチ501~520およびカウンタ401~420に保持された値にA/D変換されることになる。

30

【0036】

なお、上述した例では、位相シフトクロック生成部82は、位相シフトパルスCK0, CK1, CK2, CK3の4種類の位相が異なる位相シフトパルスを出力しているが、これに限らない。例えば、位相シフトクロック生成部82は、2種類以上の位相が異なる位相シフトパルスとして、第1の位相シフトパルス~第nの位相シフトパルス(nは1より大きい自然数)を出力するようにしてもよい。また、この場合、撮像装置10は、第2基板12に構成される位相シフトクロック生成部82から、第1基板11に構成される第1のAD変換回路41に第1の位相シフトパルス~第nの位相シフトパルスを入力するための接続部を備える。

40

【0037】

上述したとおり、第1基板11と第2基板12とは、接続部901~927によって電氣的に接続されている。そのため、例えば、第2基板12に構成されている位相シフトクロック生成部82が出力する位相シフトパルスCK0, CK1, CK2, CK3や、ランプ波生成部83が出力するランプ信号を、第1基板11に構成されている第1のAD変換回路41に入力することができる。また、第1基板11に構成されている画素2の出力を、第2基板12に構成されている第2のAD変換回路42に入力することができる。

【0038】

従って、撮像装置10が備える各部を、第1基板11と第2基板12とに分散して配置

50

することができる。また、第1基板11の領域のうち第1のAD変換回路41が配置されている領域と、第2基板12の領域のうち第2のAD変換回路42が配置されている領域とを、少なくとも一部を重ねて配置することができる。すなわち、第1のAD変換回路41と第2のAD変換回路42とを近傍に配置することができる。

【0039】

よって、第1のAD変換回路41と画素2の各列の出力との間の配線と、第2のAD変換回路42と画素2の各列の出力との間の配線とを短くかつほぼ同等にすることができる。また、第1のAD変換回路41とランプ波生成部83との間の配線と、第2のAD変換回路42とランプ波生成部83との間の配線とを短くかつほぼ同等にすることができる。また、第1のAD変換回路41と位相シフトクロック生成部82との間の配線と、第2のAD変換回路42と位相シフトクロック生成部82との間の配線とを短くかつほぼ同等にすることができる。また、第1のAD変換回路41と制御回路81との間の配線と、第2のAD変換回路42と制御回路81との間の配線とを短くかつほぼ同等にすることができる。

10

【0040】

従って、ランプ波生成部83や、位相シフトクロック生成部82や、制御回路81を2つ設けることなく、配線の引き回しに起因するノイズ増加や精度低下を防止することができる。すなわち、回路規模および消費電流の増加を抑えつつ、配線に起因するノイズ増加やAD変換の精度低下を防止することができる。

【0041】

また、本実施形態における撮像装置10では、第1のAD変換回路41と第2のAD変換回路42とは、画素2の列毎に比較器301~320と、ラッチ501~520と、カウンタ401~420とを設けている。そして、奇数行の画素2が出力する画素信号のAD変換を第1のAD変換回路41が行い、偶数行の画素2が出力する画素信号のAD変換を第2のAD変換回路42が行う。従って、奇数行の画素2が出力する画素信号のAD変換と、偶数行の画素2が出力する画素信号のAD変換とを並列に処理することができ、高速に1フレームの画素信号をAD変換することができる。

20

【0042】

なお、偶数行の画素2が出力する画素信号のAD変換を第1のAD変換回路41が行い、奇数行の画素2が出力する画素信号のAD変換を第2のAD変換回路42が行うようにしてもよい。

30

【0043】

また、撮像装置10が備える各部の配置は図1の配置に限らない。例えば、ランプ波生成部83や、位相シフトクロック生成部82や、制御回路81や、水平駆動部7や、メモリ5を第1基板11上に配置してもよい。

【0044】

(第2の実施形態)

次に、本発明の第2の実施形態の撮像装置について説明する。図3は、本実施形態における撮像装置20の概略構成を示したブロック図である。図示する例では、撮像装置20は、第1基板13と第2基板14とを備えており、第1基板13と第2基板14とは段積みされている。すなわち、第1基板13と第2基板14とは重なっている。撮像装置20は、4行10列の計40個の画素2が行列状に配置された画素部1と、第1のAD変換回路43と、第2のAD変換回路44と、メモリ5と、垂直駆動部6と、水平駆動部7と、制御部8と、接続部928~944とを備えている。

40

【0045】

なお、本実施形態における撮像装置20と第1の実施形態における撮像装置10とで異なる点は、第1のAD変換回路43と、第2のAD変換回路44の構成と、接続部928~944の数である。その他の構成は第1の実施形態における撮像装置10の構成と同様である。従って、以下の説明では異なる構成要素に関してのみを説明し、第1の実施形態と同様の構成の説明は省略する。

50

【 0 0 4 6 】

第1のAD変換回路43は、画素2の奇数列毎に、比較器301, 303, 305, 307, 309と、ラッチ501, 503, 505, 507, 509と、カウンタ401, 403, 405, 407, 409とを備えている。第2のAD変換回路44は、画素2の偶数列毎に、比較器312, 314, 316, 318, 320と、ラッチ512, 514, 516, 518, 520と、カウンタ412, 424, 426, 428, 420とを備えている。

【 0 0 4 7 】

第1基板13には、画素部1と、第1のAD変換回路43と、垂直駆動部6とが構成されている。第2基板14には、第2のAD変換回路44と、メモリ5と、水平駆動部7と、制御部8とが構成されている。なお、第1基板13の領域のうち第1のAD変換回路43が配置されている領域と、第2基板14の領域のうち第2のAD変換回路44が配置されている領域とは、少なくとも一部が重なっている。

10

【 0 0 4 8 】

接続部928~944は、第1基板13と第2基板14とを電氣的に接続する。例えば、接続部928は、第1基板13に構成されている2列目の画素2の出力と、第2基板14に構成されている第2のAD変換回路44に含まれる比較器312の入力とを電氣的に接続する。なお、接続部928~944の接続関係については図示する通りである。

【 0 0 4 9 】

なお、第1のAD変換回路43が備える比較器301, 303, 305, 307, 309には、対応する奇数列の画素2の出力値が入力されるように構成されている。例えば、第1のAD変換回路43が備える比較器301には、1列目の画素2の出力値が入力されるように構成されている。また、第2のAD変換回路44が備える比較器312, 314, 316, 318, 320には、対応する偶数列の画素2の出力値が入力されるように構成されている。例えば、第2のAD変換回路44が備える比較器312には、2列目の画素2の出力値が入力されるように構成されている。すなわち、第1のAD変換回路43は奇数列の画素2の出力値をAD変換し、第2のAD変換回路44は偶数列の画素2の出力値をAD変換する。

20

【 0 0 5 0 】

なお、図示する例では、画素部1は、4行10列の計40個の画素2を備えているが、これに限らず、どのような配列でもよい。また、第1のAD変換回路43と第2のAD変換回路44とは、画素2の2列に対して、1つの比較器301, 303, 305, 307, 309, 312, 314, 316, 318, 320と、1つのラッチ501, 503, 505, 507, 509, 512, 514, 516, 518, 520と、1つのカウンタ401, 403, 405, 407, 409, 412, 424, 426, 428, 420とを備えているが、これに限らない。例えば画素2の3列に対して1つや4列に対して1つなど、画素2の複数列に対して、1つの比較器301, 303, 305, 307, 309, 312, 314, 316, 318, 320と、1つのラッチ501, 503, 505, 507, 509, 512, 514, 516, 518, 520と、1つのカウンタ401, 403, 405, 407, 409, 412, 424, 426, 428, 420とを備えるようにしてもよい。

30

40

【 0 0 5 1 】

本実施形態では、第1基板13と第2基板14とは、接続部928~944によって電氣的に接続されている。そのため、例えば、第2基板14に構成されている位相シフトクロック生成部82が出力する位相シフトパルスCK0, CK1, CK2, CK3や、ランプ波生成部83が出力するランプ信号を、第1基板13に構成されている第1のAD変換回路43に入力することができる。また、第1基板13に構成されている画素2の出力を、第2基板14に構成されている第2のAD変換回路44に入力することができる。

【 0 0 5 2 】

50

従って、撮像装置 20 が備える各部を第 1 基板 13 と第 2 基板 14 とに分散して配置することができる。また、第 1 基板 13 の領域のうち第 1 の A/D 変換回路 43 が配置されている領域と、第 2 基板 14 の領域のうち第 2 の A/D 変換回路 44 が配置されている領域とを、少なくとも一部を重ねて配置することができる。すなわち、第 1 の A/D 変換回路 43 と第 2 の A/D 変換回路 44 とを近傍に配置することができる。

【0053】

よって、第 1 の A/D 変換回路 43 と画素 2 の各列の出力との間の配線と、第 2 の A/D 変換回路 44 と画素 2 の各列の出力との間の配線とを短くかつほぼ同等にすることができる。また、第 1 の A/D 変換回路 43 とランプ波生成部 83 との間の配線と、第 2 の A/D 変換回路 44 とランプ波生成部 83 との間の配線とを短くほぼ同等にすることができる。また、第 1 の A/D 変換回路 43 と位相シフトクロック生成部 82 との間の配線と、第 2 の A/D 変換回路 44 と位相シフトクロック生成部 82 との間の配線とを短くかつほぼ同等にすることができる。また、第 1 の A/D 変換回路 43 と制御回路 81 との間の配線と、第 2 の A/D 変換回路 44 と制御回路 81 との間の配線とを短くかつほぼ同等にすることができる。

【0054】

従って、ランプ波生成部 83 や、位相シフトクロック生成部 82 や、制御回路 81 を 2 つ設けることなく、配線の引き回しに起因するノイズ増加や精度低下を防止することができる。すなわち、回路規模および消費電流の増加を抑えつつ、配線に起因するノイズ増加や A/D 変換の精度低下を防止することができる。

【0055】

また、本実施形態における撮像装置 20 では、第 1 の A/D 変換回路 43 は、画素 2 の奇数列毎に、比較器 301, 303, 305, 307, 309 と、ラッチ 501, 503, 505, 507, 509 と、カウンタ 401, 403, 405, 407, 409 とを備えている。また、第 2 の A/D 変換回路 44 は、画素 2 の偶数列毎に、比較器 312, 314, 316, 318, 320 と、ラッチ 512, 514, 516, 518, 520 と、カウンタ 412, 424, 426, 428, 420 とを備えている。

【0056】

従って、画素 2 の 2 列分のスペースに、1 つの比較器 301, 303, 305, 307, 309, 312, 314, 316, 318, 320 と、1 つのラッチ 501, 503, 505, 507, 509, 512, 514, 516, 518, 520 と、1 つのカウンタ 401, 403, 405, 407, 409, 412, 424, 426, 428, 420 とを配置するため、第 1 の A/D 変換回路 43 および第 2 の A/D 変換回路 44 のレイアウトが容易になる。

【0057】

なお、撮像装置 20 が備える各部の配置は図 3 の配置に限らない。例えば、ランプ波生成部 83 や、位相シフトクロック生成部 82 や、制御回路 81 や、水平駆動部 7 や、メモリ 5 を第 1 基板 13 上に配置してもよい。また、第 1 の A/D 変換回路 43 が偶数列の画素 2 の出力値を A/D 変換し、第 2 の A/D 変換回路 44 が奇数列の画素 2 の出力値を A/D 変換するように構成してもよい。

【0058】

(第 3 の実施形態)

次に、本発明の第 3 の実施形態の撮像装置について説明する。図 4 は、本実施形態における撮像装置 30 の概略構成を示したブロック図である。図示する例では、撮像装置 30 は、第 1 基板 15 と、第 2 基板 16 と、第 3 基板 17 (第 3 の基板) を備えており、第 1 基板 15 と、第 2 基板 16 と、第 3 基板 17 とは段積みされている。すなわち、第 1 基板 15 と、第 2 基板 16 と、第 3 基板 17 とは重なっている。撮像装置 30 は、4 行 10 列の計 40 個の画素 2 が行列状に配置された画素部 1 と、第 1 の A/D 変換回路 45 と、第 2 の A/D 変換回路 46 と、第 3 の A/D 変換回路 47 と、メモリ 5 と、垂直駆動部 6 と、水平駆動部 7 と、制御部 8 と、ゲイン調整部 84 と、接続部 945 ~ 971 とを備えている。

【0059】

10

20

30

40

50

本実施形態では、画素部 1 には、赤色の光を透過する色フィルタが設けられた画素 2 (R 画素) と、緑色の光を透過する色フィルタが設けられた画素 2 (G 画素) と、青色の光を透過する色フィルタが設けられた画素 2 (B 画素) とが原色ベイア配列で配置されている。図示する例では、画素部 1 の 1 行目と 3 行目には左側 (1 列目) から順に R 画素と G 画素とが交互に配置されており、2 行目と 4 行目には左側から順に G 画素と B 画素とが交互に配置されている。

【 0 0 6 0 】

なお、本実施形態における撮像装置 3 0 と第 1 の実施形態における撮像装置 1 0 とで異なる点は、第 3 基板 1 7 と、第 3 の A D 変換回路 4 7 と、ゲイン調整部 8 4 ~ 8 6 を備えている点と、画素 2 に色フィルタが設けられている点と、第 1 の A D 変換回路 4 5 および第 2 の A D 変換回路 4 6 の構成と、接続部 9 4 5 ~ 9 7 1 の数である。その他の構成は第 1 の実施形態における撮像装置 1 0 の構成と同様である。従って、以下の説明では異なる構成要素に関してのみを説明し、第 1 の実施形態と同様の構成の説明は省略する。

【 0 0 6 1 】

第 1 の A D 変換回路 4 5 は、画素 2 の列毎に、比較器 3 0 1 ~ 3 1 0 と、ラッチ 5 0 1 ~ 5 1 0 と、カウンタ 4 0 1 ~ 4 1 0 とを備えている。第 2 の A D 変換回路 4 6 は、画素 2 の偶数列毎に、比較器 3 1 2 , 3 1 4 , 3 1 6 , 3 1 8 , 3 2 0 と、ラッチ 5 1 2 , 5 1 4 , 5 1 6 , 5 1 8 , 5 2 0 と、カウンタ 4 1 2 , 4 2 4 , 4 2 6 , 4 2 8 , 4 2 0 とを備えている。第 3 の A D 変換回路 4 7 は、画素 2 の奇数列毎に、比較器 3 2 1 , 3 2 3 , 3 2 5 , 3 2 7 , 3 2 9 と、ラッチ 5 2 1 , 5 2 3 , 5 2 5 , 5 2 7 , 5 2 9 と、カウンタ 4 2 1 , 4 2 3 , 4 2 5 , 4 2 7 , 4 2 9 とを備えている。

【 0 0 6 2 】

第 1 基板 1 5 には、画素部 1 と、第 1 の A D 変換回路 4 5 と、垂直駆動部 6 と、ゲイン調整部 8 4 とが構成されている。第 2 基板 1 6 には、第 2 の A D 変換回路 4 6 と、メモリ 5 と、水平駆動部 7 と、制御部 8 と、ゲイン調整部 8 5 とが構成されている。第 3 基板 1 7 には、第 3 の A D 変換回路 4 7 とゲイン調整部 8 6 とが構成されている。なお、第 1 基板 1 5 の領域のうち第 1 の A D 変換回路 4 5 が配置されている領域と、第 2 基板 1 6 の領域のうち第 2 の A D 変換回路 4 6 が配置されている領域と、第 3 基板 1 7 の領域のうち第 3 の A D 変換回路 4 7 が配置されている領域とは、少なくとも一部が重なっている。

【 0 0 6 3 】

接続部 9 4 5 ~ 9 7 1 は、第 1 基板 1 5 と、第 2 基板 1 6 と、第 3 基板 1 7 とを電氣的に接続する。例えば、接続部 9 4 5 は、第 1 基板 1 5 に構成されている 1 列目の画素 2 の出力と、第 3 基板 1 7 に構成されている第 3 の A D 変換回路 4 7 に含まれる比較器 3 2 1 の入力とを電氣的に接続する。なお、接続部 9 4 6 ~ 9 7 1 の接続関係については図示する通りである。

【 0 0 6 4 】

なお、第 1 の A D 変換回路 4 5 が備える比較器 3 0 1 ~ 3 1 0 には、対応する列の画素 2 のうち、G 画素の出力値が入力されるように構成されている。例えば、第 1 の A D 変換回路 4 5 が備える比較器 3 0 1 には、1 列目かつ G 画素であるの画素 2 の出力値が入力されるように構成されている。また、第 2 の A D 変換回路 4 6 が備える比較器 3 1 2 , 3 1 4 , 3 1 6 , 3 1 8 , 3 2 0 には、対応する偶数列の画素 2 のうち、B 画素の出力値が入力されるように構成されている。例えば、第 2 の A D 変換回路 4 6 が備える比較器 3 1 2 には、2 列目の画素 2 のうち、B 画素の出力値が入力されるように構成されている。また、第 3 の A D 変換回路 4 7 が備える比較器 3 2 1 , 3 2 3 , 3 2 5 , 3 2 7 , 3 2 9 には、対応する奇数列の画素 2 のうち、R 画素の出力値が入力されるように構成されている。例えば、第 3 の A D 変換回路 4 7 が備える比較器 3 2 1 には、1 列目の画素 2 のうち、R 画素の出力値が入力されるように構成されている。すなわち、第 1 の A D 変換回路 4 5 は画素 2 のうち G 画素の出力値を A D 変換し、第 2 の A D 変換回路 4 6 は画素 2 のうち B 画素の出力値を A D 変換し、第 3 の A D 変換回路 4 7 は画素 2 のうち R 画素の出力値を A D 変換する。

【 0 0 6 5 】

なお、図示する例では、画素部 1 は、4 行 1 0 列の計 4 0 個の画素 2 を備えているが、これに限らず、どのような配列でもよい。また、第 1 の A D 変換回路 4 5 と、第 2 の A D 変換回路 4 6 と、第 3 の A D 変換回路 4 7 とは、対応する画素 2 が配置されている 1 列に対して、1 つの比較器 3 0 1 ~ 3 1 0 , 3 1 2 , 3 1 4 , 3 1 6 , 3 1 8 , 3 2 0 , 3 2 1 , 3 2 3 , 3 2 5 , 3 2 7 , 3 2 9 と、1 つのラッチ 5 0 1 ~ 5 1 0 , 5 1 2 , 5 1 4 , 5 1 6 , 5 1 8 , 5 2 0 , 5 2 1 , 5 2 3 , 5 2 5 , 5 2 7 , 5 2 9 と、1 つのカウンタ 4 0 1 ~ 4 1 0 , 4 1 2 , 4 2 4 , 4 2 6 , 4 2 8 , 4 2 0 , 4 2 1 , 4 2 3 , 4 2 5 , 4 2 7 , 4 2 9 とを備えているが、これに限らない。例えば対応する画素 2 の 2 列に対して 1 つや 3 列に対して 1 つなど、対応する画素 2 の複数列に対して、1 つの比較器 3 0 1 ~ 3 1 0 , 3 1 2 , 3 1 4 , 3 1 6 , 3 1 8 , 3 2 0 , 3 2 1 , 3 2 3 , 3 2 5 , 3 2 7 , 3 2 9 と、1 つのラッチ 5 0 1 ~ 5 1 0 , 5 1 2 , 5 1 4 , 5 1 6 , 5 1 8 , 5 2 0 , 5 2 1 , 5 2 3 , 5 2 5 , 5 2 7 , 5 2 9 と、1 つのカウンタ 4 0 1 ~ 4 1 0 , 4 1 2 , 4 2 4 , 4 2 6 , 4 2 8 , 4 2 0 , 4 2 1 , 4 2 3 , 4 2 5 , 4 2 7 , 4 2 9 とを備えるようにしてもよい。

10

【 0 0 6 6 】

ゲイン調整部 8 4 は、第 1 の A D 変換回路 4 5 のゲインを調整する。ゲイン調整部 8 5 は、第 2 の A D 変換回路 4 6 のゲインを調整する。ゲイン調整部 8 6 は、第 3 の A D 変換回路 4 7 のゲインを調整する。また、上述したとおり、第 1 の A D 変換回路 4 5 は、画素 2 のうち G 画素の出力値を A D 変換する。また、第 2 の A D 変換回路 4 6 は、画素 2 のうち B 画素の出力値を A D 変換する。また、第 3 の A D 変換回路 4 7 は、画素 2 のうち R 画素の出力値を A D 変換する。これにより、色フィルタ毎にゲインを容易に調整することができる。

20

【 0 0 6 7 】

また、本実施形態では、第 1 基板 1 5 と、第 2 基板 1 6 と、第 3 基板 1 7 とは、接続部 9 4 5 ~ 9 7 1 によって電氣的に接続されている。そのため、例えば、第 2 基板 1 6 に構成されている位相シフトクロック生成部 8 2 が出力する位相シフトパルス C K 0 , C K 1 , C K 2 , C K 3 や、ランプ波生成部 8 3 が出力するランプ信号を、第 1 基板 1 5 に構成されている第 1 の A D 変換回路 4 3 と第 3 基板 1 7 に構成されている第 3 の A D 変換回路 4 7 とに入力することができる。また、第 1 基板 1 5 に構成されている画素 2 の出力を、第 2 基板 1 6 に構成されている第 2 の A D 変換回路 4 6 と第 3 基板 1 7 に構成されている第 3 の A D 変換回路 4 7 とに入力することができる。

30

【 0 0 6 8 】

従って、撮像装置 3 0 が備える各部を、第 1 基板 1 5 と、第 2 基板 1 6 と、第 3 基板 1 7 とに分散して配置することができる。また、第 1 基板 1 5 の領域のうち第 1 の A D 変換回路 4 5 が配置されている領域と、第 2 基板 1 6 の領域のうち第 2 の A D 変換回路 4 6 が配置されている領域と、第 3 基板 1 7 の領域のうち第 3 の A D 変換回路 4 7 が配置されている領域とを、少なくとも一部を重ねて配置することができる。すなわち、第 1 の A D 変換回路 4 5 と、第 2 の A D 変換回路 4 6 と、第 3 の A D 変換回路 4 7 とを近傍に配置することができる。

40

【 0 0 6 9 】

よって、第 1 の A D 変換回路 4 5 と画素 2 の各列の出力との間の配線と、第 2 の A D 変換回路 4 6 と画素 2 の各列の出力との間の配線と、第 3 の A D 変換回路 4 7 と画素 2 の各列の出力との間の配線とを短くかつほぼ同等にすることができる。また、第 1 の A D 変換回路 4 5 とランプ波生成部 8 3 との間の配線と、第 2 の A D 変換回路 4 6 とランプ波生成部 8 3 との間の配線と、第 3 の A D 変換回路 4 7 とランプ波生成部 8 3 との間の配線とを短くかつほぼ同等にすることができる。また、第 1 の A D 変換回路 4 5 と位相シフトクロック生成部 8 2 との間の配線と、第 2 の A D 変換回路 4 6 と位相シフトクロック生成部 8 2 との間の配線と、第 3 の A D 変換回路 4 7 と位相シフトクロック生成部 8 2 との間の配線とを短くかつほぼ同等にすることができる。また、第 1 の A D 変換回路 4 5 と制御回路

50

8 1 との間の配線と、第 2 の A D 変換回路 4 6 と制御回路 8 1 との間の配線と、第 3 の A D 変換回路 4 7 と制御回路 8 1 との間の配線とを短くかつほぼ同等にすることができる。

【 0 0 7 0 】

従って、ランプ波生成部 8 3 や、位相シフトクロック生成部 8 2 や、制御回路 8 1 を 3 つ設けることなく、配線の引き回しに起因するノイズ増加や精度低下を防止することができる。すなわち、回路規模および消費電流の増加を抑えつつ、配線に起因するノイズ増加や A D 変換の精度低下を防止することができる。

【 0 0 7 1 】

なお、撮像装置 3 0 が備える各部の配置は図 4 の配置に限らない。例えば、ランプ波生成部 8 3 や、位相シフトクロック生成部 8 2 や、制御回路 8 1 や、水平駆動部 7 や、メモリ 5 を、第 1 基板 1 5 や第 3 基板 1 7 上に配置してもよい。

10

【 0 0 7 2 】

以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

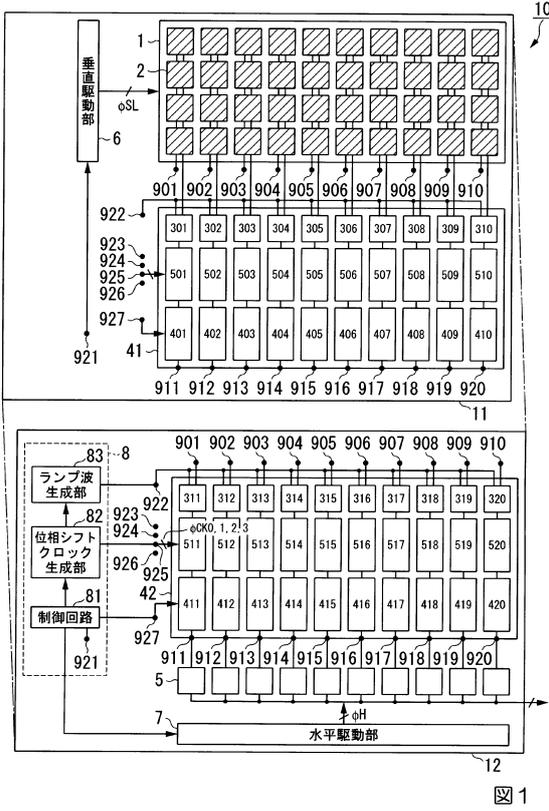
【 符号の説明 】

【 0 0 7 3 】

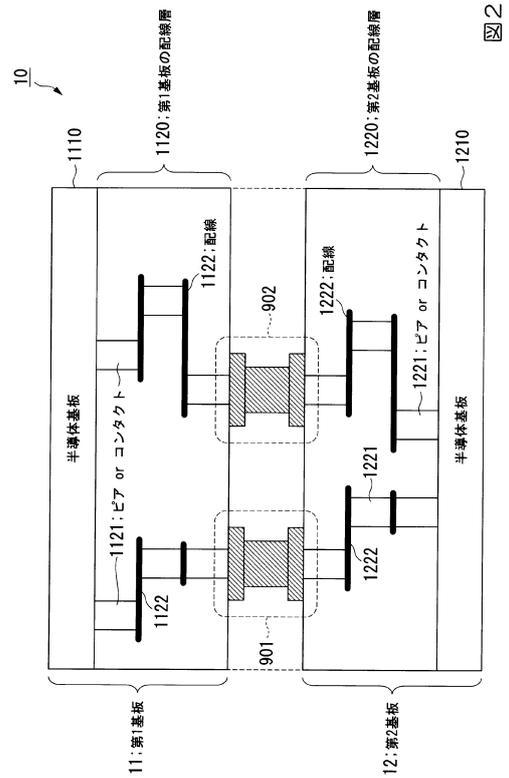
1 . . . 画素部、 2 . . . 画素、 5 . . . メモリ、 6 . . . 垂直駆動部、 7 . . . 水平駆動部、 8 . . . 制御部、 1 0 , 2 0 , 3 0 . . . 撮像装置、 1 1 , 1 3 , 1 5 . . . 第 1 基板、 1 2 , 1 4 , 1 6 . . . 第 2 基板、 1 7 . . . 第 3 基板、 4 1 , 4 3 , 4 5 . . . 第 1 の A D 変換回路、 4 2 , 4 4 , 4 6 . . . 第 2 の A D 変換回路、 4 7 . . . 第 3 の変換回路、 8 1 . . . 制御回路、 8 2 . . . 位相シフトクロック生成部、 8 3 . . . ランプ波生成部、 8 4 ~ 8 6 . . . ゲイン調整部、 3 0 1 ~ 3 2 1 , 3 2 3 , 3 2 5 , 3 2 7 , 3 2 9 . . . 比較器、 4 0 1 ~ 4 2 1 , 4 2 3 , 4 2 5 , 4 2 7 , 4 2 9 . . . カウンタ、 5 1 1 ~ 5 2 1 , 5 2 3 , 5 2 5 , 5 2 7 , 5 2 9 . . . ラッチ、 9 0 1 ~ 9 7 1 . . . 接続部、 1 1 1 0 , 1 2 1 0 . . . 半導体基板、 1 1 2 0 . . . 第 1 基板の配線層、 1 1 2 1 , 1 2 2 1 . . . ピアまたはコンタクト、 1 1 2 2 , 1 2 2 2 . . . 配線、 1 2 2 0 . . . 第 2 基板の配線層

20

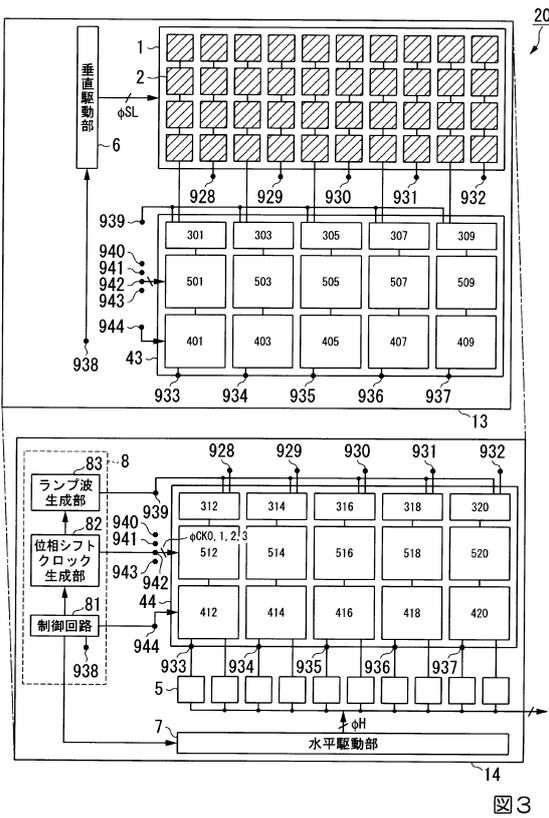
【図1】



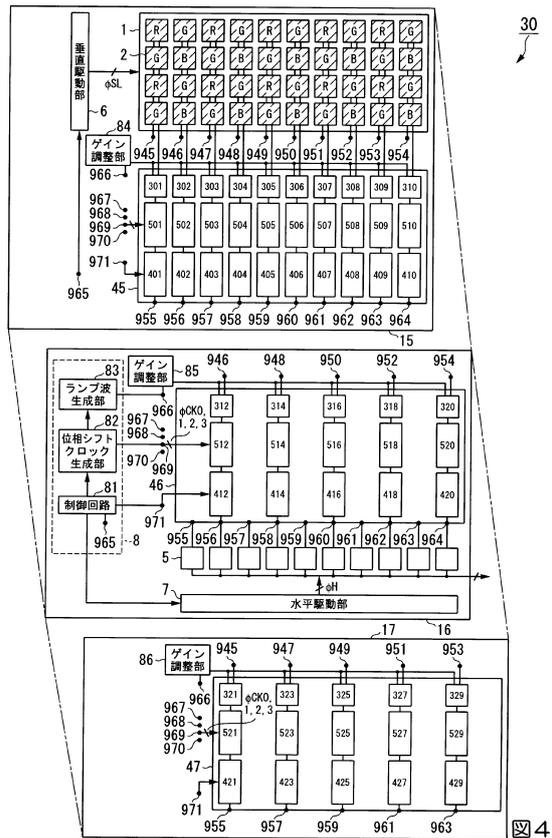
【図2】



【図3】



【図4】



【図5】

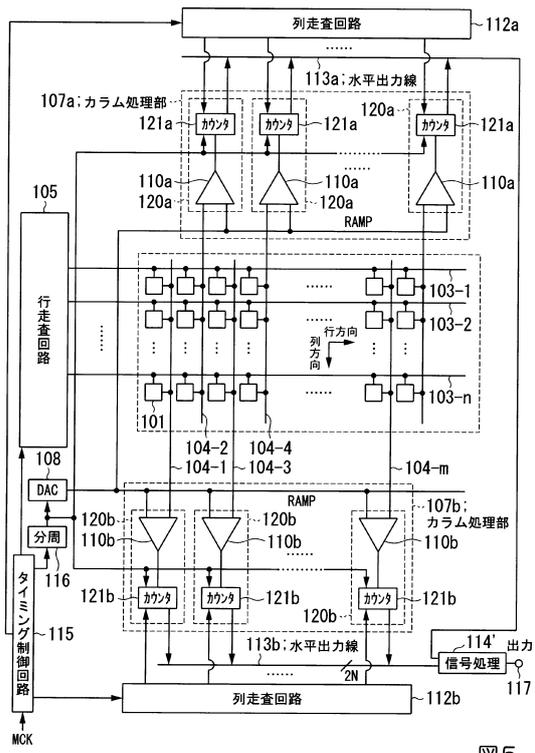


図5

【図6】

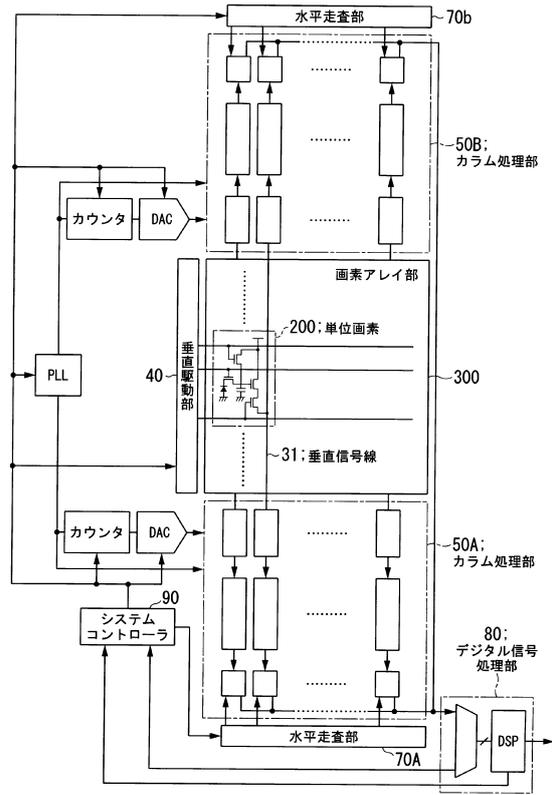


図6

フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 齋藤 匡史

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内

審査官 松永 隆志

(56)参考文献 特開 2 0 1 2 - 1 6 4 8 7 0 (J P , A)

特開 2 0 1 0 - 2 4 5 9 5 5 (J P , A)

特開平 0 6 - 1 4 1 2 4 9 (J P , A)

特開平 0 5 - 0 4 8 4 6 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N 5 / 3 5 7

H 0 4 N 5 / 3 7 4

H 0 4 N 5 / 3 7 8