

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-80054
(P2010-80054A)

(43) 公開日 平成22年4月8日(2010.4.8)

(51) Int.Cl.
G11C 11/22 (2006.01)

F I
G11C 11/22 501G

テーマコード (参考)

審査請求 有 請求項の数 10 O L (全 22 頁)

(21) 出願番号 特願2009-278790 (P2009-278790)
 (22) 出願日 平成21年12月8日 (2009.12.8)
 (62) 分割の表示 特願2000-212930 (P2000-212930)
 の分割
 原出願日 平成12年7月13日 (2000.7.13)
 (31) 優先権主張番号 29646/1999
 (32) 優先日 平成11年7月21日 (1999.7.21)
 (33) 優先権主張国 韓国 (KR)

(特許庁注：以下のものは登録商標)

1. FRAM

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 HYNIX SEMICONDUCTOR
 INC.
 大韓民国京畿道利川市夫鉢邑牙美里山136-1
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
 (74) 代理人 100064621
 弁理士 山川 政樹
 (74) 代理人 100098394
 弁理士 山川 茂樹
 (72) 発明者 姜 熙 福
 大韓民国太田市西区桃馬洞359-27陽地タウン3-401

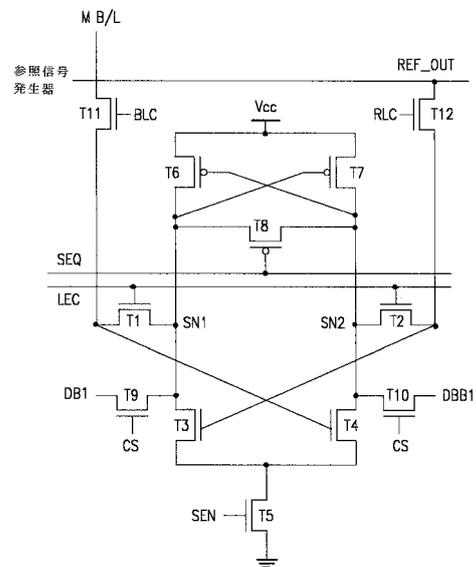
(54) 【発明の名称】 不揮発性強誘電体メモリ装置のセンシングアンプ

(57) 【要約】

【課題】増幅の安定性を向上させるようにした不揮発性強誘電体メモリ装置のセンシングアンプを提供する。

【解決手段】セルに書き込むデータがデータバスDB1とデータバースDBB1を介して入力され、メインビットラインへ伝達される。残りの信号はそのまま維持した状態でセンシングアンプの活性化信号SENを「ハイ」レベルに遷移させる。したがって、第1増幅ステージが活性化状態となり、書き込むデータをメインビットラインを介して当該セルへ伝達する。このように、第1増幅ステージに印加されるコントロール信号を適切に調節し、セルのデータを読み出してデータバス及びデータバースを介して出力する読み出し動作と、データバス及びデータバースを介して入ってくる書き込むデータを、メインビットラインを介して当該セルに格納する書き込み動作を行うことができる。

【選択図】 図15



のドレインと連結される第4トランジスタと；

ソースが接地端に連結され、ドレインは前記第3，第4トランジスタのソースと共通に連結される第5トランジスタと；

ゲートが前記第2トランジスタのドレインに連結され、ソースは電源電圧端に連結され、ドレインは前記第1トランジスタのドレインと連結される第6トランジスタと；

ゲートが前記第1トランジスタのドレインに連結され、ソースは電源電圧端に連結され、ドレインは前記第2トランジスタのドレインと連結される第7トランジスタと；

前記第6トランジスタのドレインと第7トランジスタのドレインとを等電位化させる第8トランジスタと；

前記入力側のデータラインとデータバーラインとを等電位化させる第9トランジスタとを含むことを特徴とする不揮発性強誘電体メモリ装置のセンシングアンプ。 10

【請求項7】

前記第1トランジスタは増幅した信号を前記第4トランジスタのゲートにフィードバックさせる機能をさらに含み、前記第2トランジスタは増幅した信号を前記第3トランジスタのゲートにフィードバックさせる機能をさらに含むことを特徴とする請求項6記載の不揮発性強誘電体メモリ装置のセンシングアンプ。

【請求項8】

前記第6，7スイッチング素子及び第8スイッチング素子はPMOSトランジスタより構成され、その他はNMOSトランジスタより構成されることを特徴とする請求項6記載の不揮発性強誘電体メモリ装置のセンシングアンプ。 20

【請求項9】

データバスを介して伝達された信号を増幅して、その出力を入/出力パッドに印加して出力する、前記第3増幅ステージに使用するセンシングアンプにおいて、

前記データラインを介して入力されるメインビットラインの信号をスイッチングする第1トランジスタと；

前記データバーラインを介して入力される前記逆位相信号をスイッチングする第2トランジスタと；

前記第1トランジスタのソースと前記第2トランジスタのソースとを等電位化させる第3トランジスタと；

前記第1トランジスタのドレインと前記第2トランジスタのドレインとを等電位化させる第4トランジスタと； 30

ソースに印加されるデータラインの信号をスイッチングする第5トランジスタと；

ソースに印加されるデータバーラインの信号をスイッチングする第6トランジスタと；

ゲートが前記第6トランジスタのソースと連結され、ドレインは前記第5トランジスタのドレインと連結される第7トランジスタと；

ゲートが前記第5トランジスタの入力端と連結され、ドレインは前記第6トランジスタのドレインと連結される第8トランジスタと；

ソースが接地端に連結され、ドレインは前記第7，第8トランジスタのソースと共通に連結される第9トランジスタと；

ゲートが前記第6トランジスタのドレインに連結され、ソースは電源電圧端に連結され、ドレインは前記第5トランジスタのドレインと連結される第10トランジスタと； 40

ゲートが前記第5トランジスタのドレインに連結され、ソースは電源電圧端に連結され、ドレインは前記第6トランジスタのドレインと連結される第11トランジスタと；

前記第10トランジスタのドレインと第11トランジスタのドレインとを等電位化させる第12トランジスタと；

増幅したビットラインの信号を前記入/出力パッドにスイッチングする第13トランジスタとを含むことを特徴とする不揮発性強誘電体メモリ装置のセンシングアンプ。

【請求項10】

前記第5トランジスタは増幅した信号を前記第8トランジスタのゲートにフィードバックさせる機能をさらに含み、前記第6トランジスタは増幅した信号を前記第7トランジス 50

タのゲートにフィードバックさせる機能をさらに含むことを特徴とする請求項 9 記載の不揮発性強誘電体メモリ装置のセンシングアンプ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は不揮発性強誘電体メモリ装置に関するもので、特にデータを格納しているセルからの出力データを 3 段階に増幅する不揮発性強誘電体メモリ装置のセンシングアンプの構造に関する。

【背景技術】

【0002】

10

一般に不揮発性強誘電体メモリ、いわゆる F R A M (Ferroelectric Random Access Memory) は D R A M (Dynamic Random Access Memory) 程度のデータ処理速度を有し、電源のオフ時にもデータが保存される特性のため次世代記憶素子として注目を浴びている。

F R A M は D R A M とほぼ同一構造を有する記憶素子であって、キャパシタの材料として強誘電体を使用して強誘電体の特性である高い残留分極を用いたものである。このような残留分極の特性のため電界を除去してもデータは保存される。

【0003】

図 1 は一般的な強誘電体のヒステリシスループを示す特性図である。

図 1 に示すように、電界により誘起された分極が電界を除去しても残留分極（又は自発分極）の存在によって消滅されず、一定量（ d, a 状態）を維持していることが分かる。不揮発性強誘電体メモリセルは前記 d, a 状態をそれぞれ 1, 0 に対応させ記憶素子として応用したものである。

20

【0004】

以下、従来技術による不揮発性強誘電体メモリ装置を添付の図面に基づいて説明する。

図 2 は従来技術の不揮発性強誘電体メモリの単位セルを示した。

図 2 に示すように、一方向に形成されるビットライン B/L と、そのビットラインと交差する方向に形成されるワードライン W/L と、ワードラインに一定の間隔をおいてワードラインと同一の方向に形成されるプレートライン P/L と、ゲートがワードラインに連結され、ソースは前記ビットラインに連結されるトランジスタ $T1$ と、2 端子中第 1 端子はトランジスタ $T1$ のドレインに連結され、第 2 端子はプレートライン P/L に連結される強誘電体キャパシタ $FC1$ とで構成されている。

30

【0005】

このように構成された従来の不揮発性強誘電体メモリ装置のデータ入出力動作を以下に説明する。

図 3 a は従来の不揮発性強誘電体メモリ素子の書込みモードの動作を示すタイミング図であり、図 3 b は読み出しモードの動作を示すタイミング図である。

まず、書込みモードの場合、外部から印加されるチップイネーブル信号（ $CSBpad$ ）が「ハイ」から「ロー」に活性化され、同時に書込みイネーブル信号（ $WEBpad$ ）が「ハイ」から「ロー」に遷移されると、書込みモードが始まる。

次いで、書込みモードでのアドレスデコードが始まると、ワードラインに印加されるパルスは「ロー」から「ハイ」に遷移され、セルが選択される。すなわち、そのワードラインに接続されたトランジスタ $T1$ が導通状態となる。

40

【0006】

このように、ワードラインが「ハイ」状態を維持している間にプレートラインには順に所定幅の「ハイ」信号と所定幅の「ロー」信号が印加される。

そして、選択されたセルにロジック値「1」又は「0」を書くために、ビットラインに書込みイネーブル信号（ $WEBpad$ ）に同期した「ハイ」又は「ロー」信号を印加する。すなわち、ビットラインに「ハイ」信号を印加し、ワードラインに印加される信号が「ハイ」状態である期間でプレートラインの信号が「ロー」に遷移されたとき、強誘電体キャパシタにはロジック値「1」が記録される。そして、ビットラインに「ロー」信号を印

50

加すると、プレートラインに印加される信号が「ハイ」信号のとき、強誘電体キャパシタにはロジック値「0」が記録される。プレートラインの信号が「ロー」に遷移しても記録されたロジック値「0」は変わらない。

【0007】

このような書込みモードの動作によりセルに格納されたデータを読み出すための動作は以下の通りである。

まず、外部からチップイネーブル信号(CSBpad)が「ハイ」から「ロー」に活性化されると、ワードラインが選択される以前に全てのビットラインは等化器信号によって「ロー」電圧に等電位化される。

【0008】

し、デコードされたアドレスによってワードラインの「ロー」信号が「ハイ」信号に遷移されセルが選択される。選択されたセルのプレートラインに「ハイ」信号を印加すると、強誘電体メモリに格納されたロジック値「1」に対応するデータを破壊させる。

もし、強誘電体メモリにロジック値「0」が格納されていれば、それに対応するデータは破壊されない。

【0009】

このように、破壊されたデータと破壊されていないデータは前述したヒステリシスループの原理によって異なる値を出力し、センスアンプはロジック値「1」又は「0」をセンシングする。すなわち、データが破壊された場合は、図1のヒステリシスループのdからfに変更される場合であり、データが破壊されていない場合は、aからfに変更される場合である。したがって、一定の時間が経過した後センスアンプがイネーブルすると、データが破壊された場合はロジック値「1」を出力し、データが破壊されていない場合はロジック値「0」を出力する。

【0010】

このようにセンスアンプからデータを出力した後に、それぞれのセルは元のデータに戻らなければならないので、ワードラインに「ハイ」信号を印加した状態でプレートラインを「ハイ」から「ロー」に不活性化させる。

【0011】

図4は従来技術に従う不揮発性強誘電体メモリ装置の構成ブロック図である。

図4に示すように、メインセルアレイ部41をほぼ矩形の形状の領域として配置し、その中の一部を参照セルアレイ部42に割り当てる。その矩形の領域のメインセルアレイ部41のいずれかの辺に沿って、メインセルアレイ部41及び参照セルアレイ部42に駆動信号を印加するワードライン駆動部43を配置する。

さらにメインセルアレイ部41の他の辺、図面では下辺側にセンスアンプ部44を構成させている。ここで、ワードライン駆動部43はメインセルアレイ部41のメインワードライン及び参照セルアレイ部42の参照ワードラインに駆動信号を印加する回路である。センスアンプ44は複数個のセンスアンプより構成され、ビットライン及びビットバーラインの信号を増幅する。

【0012】

このような従来の不揮発性強誘電体メモリ装置の動作を図5に基づいて以下に説明する。

図5は図4の部分的詳細図である。図で分かるように、メインセルアレイはDRAMのように折り返し型ビットライン(folded bitline)構造を有する。そして、参照セルアレイ部42もまた折り返し型のビットライン構造を有し、参照セルワードラインと参照セルプレートラインを対として構成されている。この際、2対の参照セルワードライン及び参照セルプレートラインをそれぞれRWL₁, RPL₁及びRWL₂, RPL₂とする。

【0013】

メインセルワードラインMWL_{N-1}及びメインセルプレートラインMPL_{N-1}が活性化すると、参照セルワードラインRWL₁と参照セルプレートラインRPL₁

10

20

30

40

50

も活性化する。したがって、ビットライン B / L にはメインセルのデータが載せられ、ビットパーライン B B / L には参照セルのデータが載せられる。

【 0 0 1 4 】

また、メインセルワードライン M W L _ N とメインセルプレートライン M P L _ N が活性化すると、参照セルワードライン R W L _ 2 と参照セルプレートライン R P L _ 2 も活性化される。したがって、ビットパーライン B B / L にはメインセルのデータが載せられ、ビットライン B / L には参照セルデータが載せられる。ここで、参照セルによるビットラインレベル R E F はメインセルによるビットラインレベルの B _ H (ハイ) と B _ L (ロー) との間にある。したがって、参照電圧 R E F をビットラインレベルの B _ H と B _ L との間にするための参照セルの動作方法は二つある。

10

【 0 0 1 5 】

第一は、参照セルのキャパシタにロジック「1」を格納する方法で、参照セルのキャパシタのサイズをメインセルのキャパシタのサイズに比べて小さくすればよい。

第二は、参照セルのキャパシタにロジック「0」を格納する方法で、参照セルのキャパシタのサイズをメインセルのキャパシタのサイズに比べて大きくすればよい。

このように、従来技術の不揮発性強誘電体メモリ装置は前記二つの方法を用いることで、センスアンプ部 4 4 で必要とする参照電圧を作り出していた。

【 0 0 1 6 】

図 6 は図 4 のセンシングアンプ部を詳細に示すもので、センシングアンプ部を構成する複数のセンシングアンプのうち任意の一つを示した。

20

図 6 に示すように、従来技術によるセンシングアンプはラッチ型センシングアンプ部の構造を有する。すなわち、二つの P M O S トランジスタと二つの N M O S トランジスタとで構成され、そのトランジスタがラッチ形態のインバータ構造を形成している。

【 0 0 1 7 】

第 1 P M O S トランジスタ M P 1 と第 2 P M O S トランジスタ M P 2 とが向き合うように形成され、第 1 P M O S トランジスタ M P 1 の出力端は第 2 P M O S トランジスタ M P 2 のゲートに連結され、第 2 P M O S トランジスタ M P 2 の出力端は第 1 P M O S トランジスタ M P 1 のゲートに連結される。そして、第 1, 第 2 P M O S トランジスタ M P 1, M P 2 の入力端には S A P 信号が印加される。この S A P 信号は第 1, 第 2 P M O S トランジスタ M P 1, M P 2 を活性化させるための活性化信号である。

30

【 0 0 1 8 】

第 1 P M O S トランジスタ M P 1 の出力端には第 1 N M O S トランジスタ M N 1 が直列に連結され、第 2 P M O S トランジスタ M P 2 の出力端には第 2 N M O S トランジスタ M N 2 が直列に連結される。

第 2 N M O S トランジスタ M N 2 の出力端は第 1 N M O S トランジスタ M N 1 のゲートに連結され、第 1 N M O S トランジスタ M N 1 の出力端は第 2 N M O S トランジスタ M N 2 のゲートに連結される。そして、第 1, 第 2 N M O S トランジスタ M N 1, M N 2 の入力端は共通に S A N 信号が印加される。ここで、S A N 信号は第 1, 第 2 N M O S トランジスタ M N 1, M N 2 を活性化させるための活性化信号である。

40

【 0 0 1 9 】

第 1 P M O S トランジスタ M P 1 及び第 1 N M O S トランジスタ M N 1 の出力端はビットライン B _ N に共通に連結され、第 2 P M O S トランジスタ M P 2 及び第 2 N M O S トランジスタ M N 2 の出力端は次のビットライン B _ N + 1 に連結される。このようなセンシングアンプはその出力がそれぞれビットライン B _ N, B _ N + 1 に連結され、メインセルと参照セルへの入出力を可能とする。

したがって、センシングアンプ不活性化時のプリチャージの間は S A P, S A N, B _ N, B _ N + 1 の信号が全て 1 / 2 V c c の状態を維持する。

反面、活性化時には S A P が「ハイ」レベルにプルアップされ、S A N は接地レベルにプルダウンされる。

【 発明の概要 】

50

【発明が解決しようとする課題】

【0020】

しかし、従来の不揮発性強誘電体メモリ装置は次のような問題点があった。

第一に、互いに異なるデータバスを用いてデータの読み出し及び書込みが行われるので、複数のデータバスが必要となり、レイアウトを効率的に設計することができない。

第二に、読み出し及び書込みに従う安定した増幅を期待できない。

【0021】

本発明は上記のような従来技術の問題点を解決するためになされたもので、読み出し用データバスと書込み用データバスとを別々に構成せず、一つのデータバスを用いて読み出し及び書込みが行えるようにすることで、増幅の安定性を向上させるようにした不揮発性強誘電体メモリ装置のセンシングアンプを提供することが目的である。

10

【課題を解決するための手段】

【0022】

上記の目的を達成するための本発明の不揮発性強誘電体メモリ装置のセンシングアンプは、ビットラインの信号を3段にわたって増幅するようにしたものである。本発明は、半導体メモリ装置のビットラインの信号を増幅する第1増幅ステージと、データの読み出し及び書込み時に共通に用いられ、第1増幅ステージの出力信号をインターフェースする第1データバスと、前期第1データバスの信号を増幅する第2増幅ステージと、データの読み出し及び書込み時に共通に用いられ、第2増幅ステージの出力信号をインターフェースする第2データバスと、第2データバスの信号を増幅する第3増幅ステージとを含むことを特徴とする。

20

【発明の効果】

【0023】

以上で詳述したように、本発明の不揮発性強誘電体メモリ装置のセンシングアンプは次のような効果がある。

各増幅ステージに印加されるコントロール信号を適切に調節することで、読み出し用データバスと書込み用データバスとを別々に構成せず、一つのデータバスを用いて読み出し及び書込みが行えるので、レイアウトの設計が容易であり且つデータバスに対するロードを減らすことができる。

【図面の簡単な説明】

30

【0024】

【図1】一般の強誘電体のヒステリシスループを示す特性図。

【図2】従来技術による不揮発性強誘電体メモリの単位セルの構成図。

【図3a】従来の不揮発性強誘電体メモリ装置の書込みモードの動作を示すタイミング図。

【図3b】読み出しモードの動作を示すタイミング図。

【図4】従来技術による不揮発性強誘電体メモリ装置の構成ブロック図。

【図5】図4の部分的詳細図。

【図6】従来の不揮発性強誘電体メモリ装置によるセンシングアンプの構成図。

【図7】本発明の不揮発性強誘電体メモリ素子の単位セルの構成図。

40

【図8】本発明の不揮発性強誘電体メモリ装置の簡略化した回路的構成図。

【図9】本発明の不揮発性強誘電体メモリ装置の動作タイミング図。

【図10】本発明の不揮発性強誘電体メモリ装置によるセンシングアンプの階層構造を示す構成ブロック図。

【図11】本発明の第1実施形態による不揮発性強誘電体メモリ装置のセンシングアンプの構成図。

【図12】本発明の第2実施形態による不揮発性強誘電体メモリ装置のセンシングアンプの構成図。

【図13】本発明の第3実施形態による不揮発性強誘電体メモリ装置のセンシングアンプの構成図。

50

【図14】本発明の第4実施形態による不揮発性強誘電体メモリ装置のセンシングアンプの構成図。

【図15】本発明の不揮発性強誘電体メモリ装置のセンシングアンプによる第1増幅ステージの詳細構成図。

【図16】読み出しモード時第1増幅ステージの出力波形の変化を示す波形図。

【図17】本発明の不揮発性強誘電体メモリ装置のセンシングアンプによる第2増幅ステージの詳細構成図。

【図18】本発明の不揮発性強誘電体メモリ装置のセンシングアンプによる第3増幅ステージの詳細構成図。

【発明を実施するための形態】

10

【0025】

以下、本発明の不揮発性強誘電体メモリ装置のセンシングアンプの実施形態を説明する。

まず、本不揮発性強誘電体メモリ装置のセンシングアンプを説明するため、まず不揮発性強誘電体メモリ装置そのものについて説明する。

図7は本発明の不揮発性強誘電体メモリ素子の単位セルを示すものである。

図7に示すように、本実施形態の不揮発性強誘電体メモリ素子の単位セルは、行方向に並べて形成され、互いに一定の間隔を有する第1スプリットワードラインSWL1と第2スプリットワードラインSWL2の間に形成されている。これらの第1,第2スプリットワードラインSWL1,SWL2を横切る方向に第1ビットラインB/L1と第2ビットラインB/L2が形成されている。これらの第1スプリットワードラインSWL1と第2スプリットワードラインSWL2及び第1ビットラインB/L1と第2ビットラインB/L2とで形成された空間内にそれぞれ第1トランジスタT1と第1強誘電体キャパシタFC1及び第2トランジスタT2と第2強誘電体キャパシタFC2が配置されている。第1トランジスタT1はゲートが第1スプリットワードラインSWL1に連結され、ドレインが第1ビットラインB/L1に連結されている。第2トランジスタT2は、ゲートが第2スプリットワードラインSWL2に連結され、ドレインが第2ビットラインB/L2に連結されている。また第1強誘電体キャパシタFC1は、第1トランジスタT1のソースと第2スプリットワードラインSWL2との間に連結され、第2強誘電体キャパシタFC2が、第2トランジスタT2のソースと第1スプリットワードラインSWL1との間に連結されている。

20

30

【0026】

このような単位セルを複数個形成してセルアレイ部を構成するが、データの格納単位から見れば、一对のスプリットワードラインと一つのビットラインとに連結される一つのトランジスタT1及び一つの強誘電体キャパシタFC1が単位セルとなるが、構造的に見れば一对のスプリットワードラインと二つのビットラインとに連結される二つのトランジスタ及び二つの強誘電体キャパシタが単位セルとなる。これにより、本実施形態では構造的側面における2T/2C構造を単位セルとして定義する。

【0027】

以下、本実施形態の不揮発性強誘電体メモリ装置の動作原理をより詳細に説明する。

40

図8は本不揮発性強誘電体メモリ装置の回路的構成を簡略化したものである。

図8に示すように、第1,第2スプリットワードラインSWL1,SWL2を一对とする複数のスプリットワードライン対が行方向に形成され、そのスプリットワードライン対を横切る方向に複数のビットラインB/Ln,B/Ln+1が形成され、それぞれのビットラインとビットラインの間には両側のビットラインを介して伝達されたデータをセンシングして、データラインDL又はデータバーライン/DLへ伝達するセンシングアンプSAが形成されている。さらに、センシングアンプSAをイネーブルさせるためのイネーブル信号SENを出力するセンシングアンプイネーブル部が配置され、ビットラインとデータラインの接続を切り換える選択スイッチングCSが設けられている。

【0028】

50

このような本実施形態の不揮発性強誘電体メモリ装置の動作を図9に示すタイミング図を参照して説明する。

図9のT0区間は第1、第2スプリットワードラインSWL1、SWL2が「ハイ」に活性化される以前の区間であって、全てのビットラインをNMOSTランジスタのしきい電圧レベルにプリチャージさせる。T1区間は第1、第2スプリットワードラインSWL1、SWL2双方が「ハイ」となる区間であって、メインセルの強誘電体キャパシタのデータがメインビットラインへ伝達され、ビットラインのレベルが変化する。この際、ロジック「ハイ」に格納されていた強誘電体キャパシタはビットラインとスプリットワードラインとに互いに反対極性の電界が加えられているので、強誘電体の極性が破壊されつつ多量の電流が流れ、ビットラインに高い電圧が誘起される。

10

【0029】

反面、ロジック「ロー」が格納されていた強誘電体キャパシタはビットラインとスプリットワードラインとに同一極性の電界が加えられるので、強誘電体の極性が破壊されず、少量の電流が流れるので、ビットラインに多少低い電圧を誘起する。ビットラインにセルデータが十分に載せられると、センシングアンプを活性化させるために、センシングアンプイネーブル信号SENを「ハイ」に遷移させ、ビットラインのレベルを増幅する。

【0030】

一方、破壊されたセルのロジック「ハイ」データは第1、第2スプリットワードラインSWL1、SWL2が「ハイ」の状態では復元できないので、次のT2、T3区間で再格納させるようにする。T2区間は、第1スプリットワードラインSWL1は「ロー」に遷移し、第2スプリットワードラインSWL2は「ハイ」を維持し続けるので、第2トランジスタT2はオンの状態となる。この際、ビットラインが「ハイ」の状態であれば、「ハイ」データが第2強誘電体キャパシタFC2の一方の電極へ伝達され、ロジック「1」の状態に戻す。

20

【0031】

T3区間は前記第1スプリットワードラインSWL1が再び「ハイ」に遷移し、第2スプリットワードラインSWL2は「ロー」に遷移する区間であって、第1トランジスタT1はオンの状態となる。このとき、ビットラインが「ハイ」の状態であれば、「ハイ」データが第1強誘電体キャパシタFC1の一方の電極へ伝達され、ロジック「1」の状態に戻す。

30

【0032】

以下、本発明の不揮発性強誘電体メモリ装置のセンシングアンプの実施形態を添付の図面を参照して詳細に説明する。

図10は本センシングアンプの階層構造を簡略化した構成ブロック図である。

図10に示すように、本発明によるセンシングアンプはセルアレイ部100の複数のビットラインの信号をセンシング及び増幅して、第1データバス112を介して出力する第1増幅ステージ111と、第1増幅ステージ111の出力信号を増幅して第2データバス114を介して出力する第2増幅ステージ115と、第2増幅ステージ115の出力信号をセンシングして増幅する第3増幅ステージ117とを備えている。ここで、第1データバス112と第2データバス114はデータの読み出し及び書込み時共通に用いられる。第3増幅ステージ117の出力信号は入/出力バッファ部200を介して入/出力パッドに与えられる。

40

【0033】

このような3段階の増幅過程を用いる場合、各増幅段階でコントロール信号を異なるようにして、読み出し及び書込みモード時にデータバスを共用できるようになる。すなわち、データバスを共用して読み出し及び書込みを行うことができる。

【0034】

読み出しモード及び書込みモード時の増幅過程を以下に説明する。

まず、読み出しモード時は第1増幅ステージ111でセルアレイ部100のデータを1次増幅する。この第1増幅ステージ111はセルアレイ部100のメインビットライン毎

50

に連結されたセンシングアンプの阵列で構成される。第1増幅ステージ111の出力信号（センシングアンプの出力信号）は共通の出力バスの第1データバス112を介して第2増幅ステージ115へ伝達される。

【0035】

第2増幅ステージ115は第1データバス112を介して伝達された信号を2次増幅する。第2増幅ステージ115の出力信号は出力バスの第2データバス114を介して第3増幅ステージへ伝達される。その後、第3増幅ステージ117はその伝達された信号を3次増幅する。増幅した信号は入/出力バッファ部200を経て入/出力パッドに印加される。

【0036】

一方、ライトモード時にはセル阵列部100に連結された第1増幅ステージ111は、読み出し及び書込みに関係なく、一次的にセルのデータをセンシングする。すなわち、読み出しモードでのように、第1増幅ステージ111はセル阵列部100のデータを1次増幅する。その後、第2増幅ステージ115と第3増幅ステージ117では書き込むデータが入力され、それぞれ増幅される。

【0037】

第1増幅ステージ111の出力ノードはスイッチング素子によってデータバスと連結されるが、スイッチング素子をターンオンすることで、最初に第1増幅ステージ111で増幅したセル阵列部100のデータが第2増幅ステージ115で増幅したデータに変わる。すなわち、第2増幅ステージ115の書込むデータが第1増幅ステージ111のセルデータと変わり、その変わったデータが第1増幅ステージ111の新たなデータとなる。したがって、第1増幅ステージ111の新たなデータをビットラインへ伝達することで、メインセルに新たなデータを書込むことができる。

【0038】

以上のような動作の説明から、読み出し用データバスと書込み用データバスとを別々に構成せず、一つのデータバスを用いて読み出しと書込みとを行えることが分かるであろう。

【0039】

以下、本発明の不揮発性強誘電体メモリ装置のセンシングアンプの実施形態を説明する。

図11は本発明の第1実施形態を示す。図11に示すように、矩形の領域に配置された複数のセル阵列部100がマトリックス形態で形成されている。各セル阵列部100の図面上の上部と下部にそれぞれ第1増幅ステージ111を形成させてある。これらの第1増幅ステージ111の行方向に同一線上に並んでいる第1増幅ステージ111が共用できるように第1データバス112が配置されている。第1データバス112は、第1増幅ステージ111の出力信号をインターフェースしている。この第1データバス112にはスイッチング部113が接続されている。スイッチング部113の出力に第2データバス114が接続されている。図示のように、セル阵列100の一方の側の第1データバスに接続されたスイッチング部113の出力と他方の側の第1データバスに接続されたスイッチング部113の出力とはそれぞれ別々に第2データバス114に接続されている。この第2データバス114には第2増幅ステージ115が接続されており、ここで第2データバス114を介して伝達された信号をセンシング及び増幅する。第2増幅ステージ115には第3データバス116を介して第3増幅ステージ117が連結されている。第3増幅ステージ117は第3データバス116の信号をセンシングし、増幅する。各データバスはそれに接続された増幅ステージの出力信号をインターフェースする。

【0040】

本実施形態は、さらにマトリックス状に配置されたセル阵列の行方向の間に両方のセル阵列部100に駆動信号を出力するスプリットワードラインドライバ部118が配置されている。ここで、各増幅ステージの間のデータバスはデータの読み出し時だけでなく、書込み時にも使用される。したがって、データの読み出し及び書込みが同一のデータバ

10

20

30

40

50

スを通して行われることが分かるであろう。

【0041】

第1増幅ステージ111は各セルアレイ部100のメインビットライン毎に連結されたセンシングアンプにより構成されている。センシングアンプは第1データバス112を共用して用いる。スイッチング部113は第1データバス112に載せられた信号を第2データバス114へ送るときに選択的にオンとなる。したがって、第2データバス114はターンオンしたスイッチング部を通過した信号を第2増幅ステージ115へ転送する。第3増幅ステージ117は入/出力パッドの数だけのセンシングアンプで構成され、各センシングアンプの出力信号はそれぞれの入/出力パッドに印加される。

【0042】

本発明の第1実施形態による動作を以下に説明する。

各セルアレイ部100の上部と下部にはそれぞれ第1増幅ステージ111が構成されている。第1増幅ステージ111は複数のセンシングアンプで構成されている。そのセンシングアンプの数はセルアレイ部のビットラインの数と同一である。センシングアンプは上または下側にのみ形成しているが、これは本実施形態ではセンシングアンプをビットラインによって上部と下部とに分離して形成したためである。すなわち、ビットラインの数が n であれば、 $n/2$ のビットラインの信号は上側の第1増幅ステージ111で増幅し、残りの $n/2$ のビットラインの信号は下側の第1増幅ステージ111で増幅するようにした。

【0043】

このように、第1増幅ステージ111をそれぞれのセルアレイ部を中心として上部と下部とに分離して形成した後、上部の第1増幅ステージ111が共用できるように上部に第1データバス112を構成し、下部の第1増幅ステージ111が共用できるように下部に第1データバス112を構成する。そして、各セルアレイ部100の上部及び下部に形成された第1データバス112はそれぞれスイッチング部113と連結する。この際、スイッチング部113は各セルアレイ部100を中心として上部及び下部にそれぞれ位置した第1データバス112に連結され、一つのセルアレイ部に対して二つのスイッチング部が構成されている。すなわち、セルアレイ部100がカラム方向に n 個形成されると、スイッチング部113は各セルアレイ部100当たり $2n$ 個必要となる。 $2n$ 個のスイッチング部113のうちターンオンした一対のスイッチング部を通過した信号のみ第2データバス114へ伝達される。

【0044】

第2データバス114はスイッチング部113を通過した信号を第2増幅ステージ115へ伝達する。この第2増幅ステージ115は第2データバス114を介して伝達された信号をセンシング及び増幅して第3データバス116に出力する。

そして、第3データバス116を介して伝達された信号は第3増幅ステージ117でセンシング及び増幅する。この際、第3増幅ステージ117は入/出力パッドの数だけのセンシングアンプで構成されている。

【0045】

一方、図12は本発明の第2実施形態を示すものである。

図12に図示の第2実施形態は第2データバスを複数、従って第2増幅ステージを複数個用意したものである。

本発明の第1実施形態では第2データバスが一つだけであったのに対して、第2実施形態では第2データバスを複数とした。すなわち、カラム方向に複数個のセルアレイ部100が形成されている場合、セルアレイ部100を複数のグループに分けて、そのグループ毎に第2データバスを形成した。したがって、第2データバスが複数であるので、第2データバスと連結される第2増幅ステージも複数個設けてある。そして、それぞれの第2増幅ステージの出力側に第2スイッチング部を配置する。したがって、第2スイッチング部は第2増幅ステージの数だけ設け、第2スイッチング部のうちターンオンしたスイッチング部を通過した信号を第3データバスが第3増幅ステージにインターフェースする。

10

20

30

40

50

【0046】

図12に示すように、マトリクス形態に形成された複数個のセルアレイ部100の図面上上部と下部にそれぞれ第1増幅ステージ111が配置されている。

データの読み出し及び書込み時に共通に用いられ、行方向に同一線上に位置した第1増幅ステージ111が共用する第1データバス112がそれぞれのステージを通して配置されている。第1スイッチング部113がそれぞれの第1データバス112と連結されている。本実施形態においては、セル100のいくつかの列がグループ化され、それぞれのグループ毎に第2データバス114₁, 114₂, ... 114_Nを設け、それぞれの第2データバス毎に第1スイッチング部113を介して第1データバスが接続される。それぞれの第2データバスにはそれぞれ第2増幅ステージ115₁ ~ 115_Nが配置されている。

さらに、それぞれの第2増幅ステージ115₁ ~ 115_Nには第2スイッチング部119₁ ~ 119_Nが連結され、それらの出力が第3データバス116を介して第3増幅ステージ117に送られるようになっている。

【0047】

以下、本発明の第2実施形態による動作を説明する。

まず、ビットラインの信号を第1増幅ステージ111で増幅して第1データバス112へ送り、その後、第1スイッチング部113を介して第2データバス114へ送る過程は本発明の第1実施形態と同様である。したがって、本第2実施形態では第2増幅ステージ114₁, 114₂, ... 114_Nから第3データバス116及び第3増幅ステージ117へ信号が伝達される過程についてのみ説明する。

【0048】

図面に示すように、複数の第2データバス114₁, 114₂, ... 114_Nが形成され、それぞれの第2データバス114₁ ~ 114_N毎に第2増幅ステージ115₁ ~ 115_Nが連結されている。それぞれの第2増幅ステージ115₁ ~ 115_Nは自分と連結されている第2データバス114₁ ~ 114_Nを介して送られてきた信号をセンシング及び増幅する。

【0049】

第2増幅ステージ115₁ ~ 115_Nで増幅された信号は第2スイッチング部119₁ ~ 119_Nによってどのステージで増幅された信号が第3データバス116へ伝達されるかが決定されるが、第2スイッチング部119₁ ~ 119_Nは第2増幅ステージ115₁ ~ 115_N毎に連結されているので、第2スイッチング部119₁ ~ 119_Nのうちどれがターオンされるかに従って、第3データバス116へ伝達されるセルアレイ部110のデータが決定される。したがって、複数個の第2スイッチング部119₁, ... 119_Nのうちターオンしたスイッチング部を通過した信号が第3データバス116へ伝達される。第3データバス116は第3増幅ステージ117へ信号を伝達する。

このとき、第3増幅ステージ117は第3データバス116を介して伝達される信号をセンシング及び増幅してその値を入/出力パッドに出力する。ここで、一つの第1データバスがn/2ビットに構成されると、一つの第2データバスはnビットに構成される。

【0050】

一方、図13は本発明の第3実施形態を示した。

この第3実施形態はセルアレイ部が行方向にのみ形成された場合を示す。すなわち、高集積度が不要ないメモリの場合、セルアレイ部をマトリクス形態に形成せず、行方向にのみ形成してもよい。このときにもデータの読み出し及び書込みを同一のデータバスを介して行うことができる。

【0051】

本発明の第1, 第2実施形態では第1データバス毎にスイッチング部が連結されていたが、第3実施形態では第1データバス112が直接第2増幅ステージ120と連結されている。セルアレイ部がカラム方向に少なくとも2列以上構成される場合、セルアレイ部の

10

20

30

40

50

うち任意の一つを選択するためにはスイッチング部が必要であったが、本発明の第3実施形態のように1列にセルアレイ部を構成すると、スイッチング部が不必要となる。すなわち、第1データバス112を直接第2増幅ステージ120と連結して、第2増幅ステージ120で上側の第1データバス112と下側の第1データバス112を介して伝達された信号を増幅して、これを第2データバス114へ伝達し、第2データバス114は再び第3増幅ステージ117へ増幅された信号を伝達する。

【0052】

図14は本発明の第4実施形態を示すものであって、セルアレイ部をマトリックス形態に構成しても、第1データバスと第2増幅ステージとの間にスイッチング部を配置せず、第2増幅ステージ120__1~120__Nの出力端にスイッチング部を構成する場合である。このような本発明の第4実施形態ではセルアレイ部100がカラム方向に設けられた数だけ第2増幅ステージ120__1~120__Nを用意している。そして、第2増幅ステージ120__1~120__Nと第2データバス114との間にスイッチング部121__1~121__Nを構成している。すなわち、複数個の第2増幅ステージ120__1~120__Nを形成し、それぞれの第2増幅ステージ毎に連結されるスイッチング部121__1~121__Nを構成する。そして、スイッチング部121__1~121__Nの出力は、第2データバス114に連結され、スイッチング部121__1~121__Nのオン/オフ状態に従って、任意のスイッチング部を通過した信号のみを第2データバス114へ伝達される。第3増幅ステージ117は第2データバス114を介して伝達された信号を増幅して、入/出力パッドに印加する。

10

20

【0053】

以上で説明した本発明の実施形態によるセンシングアンプはメモリセルのデータをセンシングして最終的に入/出力パッドに印加するときに、3段の増幅ステージを用いて、データの読み出し及び書込みを同一のデータバスを用いて行っている。これは各増幅ステージに印加されるコントロール信号を調節することで可能である。

【0054】

一方、図15は本発明の不揮発性強誘電体メモリ装置のセンシングアンプによる第1増幅ステージの構成をより詳細に示すものである。ここで、図15は第1増幅ステージを構成する複数個のセンシングアンプのうち任意の一つである。

【0055】

図15は参照信号に対してメインビットラインの信号をセンシングする第1増幅ステージを詳細に示すものである。

図に示すように、ソースに印加されるメインビットラインの信号をスイッチングする第1トランジスタT1と、ソースに印加される参照信号をスイッチングする第2トランジスタT2と、ゲートが第2トランジスタT2のソースと連結され、ドレインは第1トランジスタT1のドレインと連結される第3トランジスタT3と、ゲートが第1トランジスタT1の入力端と連結され、ドレインは第2トランジスタT2のドレインと連結される第4トランジスタT4と、ソースが接地端に連結され、ドレインは第3、第4トランジスタのドレインに共通に連結される第5トランジスタT5と、ゲートが第2トランジスタT2のドレインに連結され、ソースは電源電圧端Vccに連結され、ドレインは第1トランジスタT1のドレインと連結される第6トランジスタT6と、ゲートが第1トランジスタT1のドレインに連結され、ソースは電源電圧端に連結され、ドレインは第2トランジスタT2のドレインと連結される第7トランジスタT7と、第6トランジスタT6のドレインと第7トランジスタT7のドレインを等電位化させる第8トランジスタT8と、ソースが第3トランジスタT3のドレインに連結され、増幅したメインビットラインの信号をデータバスDB1にスイッチングする第9トランジスタT9と、ソースが第4トランジスタT4のドレインに連結され、増幅したメインビットライン信号の逆位相信号をデータバスDBB1にスイッチングする第10トランジスタT10とを備えている。

30

40

【0056】

メインビットラインの信号を第1トランジスタT1のドレインにスイッチングする第1

50

1 トランジスタ T 1 1 がさらに設けられ、参照信号を第 2 トランジスタ T 2 のソースにスイッチングする第 1 2 トランジスタ T 1 2 がさらに設けられている。そして、第 1 1 トランジスタ T 1 1 はメインビットラインコントロール信号 B L C により制御され、第 1 2 トランジスタ T 1 2 は参照ビットラインコントロール信号 R L C により制御される。

【 0 0 5 7 】

第 1 トランジスタ T 1 は増幅した信号を第 4 トランジスタ T 4 のゲートにフィードバックさせる機能をさらに含み、第 2 トランジスタ T 2 は増幅した信号を第 3 トランジスタ T 3 のゲートにフィードバックさせる機能をさらに含む。また、第 1 , 第 2 トランジスタ T 1 , T 2 はデータの書込み時にオンの状態を維持し、データの読み出し時にはオフの状態を維持する。

10

第 9 , 第 1 0 トランジスタ T 9 , T 1 0 はカラム選択信号 C S により制御される。

【 0 0 5 8 】

このような第 1 増幅ステージにおいて、第 6 , 第 7 トランジスタ T 6 , T 7 及び第 8 トランジスタ T 8 は P M O S トランジスタ P M O S で構成され、その他は N M O S トランジスタで構成されている。第 5 トランジスタ T 5 はセンシングアンプ活性化信号 S E N により動作し、第 8 トランジスタ T 8 はセンシングアンプ等電位化信号 S E Q により動作する。そして、第 1 , 第 2 トランジスタ T 1 , T 2 のゲートにはラッチイネーブルコントロール信号 L E C が印加される。

【 0 0 5 9 】

このように構成された第 1 増幅ステージの動作を以下に説明する。

20

まず、プリチャージの間はメインビットラインコントロール信号 B L C と参照ビットラインコントロール信号 R L C 及びラッチイネーブルコントロール信号 L E C が「ハイ」レベルとなり、カラム選択信号 C S , センシングアンプ活性化信号 S E N 及びセンシングアンプ等電位化信号 S E Q は「ロー」レベルとなる。

【 0 0 6 0 】

読み出しモードで活性化する時は、センシングアンプ等電位化信号 S E Q とセンシングアンプ活性化信号 S E N は「ハイ」レベルとなり、メインビットラインコントロール信号 B L C と参照ビットラインコントロール信号 B L C 及びラッチイネーブルコントロール信号 L E C は「ロー」レベルにセットアップされる。したがって、メインビットラインの信号は増幅されて、データバス D B 1 とデータバーバス D B B 1 を介して第 2 増幅ステージ

30

【 0 0 6 1 】

次いで、書込みモードの場合はセンシングアンプの活性化信号 S E N が「ハイ」レベルに変わる前に、センシングアンプ等電位化信号 S E Q , カラム選択信号 C S , そして、ラッチイネーブルコントロール信号 L E C を「ハイ」レベルにセットアップさせる。したがって、セルに書込むデータがデータバス D B 1 とデータバーバス D B B 1 を介して入力され、メインビットラインへ伝達される。

【 0 0 6 2 】

40

メインビットラインに十分伝達されると、残りの信号はそのまま維持した状態でセンシングアンプの活性化信号 S E N を「ハイ」レベルに遷移させる。したがって、第 1 増幅ステージが活性化状態となり、書き込むデータをメインビットラインを介して当該セルへ伝達する。このように、第 1 増幅ステージに印加されるコントロール信号を適切に調節し、セルのデータを読み出してデータバス及びデータバーバスを介して出力する読み出し動作と、データバス及びデータバーバスを介して入ってくる書込むデータを、メインビットラインを介して当該セルに格納する書込み動作を行うことができる。

【 0 0 6 3 】

参考のため、図 1 6 に図 1 5 の回路構成において読み出しモード時のノード S N 1 及び S N 2 における出力波形の変化を示す。区間 A はプリチャージ区間であり、区間 B は増幅

50

区間であり、区間Cは疑似ラッチ区間であり、区間Dは実際のラッチ区間である。そして、区間Eは出力区間を表す。

【0064】

図17は本発明の不揮発性強誘電体メモリ装置による第2増幅ステージの詳細構成図である。

この回路は、図17に示すように、データバスDB1及びデータバーバスDBB1を介して伝達される信号をセンシングして、その出力を外のデータバスDB2及びデータバーバスDBB2に印加するセンシングアンプである。ソースに印加されるデータバスDB1の信号をスイッチングする第1トランジスタT1と、ソースに印加されるデータバーバスDBB1の信号をスイッチングする第2トランジスタT2と、ゲートが第2トランジスタT2のソースと連結され、ドレインは第1トランジスタT1のドレインと連結される第3トランジスタT3と、ゲートが第1トランジスタT1の入力端と連結され、ドレインは第2トランジスタT2のソースと連結される第4トランジスタT4と、ソースが接地端に連結され、ドレインは第3、第4トランジスタT3、T4のソースと共通に連結される第5トランジスタT5と、ゲートが第2トランジスタT2のドレインに連結され、ソースは電源電圧端Vccに連結され、ドレインは前期第1トランジスタT1のドレインと連結される第6トランジスタT6と、ゲートが第1トランジスタT1のドレインに連結され、ソースは電源電圧端に連結され、ドレインは第2トランジスタT2のドレインと連結される第7トランジスタT7と、第6トランジスタT6のドレインと第7トランジスタT7のドレインを等電位化させる第8トランジスタT8と、ソースが第3トランジスタT3のドレインに連結され、データバスDB1とデータバーバスDBB1とを等電位化させる第9トランジスタT9とで構成される。

10

20

【0065】

ここで、第1トランジスタT1は増幅した信号を前期第4トランジスタT4のゲートにフィードバックさせる機能をさらに含み、第2トランジスタT2は増幅した信号を第3トランジスタT3のゲートにフィードバックさせる機能をさらに含む。

【0066】

第6、第7トランジスタT6、T7及び第8トランジスタT8はPMOSトランジスタPMOSで、その他はNMOSトランジスタで構成する。第9トランジスタT9はデータバスDB1とデータバーバスDBB1を等電位化させる信号DLEQにより動作し、第5トランジスタT5はセンシングアンプ活性化信号DSENにより動作する。第8トランジスタT8はセンシングアンプ等電位化信号DSENにより動作する。そして、第1、第2トランジスタT1、T2のゲートにはラッチイネーブルコントロール信号DLECが印加される。

30

【0067】

このように構成された第2増幅ステージの動作を以下に説明する。

まず、プリチャージの間はデータバスDB1とデータバーバスDBB1とを等電位化させるデータバス等電位化信号DLEQ及びラッチイネーブルコントロール信号DLECは「ハイ」レベルであり、センシングアンプ等電位化信号DSEQとセンシングアンプ活性化信号DSENは「ロー」レベルである。したがって、第1増幅ステージの出力をインターフェースするデータバスDB1及びデータバーバスDBB1は「ハイ」レベルにプリチャージされる。

40

【0068】

読み出しモードの活性化時には、センシングアンプ等電位化信号DSEQ及びセンシングアンプ活性化信号DSENが「ハイ」レベルとなり、データライン等電位化信号DLEQ及びラッチイネーブルコントロール信号DLECが「ロー」レベルにセットアップされると、データバスDB1及びデータバーバスDBB1の信号が増幅される。この際、ラッチイネーブルコントロール信号DLECは「ロー」レベルに変わり、データバスDB1とデータバーバスDBB1は第2増幅ステージの出力をインターフェースするデータバスDB2及びデータバーバスDBB2とは互いに分離される。

50

【 0 0 6 9 】

書込みモードの場合は、センシングアンプ活性化信号 D S E N が「ハイ」レベルと変わる前に、センシングアンプ等電位化信号 D S E Q 及びラッチイネーブルコントロール信号 D L E C を「ハイ」レベルにセットアップさせ、データバス等電位化信号 D L E Q は「ロー」レベルにセットアップさせる。したがって、セルに書込む出力側のデータがデータバス D B 2 とデータバーバス D B B 2 を介して入力され、入力側のデータバス D B 1 とデータバーバス D B B 1 へ伝達される。

書込むデータがデータバス D B 1 及びデータバーバス D B B 1 へ十分伝達されると、残りの信号はそのまま維持した状態で、センシングアンプの活性化信号 D S E N を「ハイ」レベルに遷移させる。したがって、第 2 増幅ステージが活性化状態となって増幅したデータ（セルに書込むデータ）が第 1 増幅ステージへ伝達され、結局メインビットラインを介してデータを書込むことができる。

10

【 0 0 7 0 】

図 1 8 は本発明の不揮発性強誘電体メモリ装置のセンシングアンプによる第 3 増幅ステージの例をより詳細に示すものである。

図 1 8 に示す第 3 増幅ステージは第 2 増幅ステージからデータバス D B 2 とデータバーバス D B B 2 を介して伝達された信号を増幅して、入/出力パッドへ伝達する。

その構成を見ると、データバス D B 2 を介して伝達される信号をスイッチングする第 1 トランジスタ T 1 と、データバーバス D B B 2 を介して伝達された信号をスイッチングする第 2 トランジスタ T 2 とを備えている。さらに、第 1 トランジスタ T 1 のソースと第 2 トランジスタ T 2 のソースとを等電位化させる第 3 トランジスタ T 3 と、第 1 トランジスタ T 1 のドレインと第 2 トランジスタ T 2 のドレインとを等電位化させる第 4 トランジスタ T 4 と、ソースに印加されるデータバス D B 2 の信号をスイッチングする第 5 トランジスタ T 5 と、ソースに印加されるデータバーバス D B B 2 の信号をスイッチングする第 6 トランジスタ T 6 と、ゲートが第 6 トランジスタ T 6 のソースと連結され、ドレインは第 5 トランジスタのドレインと連結される第 7 トランジスタ T 7 と、ゲートが第 5 トランジスタ T 5 の入力端と連結され、ドレインは第 6 トランジスタ T 6 のドレインと連結される第 8 トランジスタ T 8 と、ソースが接地端に連結され、ドレインは第 7 , 第 8 トランジスタ T 7 , T 8 トランジスタ T 7 , T 8 のソースと共通に連結される第 9 トランジスタ T 9 と、ゲートが第 6 トランジスタ T 6 のドレインに連結され、ソースは電源電圧端に連結され、ドレインは第 5 トランジスタ T 5 のドレインと連結される第 1 0 トランジスタ T 1 0 と、ゲートが第 5 トランジスタ T 5 のドレインに連結され、ソースは電源電圧端に連結され、ドレインは第 6 トランジスタ T 6 のドレインと連結される第 1 1 トランジスタ T 1 1 と、第 1 0 トランジスタ T 1 0 のドレインと第 1 1 トランジスタ T 1 1 のドレインとを等電位化させる第 1 2 トランジスタ T 1 2 と、増幅した信号を入/出力パッドにスイッチングする第 1 3 トランジスタ T 1 3 とで構成される。

20

30

【 0 0 7 1 】

ここで、第 3 トランジスタ T 3 と第 4 トランジスタ T 4 は、データバス D B 2 とデータバーバス D B B 2 とを等電位化させるデータバス等電位化信号 D L O E Q により制御される。そして、第 5 トランジスタ T 5 は増幅した信号を第 8 トランジスタ T 8 のゲートにフィードバックさせる機能をさらに含み、第 6 トランジスタ T 6 は増幅した信号を第 7 トランジスタ T 7 のゲートにフィードバックさせる機能をさらに含む。第 9 トランジスタ T 9 はセンシングアンプ活性化信号 D O S E N により動作し、第 1 2 トランジスタ T 1 2 はセンシングアンプ等電位化信号 D O S E Q により動作する。第 5 トランジスタ T 5 と第 6 トランジスタ T 6 のゲートにはラッチイネーブルコントロール信号 D O L E C が印加される。

40

【 0 0 7 2 】

第 1 , 第 2 トランジスタ T 1 , T 2 と第 3 , 第 4 トランジスタ T 3 , T 4 はデータバスとデータバーバスに載せられたデータをスイッチングするとともに二つのバスを等電位化させる機能を果たしている。参考として説明すると、各実施形態におけるスイッチング部

50

は、それぞれデータバスに載せられた信号をスイッチングする第1トランジスタT1とデータバスに載せられた信号をスイッチングする第2トランジスタT2と、第1,第2トランジスタT1,T2の入力端を等電位化させる第3トランジスタT3と、第1,第2トランジスタT1,T2の出力端を等電位化させる第4トランジスタT4とで構成される。

【0073】

このように構成された本実施形態による第3増幅ステージの動作を以下に説明する。

まず、プリチャージの間は第3増幅ステージの入力側のデータバスDB2及びデータバスDBB2は「ハイ」レベルにプリチャージされる。この際、第1,第2トランジスタT1,T2のゲートに印加される制御信号DOC1と第3,第4トランジスタT3,T4のゲートに印加される制御信号DLOEQは「ハイ」レベルであり、センシングアンプ活性化信号DOSENとセンシングアンプ等電位化信号DOSEQ及びラッチイネーブルコントロール信号DOLECは「ロー」レベルである。

10

【0074】

読み出しモードで活性化する時は第3,第4トランジスタT3,T4のゲートに印加される制御信号DLOEQのみ「ロー」レベルとなり、その他のDOC1,DLOEQ,DOSEN,DOSEQ信号及び増幅した信号を入/出力バッファにスイッチングする第13トランジスタT13のゲートに印加される制御信号DOCSは、「ハイ」レベルにセットアップされ、データバスDB2とデータバスDBB2の信号が増幅された後、入/出力バッファを介して入/出力パッドに印加される。

20

【0075】

書込みモードでは、センシングアンプ活性化信号DOSENが「ハイ」レベルになる前に、制御信号を調節して入/出力バッファ部から入力される信号(書込むデータ)が第3増幅ステージのデータバスDB2とデータバスDBB2とへ伝達されるようにする。書込むデータがデータバスDB2とデータバスDBB2へ十分伝達されると、残りの信号をそのまま維持した状態でセンシングアンプ活性化信号DOSENのみを「ハイ」レベルに遷移させる。

【0076】

したがって、第3増幅ステージが活性化状態となって増幅を行い、増幅した信号はデータバスDB2及びデータバスDBB2を介して第2増幅ステージへ伝達される。

30

第2増幅ステージは、データバスDB2及びデータバスDBB2を介して伝達された信号を増幅し、データバスDB1及びデータバスDBB1を介して第1増幅ステージへ伝達する。

その後、第1増幅ステージは入力された信号をセンシングして、メインビットラインを介してセルへ伝達することで書込み動作が完了する。

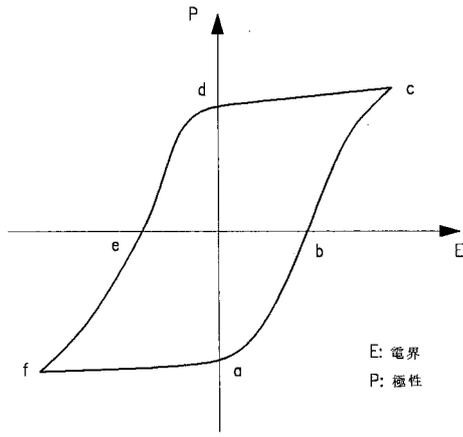
【符号の説明】

【0077】

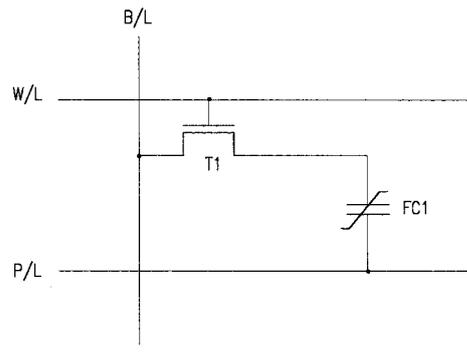
111...第1増幅ステージ、112...第1データバス、113...スイッチング部、114...第2データバス、115...第2増幅ステージ、116...第3データバス、117...第3増幅ステージ

40

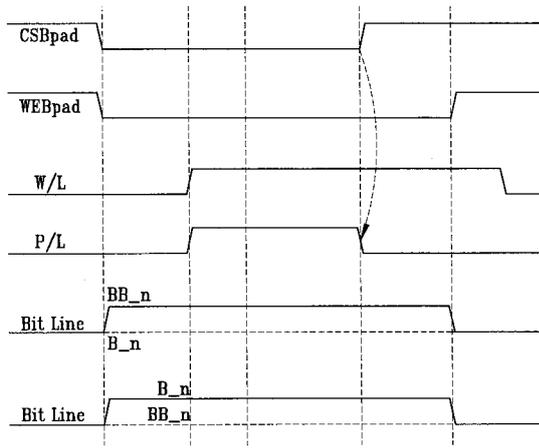
【 図 1 】



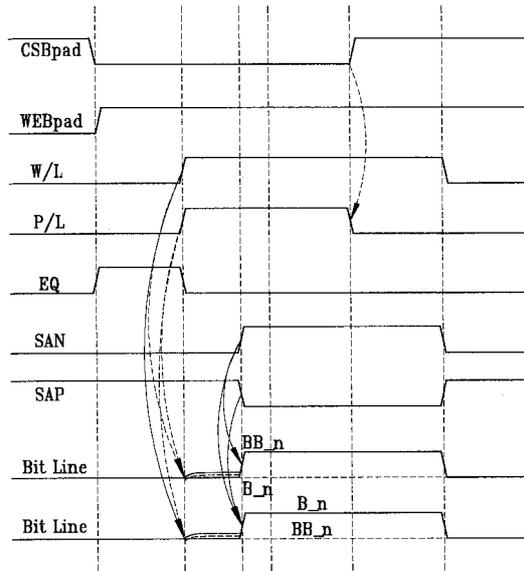
【 図 2 】



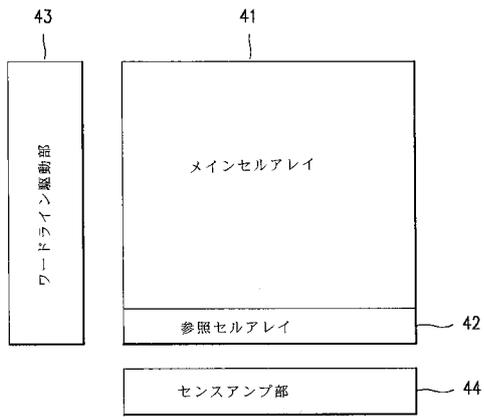
【 図 3 a 】



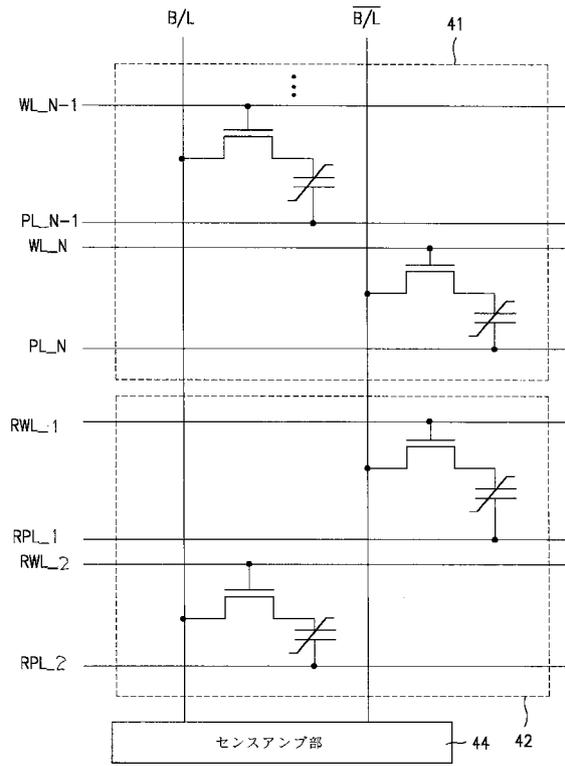
【 図 3 b 】



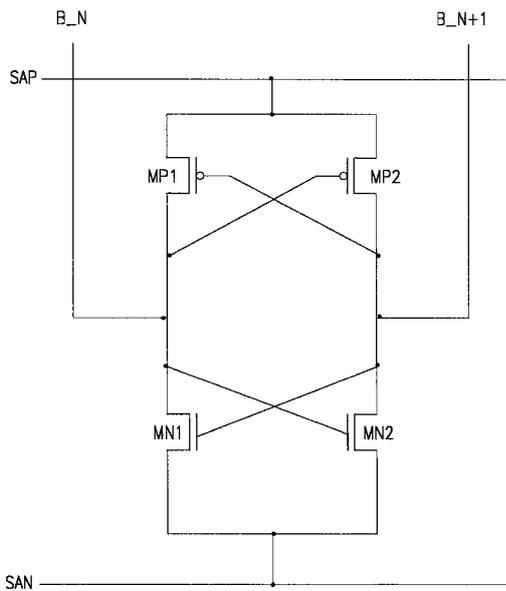
【 図 4 】



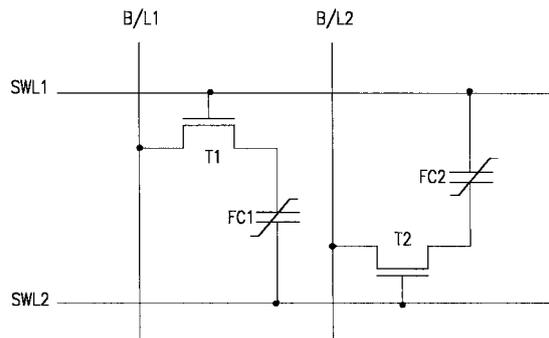
【 図 5 】



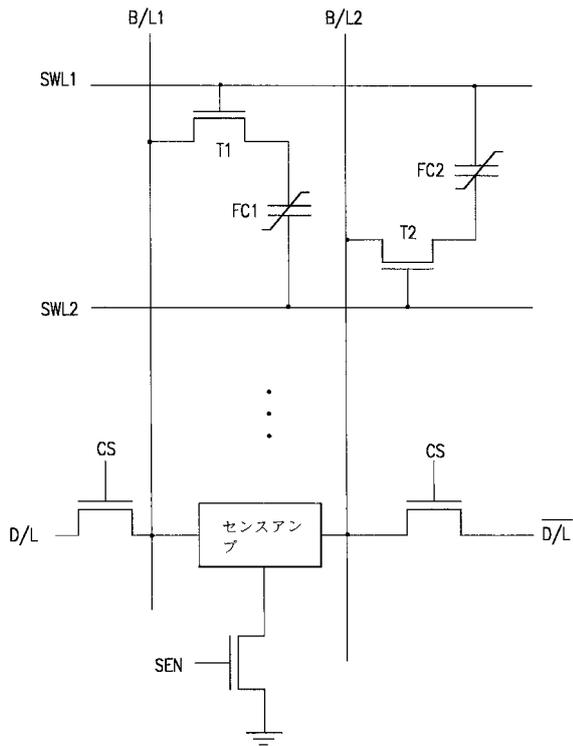
【 図 6 】



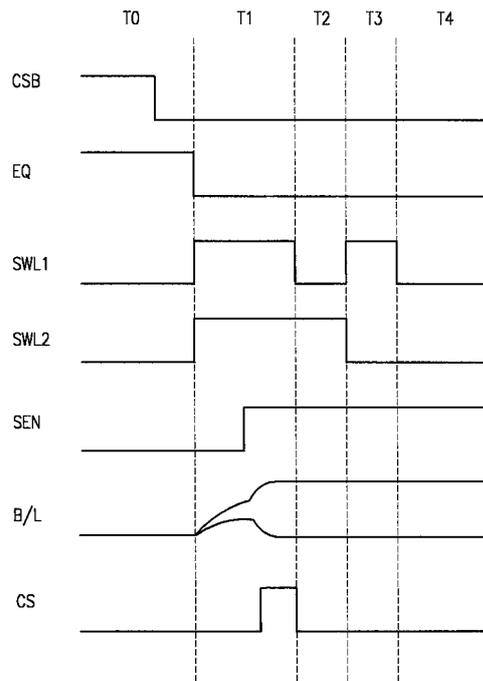
【 図 7 】



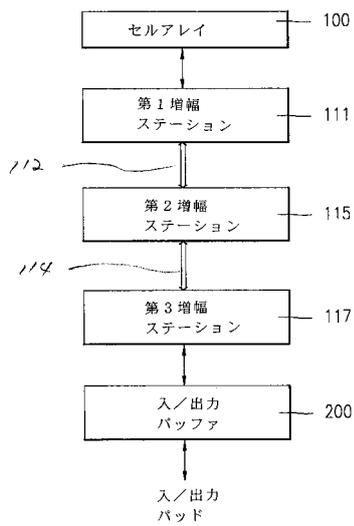
【 図 8 】



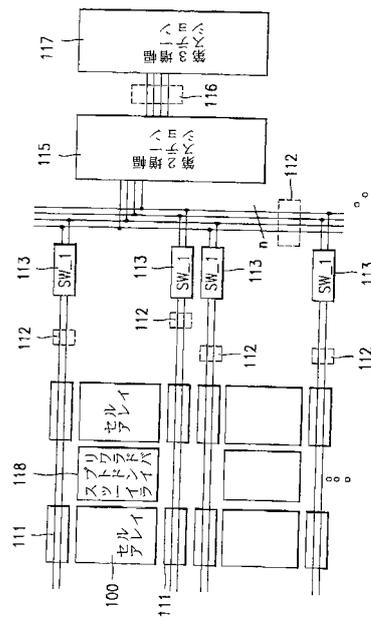
【 図 9 】



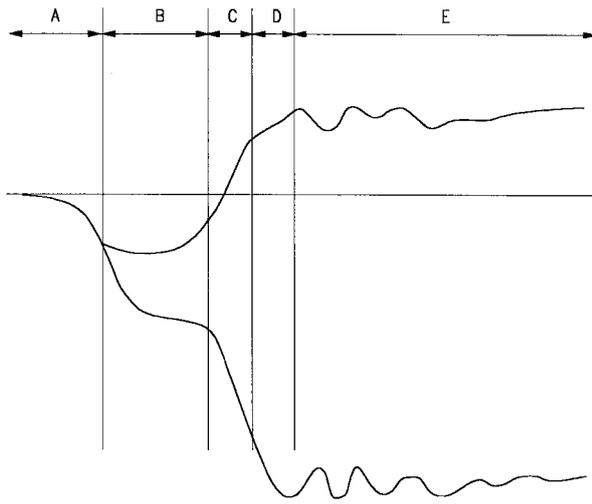
【 図 10 】



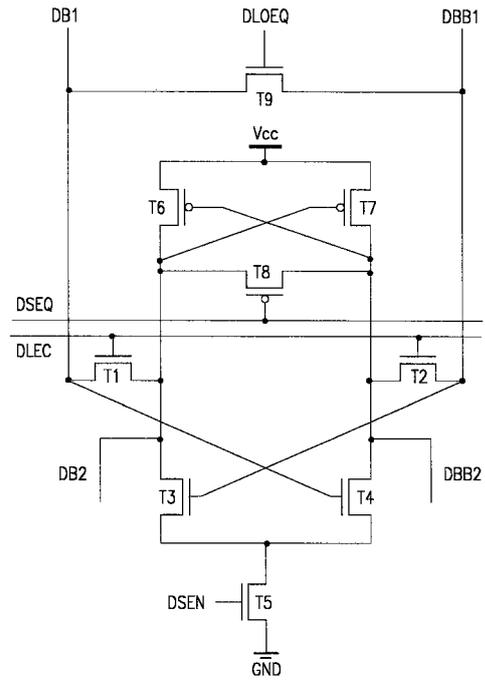
【 図 11 】



【 図 1 6 】



【 図 1 7 】



【 図 1 8 】

