



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0088606
(43) 공개일자 2022년06월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2022.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2020-0179029
(22) 출원일자 2020년12월18일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이창호
서울특별시 서초구 서운로 11, 서초대우디오빌
김성호
경기도 수원시 영통구 영통로514번길 53 (영통동, 황골마을주공2단지아파트) 224동 104호
(뒷면에 계속)
(74) 대리인
박영우

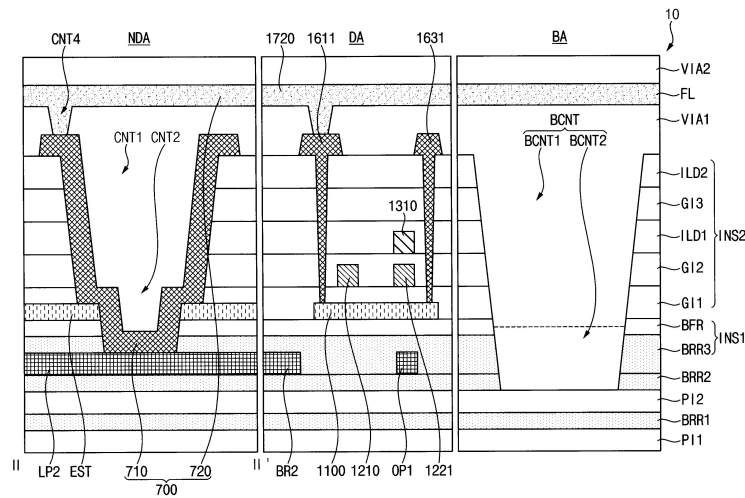
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 표시 장치 및 이의 제조 방법

(57) 요약

표시 장치는 표시 영역 및 상기 표시 영역을 둘러싸는 비표시 영역을 포함하는 기관, 기관 상에 배치되고 상기 표시 영역과 중첩하는 제1 하부 패턴, 제1 하부 패턴과 동일한 층에 배치되고 상기 비표시 영역과 중첩하며 제1 하부 패턴과 일체로 형성되는 제2 하부 패턴, 제2 하부 패턴 상에 배치되는 에치 스톱퍼, 제1 하부 패턴 상에 배치되는 전원 전압 배선, 및 에치 스톱퍼 상에 배치되고 전원 전압 배선과 연결되며 에치 스톱퍼를 관통하는 콘택 홀을 통해 제2 하부 패턴과 접촉하는 전달 패턴을 포함한다.

대표도



(52) CPC특허분류

H01L 27/124 (2013.01)
H01L 27/1248 (2013.01)
H01L 27/1259 (2013.01)
H01L 27/3258 (2013.01)
H01L 27/3272 (2013.01)
H01L 2227/323 (2013.01)
H01L 2251/5338 (2013.01)

(72) 발명자

성석제

경기도 성남시 분당구 중앙공원로 54, 시범단지우
성아파트 211동 1203호

조윤중

경기 성남시 분당구 불정로 397(서현동, 효자촌입
광아파트) 310동 1003호

조혜리

충청남도 아산시 탕정면 삼성로 261

명세서

청구범위

청구항 1

표시 영역 및 상기 표시 영역을 둘러싸는 비표시 영역을 포함하는 기관;

상기 기관 상에 배치되고, 상기 표시 영역과 중첩하는 제1 하부 패턴;

상기 제1 하부 패턴과 동일한 층에 배치되고, 상기 비표시 영역과 중첩하며, 상기 제1 하부 패턴과 일체로 형성되는 제2 하부 패턴;

상기 제2 하부 패턴 상에 배치되는 에치 스톱퍼;

상기 제1 하부 패턴 상에 배치되는 전원 전압 배선; 및

상기 에치 스톱퍼 상에 배치되고, 상기 전원 전압 배선과 연결되며, 상기 에치 스톱퍼를 관통하는 콘택홀을 통해 상기 제2 하부 패턴과 접촉하는 전달 패턴을 포함하는 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 하부 패턴 상에 배치되고, 상기 제1 하부 패턴과 중첩하는 제1 액티브 패턴을 더 포함하고,

상기 에치 스톱퍼는 상기 제1 액티브 패턴과 동일한 층에 배치되는 것을 특징으로 하는 표시 장치.

청구항 3

제1 항에 있어서, 상기 에치 스톱퍼는 실리콘 반도체를 포함하는 것을 특징으로 하는 표시 장치.

청구항 4

제1 항에 있어서, 상기 에치 스톱퍼는 산화물 반도체를 포함하는 것을 특징으로 하는 표시 장치.

청구항 5

제1 항에 있어서, 상기 전달 패턴은

상기 제2 하부 패턴과 접촉하는 제1 패턴; 및

상기 제1 패턴 상에 배치되고, 상기 제1 패턴과 접촉하며, 상기 전원 전압 배선과 일체로 형성되는 제2 패턴을 포함하는 것을 특징으로 하는 표시 장치.

청구항 6

제1 항에 있어서, 상기 제1 하부 패턴은

게이트 전극과 중첩하는 중첩 패턴;

상기 중첩 패턴과 연결되고, 제1 방향으로 연장하는 제1 브릿지들; 및

상기 중첩 패턴과 연결되고, 상기 제1 방향과 교차하는 제2 방향으로 연장하며, 상기 전원 전압 배선과 중첩하는 제2 브릿지들을 포함하며,

상기 제2 하부 패턴은 상기 제1 방향으로 연장하고, 상기 제2 브릿지들과 연결되는 것을 특징으로 하는 표시 장치.

청구항 7

제1 항에 있어서,

상기 제1 하부 패턴 상에 배치되고, 상기 제1 하부 패턴과 중첩하는 제1 액티브 패턴; 및
 상기 제1 액티브 패턴 상에 배치되고, 상기 제1 하부 패턴과 중첩하는 게이트 전극을 더 포함하고,
 상기 에치 스톱퍼는 상기 게이트 전극과 동일한 층에 배치되는 것을 특징으로 하는 표시 장치.

청구항 8

제1 항에 있어서,
 상기 기관 및 상기 제2 하부 패턴 사이에 배치되는 제1 배리어층; 및
 상기 제2 하부 패턴 상에 배치되는 제2 배리어층을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 9

제1 항에 있어서, 상기 기관은 상기 비표시 영역에 포함되는 벤딩 영역을 더 포함하고,
 상기 벤딩 영역과 중첩하는 절연층은 식각홀에 의해 관통되며,
 상기 식각홀의 깊이는 상기 콘택홀의 깊이보다 큰 것을 특징으로 하는 표시 장치.

청구항 10

제1 항에 있어서, 상기 콘택홀은 제1 콘택홀 및 상기 제1 콘택홀과 연결되는 제2 콘택홀을 포함하고,
 상기 제2 콘택홀의 평면 면적은 상기 제1 콘택홀의 평면 면적보다 작은 것을 특징으로 하는 표시 장치.

청구항 11

기관 상에, 제1 하부 패턴 및 제2 하부 패턴을 일체로 형성하는 단계;
 상기 제1 하부 패턴 및 상기 제2 하부 패턴 상에, 제1 절연층을 형성하는 단계;
 상기 제1 절연층 상에, 상기 제2 하부 패턴과 중첩하는 에치 스톱퍼를 형성하는 단계;
 상기 제1 절연층 상에, 상기 에치 스톱퍼를 커버하는 제2 절연층을 형성하는 단계;
 상기 제2 절연층 상에, 상기 제1 하부 패턴과 중첩하는 전원 전압 배선을 형성하는 단계;
 상기 제2 절연층을 관통하고, 상기 에치 스톱퍼를 노출시키는 제1 콘택홀을 형성하는 단계;
 상기 제1 콘택홀과 연결되고, 상기 에치 스톱퍼 및 상기 제1 절연층을 관통하며, 상기 제2 하부 패턴을 노출시키는 제2 콘택홀을 형성하는 단계; 및
 상기 에치 스톱퍼 상에, 상기 전원 전압 배선과 연결되며, 상기 제1 콘택홀 및 상기 제2 콘택홀을 통해 상기 제2 하부 패턴과 접촉하는 전달 패턴을 형성하는 단계를 포함하는 표시 장치의 제조 방법.

청구항 12

제11 항에 있어서, 상기 기관은 상기 제1 절연층 및 상기 제2 절연층이 식각홀에 의해 관통된 벤딩 영역을 포함하고,
 상기 식각홀은 상기 제1 콘택홀 및 상기 제2 콘택홀과 함께 형성되는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 13

제12 항에 있어서, 상기 식각홀은 상기 제1 절연층을 노출시키는 제1 식각홀 및 상기 제1 식각홀과 연결되는 제2 식각홀을 포함하고,
 상기 제2 식각홀의 깊이는 상기 제2 콘택홀의 깊이보다 큰 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 14

제11 항에 있어서,

상기 제1 절연층 상에, 상기 제1 하부 패턴과 중첩하는 액티브 패턴을 형성하는 단계를 더 포함하고,
상기 에치 스톱퍼는 상기 액티브 패턴과 함께 형성되는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 15

제14 항에 있어서, 상기 에치 스톱퍼는 실리콘 반도체를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 16

제14 항에 있어서, 상기 에치 스톱퍼는 산화물 반도체를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 17

제14 항에 있어서,

상기 제2 절연층을 관통하고, 상기 액티브 패턴을 노출시키는 제3 콘택홀을 형성하는 단계를 더 포함하고,

상기 제3 콘택홀은 상기 제1 콘택홀과 함께 형성되는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 18

제11 항에 있어서, 상기 전달 패턴은

상기 제1 콘택홀 및 상기 제2 콘택홀을 통해 상기 제2 하부 패턴과 접촉하는 제1 패턴; 및

상기 제1 패턴 상에 배치되고, 상기 제1 패턴과 접촉하며, 상기 전원 전압 배선과 일체로 형성되는 제2 패턴을 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 19

제11 항에 있어서, 상기 제2 콘택홀의 평면 면적은 상기 제1 콘택홀의 평면 면적보다 작은 것을 특징으로 하는 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 하부 패턴을 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 표시 패널을 포함하며, 상기 표시 패널에는 액티브 패턴을 포함하는 트랜지스터들이 배치된다. 상기 표시 패널로 제공되는 신호 및 전압에 의해 상기 표시 패널의 내부에는 전기장이 발생할 수 있다. 상기 전기장에 의해 상기 표시 패널의 기관에 포함된 유기 물질들이 분극될 수 있다. 상기 분극된 유기 물질들은 상기 표시 패널에 포함된 상기 액티브 패턴에 전기적인 영향을 미칠 수 있다. 그에 따라, 상기 트랜지스터들의 전기적 특성이 변경될 수 있다. 이로 인해, 표시 장치의 표시 품질이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 표시 장치를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 상기 표시 장치를 제조하는 방법을 제공하는 것이다.

[0005] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0006] 진술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 표시 장치는 표시 영역 및 상기 표

시 영역을 둘러싸는 비표시 영역을 포함하는 기관, 상기 기관 상에 배치되고, 상기 표시 영역과 중첩하는 제1 하부 패턴, 상기 제1 하부 패턴과 동일한 층에 배치되고, 상기 비표시 영역과 중첩하며, 상기 제1 하부 패턴과 일체로 형성되는 제2 하부 패턴, 상기 제2 하부 패턴 상에 배치되는 에치 스톱퍼, 상기 제1 하부 패턴 상에 배치되는 전원 전압 배선, 및 상기 에치 스톱퍼 상에 배치되고, 상기 전원 전압 배선과 연결되며, 상기 에치 스톱퍼를 관통하는 콘택홀을 통해 상기 제2 하부 패턴과 접촉하는 전달 패턴을 포함할 수 있다.

- [0007] 일 실시예에 의하면, 상기 표시 장치는 상기 제1 하부 패턴 상에 배치되고, 상기 제1 하부 패턴과 중첩하는 제1 액티브 패턴을 더 포함하고, 상기 에치 스톱퍼는 상기 제1 액티브 패턴과 동일한 층에 배치될 수 있다.
- [0008] 일 실시예에 의하면, 상기 에치 스톱퍼는 실리콘 반도체를 포함할 수 있다.
- [0009] 일 실시예에 의하면, 상기 에치 스톱퍼는 산화물 반도체를 포함할 수 있다.
- [0010] 일 실시예에 의하면, 상기 전달 패턴은 상기 제2 하부 패턴과 접촉하는 제1 패턴 및 상기 제1 패턴 상에 배치되고, 상기 제1 패턴과 접촉하며, 상기 전원 전압 배선과 일체로 형성되는 제2 패턴을 포함할 수 있다.
- [0011] 일 실시예에 의하면, 상기 제1 하부 패턴은 게이트 전극과 중첩하는 중첩 패턴, 상기 중첩 패턴과 연결되고, 제1 방향으로 연장하는 제1 브릿지들, 및 상기 중첩 패턴과 연결되고, 상기 제1 방향과 교차하는 제2 방향으로 연장하며, 상기 전원 전압 배선과 중첩하는 제2 브릿지들을 포함하며, 상기 제2 하부 패턴은 상기 제1 방향으로 연장하고, 상기 제2 브릿지들과 연결될 수 있다.
- [0012] 일 실시예에 의하면, 상기 표시 장치는 상기 제1 하부 패턴 상에 배치되고, 상기 제1 하부 패턴과 중첩하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 배치되고, 상기 제1 하부 패턴과 중첩하는 게이트 전극을 더 포함하고, 상기 에치 스톱퍼는 상기 게이트 전극과 동일한 층에 배치될 수 있다.
- [0013] 일 실시예에 의하면, 상기 표시 장치는 상기 기관 및 상기 제2 하부 패턴 사이에 배치되는 제1 배리어층 및 상기 제2 하부 패턴 상에 배치되는 제2 배리어층을 더 포함할 수 있다.
- [0014] 일 실시예에 의하면, 상기 기관은 상기 비표시 영역에 포함되는 벤딩 영역을 더 포함하고, 상기 벤딩 영역과 중첩하는 절연층은 식각홀에 의해 관통되며, 상기 식각홀의 깊이는 상기 콘택홀의 깊이보다 클 수 있다.
- [0015] 일 실시예에 의하면, 상기 콘택홀은 제1 콘택홀 및 상기 제1 콘택홀과 연결되는 제2 콘택홀을 포함하고, 상기 제2 콘택홀의 평면 면적은 상기 제1 콘택홀의 평면 면적보다 작을 수 있다.
- [0016] 전술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 표시 장치의 제조 방법은 기관 상에, 제1 하부 패턴 및 제2 하부 패턴을 일체로 형성하는 단계, 상기 제1 하부 패턴 및 상기 제2 하부 패턴 상에, 제1 절연층을 형성하는 단계, 상기 제1 절연층 상에, 상기 제2 하부 패턴과 중첩하는 에치 스톱퍼를 형성하는 단계, 상기 제1 절연층 상에, 상기 에치 스톱퍼를 커버하는 제2 절연층을 형성하는 단계, 상기 제2 절연층 상에, 상기 제1 하부 패턴과 중첩하는 전원 전압 배선을 형성하는 단계, 상기 제2 절연층을 관통하고, 상기 에치 스톱퍼를 노출시키는 제1 콘택홀을 형성하는 단계, 상기 제1 콘택홀과 연결되고, 상기 에치 스톱퍼 및 상기 제1 절연층을 관통하며, 상기 제2 하부 패턴을 노출시키는 제2 콘택홀을 형성하는 단계, 및 상기 에치 스톱퍼 상에, 상기 전원 전압 배선과 연결되며, 상기 제1 콘택홀 및 상기 제2 콘택홀을 통해 상기 제2 하부 패턴과 접촉하는 전달 패턴을 형성하는 단계를 포함할 수 있다.
- [0017] 일 실시예에 의하면, 상기 기관은 상기 제1 절연층 및 상기 제2 절연층이 식각홀에 의해 관통된 벤딩 영역을 포함하고, 상기 식각홀은 상기 제1 콘택홀 및 상기 제2 콘택홀과 함께 형성될 수 있다.
- [0018] 일 실시예에 의하면, 상기 식각홀은 상기 제1 절연층을 노출시키는 제1 식각홀 및 상기 제1 식각홀과 연결되는 제2 식각홀을 포함하고, 상기 제2 식각홀의 깊이는 상기 제2 콘택홀의 깊이보다 클 수 있다.
- [0019] 일 실시예에 의하면, 상기 제조 방법은 상기 제1 절연층 상에, 상기 제1 하부 패턴과 중첩하는 액티브 패턴을 형성하는 단계를 더 포함하고, 상기 에치 스톱퍼는 상기 액티브 패턴과 함께 형성될 수 있다.
- [0020] 일 실시예에 의하면, 상기 에치 스톱퍼는 실리콘 반도체를 포함할 수 있다.
- [0021] 일 실시예에 의하면, 상기 에치 스톱퍼는 산화물 반도체를 포함할 수 있다.
- [0022] 일 실시예에 의하면, 상기 제조 방법은 상기 제2 절연층을 관통하고, 상기 액티브 패턴을 노출시키는 제3 콘택홀을 형성하는 단계를 더 포함하고, 상기 제3 콘택홀은 상기 제1 콘택홀과 함께 형성될 수 있다.
- [0023] 일 실시예에 의하면, 상기 전달 패턴은 상기 제1 콘택홀 및 상기 제2 콘택홀을 통해 상기 제2 하부 패턴과 접촉

하는 제1 패턴 및 상기 제1 패턴 상에 배치되고, 상기 제1 패턴과 접촉하며, 상기 전원 전압 배선과 일체로 형성되는 제2 패턴을 포함할 수 있다.

[0024] 일 실시예에 의하면, 상기 제2 콘택홀의 평면 면적은 상기 제1 콘택홀의 평면 면적보다 작을 수 있다.

발명의 효과

[0025] 본 발명의 실시예들에 따른 표시 장치는 기판과 액티브 패턴 사이에 배치되는 제1 하부 패턴, 상기 제1 하부 패턴과 일체로 형성되는 제2 하부 패턴, 및 상기 제2 하부 패턴과 연결되는 전달 패턴을 포함할 수 있다.

[0026] 상기 제1 하부 패턴은 게이트 전극들과 중첩할 수 있다. 그에 따라, 상기 제1 하부 패턴은 상기 기판에 포함된 유기 물질들의 분극 현상으로부터 상기 액티브 패턴을 차폐할 수 있다. 그에 따라, 트랜지스터의 전기적 특성이 변경되지 않을 수 있다.

[0027] 또한, 상기 표시 장치는 전원 전압 배선과 연결되는 전달 패턴을 포함할 수 있다. 상기 전달 패턴이 표시 패널의 상측에서 전원 전압을 재전달함에 따라, 상기 표시 패널로 제공되는 상기 전원 전압의 전압 강하가 방지될 수 있다.

[0028] 또한, 상기 전달 패턴이 상기 제2 하부 패턴을 통해 상기 제1 하부 패턴과 전기적으로 연결됨에 따라, 상기 제1 하부 패턴으로 제공되는 상기 전원 전압의 전압 강하가 방지될 수 있다.

[0029] 또한, 상기 전달 패턴은 제1 및 제2 콘택홀들을 통해 상기 제2 하부 패턴과 접촉할 수 있다. 상기 제2 콘택홀은 상기 제1 콘택홀과 연결될 수 있고, 상기 제2 하부 패턴을 노출시킬 수 있다. 상기 제1 및 제2 콘택홀들은 표시 영역(또는, 벤딩 영역)에 형성되는 콘택홀들(또는, 식각홀들)과 함께 형성될 수 있다. 그에 따라, 상기 제1 및 제2 콘택홀들을 형성하기 위한 추가 공정이 요구되지 않을 수 있다.

[0030] 또한, 상기 제2 하부 패턴 상에는 에치 스톱퍼가 추가로 배치될 수 있다. 상기 에치 스톱퍼는 상기 제2 콘택홀에 의해 관통될 수 있다. 상기 에치 스톱퍼와 절연층들 사이에 식각 선택비가 존재함에 따라, 상기 제2 콘택홀이 형성되는 동안, 상기 제2 하부 패턴이 손실(loss)되지 않을 수 있다. 그에 따라, 상기 제1 및 제2 하부 패턴의 두께들을 상대적으로 작게 설정할 수 있다. 따라서, 상기 제1 및 제2 하부 패턴들의 생산성을 증가시킬 수 있다.

[0031] 또한, 상기 제1 하부 패턴의 두께가 작게 설정됨에 따라, 상기 액티브 패턴을 결정화시키는 결정화 공정의 난도, 상기 결정화 공정을 수행하기 전에 수행되는 검사 공정의 난도, 및/또는 상기 결정화 공정을 수행한 후에 수행되는 검사 공정의 난도가 낮아질 수 있다.

[0032] 다만, 본 발명의 효과는 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 평면도이다.

도 2는 도 1의 표시 장치를 나타내는 블록도이다.

도 3은 도 2의 표시 장치에 포함된 제1 화소의 등가 회로도이다.

도 4는 도 1의 표시 장치에 포함된 표시 패널을 나타내는 단면도이다.

도 5는 도 1의 표시 장치에 포함된 표시 패널을 나타내는 사시도이다.

도 6 내지 도 18은 도 1의 표시 장치를 설명하기 위한 레이아웃 도면들이다.

도 19는 도 18의 I-I' 선을 따라 절단한 단면도이다.

도 20 내지 도 28은 도 1의 표시 장치를 설명하기 위한 단면도들이다.

도 29는 본 발명의 다른 실시예에 따른 표시 장치를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구

성 요소에 대하여는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대한 중복된 설명은 생략하기로 한다.

- [0035] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 평면도이고, 도 2는 도 1의 표시 장치를 나타내는 블록도이며, 도 3은 도 2의 표시 장치에 포함된 제1 화소의 등가 회로도이다.
- [0036] 도 1 및 2를 참조하면, 본 발명의 일 실시예에 따른 표시 장치(10)는 표시 영역(DA) 및 비표시 영역(NDA)으로 구획될 수 있다. 상기 비표시 영역(NDA)은 벤딩 영역(BA)을 포함할 수 있다. 예를 들어, 상기 표시 영역(DA)은 제1 방향(D1)으로 연장하는 단변 및 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장하는 장변을 갖는 직사각형 형상일 수 있다. 상기 비표시 영역(NDA)은 상기 표시 영역(DA)을 둘러쌀 수 있다. 상기 벤딩 영역(BA)에는 팬아웃 배선(FL)이 배치될 수 있고, 상기 벤딩 영역(BA)은 벤딩될 수 있다.
- [0037] 상기 표시 영역(DA)에는 표시 패널(100)이 배치될 수 있다. 상기 비표시 영역(NDA)에는 데이터 구동부(200), 게이트 구동부(300), 발광 구동부(400), 타이밍 제어부(500), 전원 공급부(600), 및 전달 패턴(700)이 배치될 수 있다.
- [0038] 상기 표시 패널(100)에는 제1 화소(PX1), 제2 화소(PX2), 및 제3 화소(PX3)가 배치될 수 있다. 상기 제1 내지 제3 화소들(PX1, PX2, PX3) 각각은 데이터 배선, 게이트 배선, 발광 제어 배선, 및 전원 공급선(PL)과 전기적으로 연결될 수 있다.
- [0039] 상기 전원 공급선(PL)은 제1 내지 제3 전원 공급선들(PL1, PL2, PL3)을 포함할 수 있다. 상기 제1 전원 공급선(PL1)은 상기 제2 방향(D2)으로 연장하고, 상기 제1 화소(PX1)와 연결될 수 있다. 상기 제2 전원 공급선(PL2)은 상기 제2 방향(D2)으로 연장하고, 상기 제2 화소(PX2)와 연결될 수 있다. 상기 제3 전원 공급선(PL3)은 상기 제2 방향(D2)으로 연장하고, 상기 제3 화소(PX3)와 연결될 수 있다. 일 실시예에서, 상기 제1 전원 공급선(PL1) 및 상기 제2 전원 공급선(PL2)은 하나의 패턴(예를 들어, 도 6의 전원 전압 배선(1720))으로 형성될 수 있다. 상기 제3 전원 공급선(PL3)은 상기 패턴과 이격된 패턴으로 형성될 수 있다.
- [0040] 상기 데이터 배선은 상기 데이터 구동부(DDV)와 연결되고, 상기 제2 방향(D2)으로 연장할 수 있다. 상기 데이터 배선은 데이터 전압(DATA)을 전달할 수 있다.
- [0041] 상기 게이트 배선은 상기 게이트 구동부(300)와 연결되고, 상기 제1 방향(D1)으로 연장할 수 있다. 상기 게이트 배선은 게이트 신호(GS)를 전달할 수 있다.
- [0042] 상기 발광 제어 배선은 상기 발광 구동부(400)와 연결되고, 상기 제1 방향(D1)으로 연장할 수 있다. 상기 발광 제어 배선은 발광 제어 신호(EM)를 전달할 수 있다. 예를 들어, 상기 발광 제어 신호(EM)의 활성화 구간은 상기 표시 장치(10)의 발광 구간일 수 있으며, 상기 발광 제어 신호(EM)의 비활성화 구간은 상기 표시 장치(10)의 비발광 구간일 수 있다.
- [0043] 상기 게이트 구동부(300)는 상기 타이밍 제어부(500)로부터 게이트 제어 신호(GCTRL)를 제공받을 수 있고, 상기 게이트 신호를 생성할 수 있다. 예를 들어, 상기 게이트 신호는 제1 게이트 신호(GW), 제2 게이트 신호(GC), 제3 게이트 신호(GI) 및 제4 게이트 신호(GB)를 포함할 수 있다.
- [0044] 상기 데이터 구동부(200)는 상기 타이밍 제어부(500)로부터 출력 영상 데이터(ODAT) 및 데이터 제어 신호(DCTRL)를 제공받을 수 있고, 상기 데이터 전압(DATA)을 생성할 수 있다. 상기 발광 구동부(400)는 상기 타이밍 제어부(500)로부터 발광 구동 제어 신호(ECTRL)를 제공받을 수 있고, 상기 발광 제어 신호(EM)를 생성할 수 있다. 상기 타이밍 제어부(500)는 외부 장치로부터 제어 신호(CTRL) 및 입력 영상 데이터(IDAT)를 제공받을 수 있고, 상기 데이터 구동부(200), 상기 게이트 구동부(300), 및 상기 발광 구동부(400)를 제어할 수 있다.
- [0045] 예를 들어, 상기 데이터 구동부(200) 및 상기 타이밍 제어부(500)는 연성 인쇄 회로 기판(flexible printed circuit board) 상에 배치되고, 상기 게이트 구동부(300)는 상기 표시 영역(DA)의 좌측과 인접하는 상기 비표시 영역(NDA)에 실장되며, 상기 발광 구동부(400)는 상기 표시 영역(DA)의 우측과 인접하는 상기 비표시 영역(NDA)에 실장될 수 있다. 그러나, 상기 데이터 구동부(200), 게이트 구동부(300), 발광 구동부(400), 및 타이밍 제어부(500)가 배치되는 위치는 이에 한정되지 아니한다.
- [0046] 상기 전원 공급부(600)는 상기 전원 공급선(PL)과 연결되고, 상기 전원 공급선(PL)으로 전원 전압(ELVDD)을 제공할 수 있다. 예를 들어, 상기 전원 공급부(600)는 상기 팬아웃 배선(FL)을 통해 패드부(PD)로부터 상기 전원 전압(ELVDD)을 제공받을 수 있고, 상기 전원 공급선(PL)을 통해 상기 화소들로 상기 전원 전압(ELVDD)을 전달할 수 있다. 상기 패드부(PD)는 상기 비표시 영역(NDA)의 하단에 배치되고, 상기 전원 공급부(600)는 상기 표시 패

널(100) 및 상기 패드부(PD) 사이에 배치될 수 있다.

- [0047] 일 실시예에서, 상기 전원 공급부(600)는 제1 전원 공급부(610) 및 제2 전원 공급부(620)를 포함할 수 있다. 예를 들어, 상기 제1 전원 공급부(610)는 상기 표시 패널(100)의 좌측과 인접할 수 있고, 상기 제2 전원 공급부(620)는 상기 표시 패널(100)의 우측과 인접할 수 있다. 상기 제1 전원 공급부(610)는 상기 표시 패널(100)의 좌측에 위치하는 전원 공급선(예를 들어, 상기 제3 전원 공급선(PL3))과 연결될 수 있다. 그에 따라, 상기 제1 전원 공급부(610)는 상기 표시 패널(100)의 좌측에 위치하는 화소들(예를 들어, 상기 제3 화소(PX3))로 상기 전원 전압(ELVDD)을 제공할 수 있다. 또한, 상기 제2 전원 공급부(620)는 상기 표시 패널(100)의 우측에 위치하는 전원 공급선과 연결될 수 있다. 그에 따라, 상기 제2 전원 공급부(620)는 상기 표시 패널(100)의 우측에 위치하는 화소들로 상기 전원 전압(ELVDD)을 제공할 수 있다.
- [0048] 일 실시예에서, 상기 제1 전원 공급부(610)는 상기 제3 전원 공급선(PL3)과 일체로 형성될 수 있다. 또한, 상기 제1 전원 공급부(610)는 상기 제1 및 제2 전원 공급선들(PL1, PL2)과 직접적으로 연결되지 않을 수 있다. 상기 제1 및 제2 전원 공급선들(PL1, PL2)은 상기 전달 패턴(700)으로부터 상기 전원 전압(ELVDD)을 제공받을 수 있다. 그에 따라, 상기 표시 장치(10)는 상기 제1 전원 공급부(610)와 상기 제1 전원 공급선(PL1)(또는, 상기 제2 전원 공급선(PL2))을 연결시키기 위한 별도의 팬아웃 배선들을 포함하지 않을 수 있다. 따라서, 상기 비표시 영역(NDA)의 폭(예를 들어, 상기 전원 공급부(600)로부터 상기 표시 패널(100)까지의 거리(WD))가 감소될 수 있다.
- [0049] 일 실시예에서, 상기 전달 패턴(700)은 상기 비표시 영역(NDA) 배치될 수 있고, 상기 표시 패널(100)의 상측과 인접할 수 있다. 상기 전달 패턴(700)은 상기 전원 공급선(PL)과 연결될 수 있다. 그에 따라, 상기 전달 패턴(700)은 상기 표시 패널(100)의 좌측에 위치하는 전원 공급선(예를 들어, 상기 제3 전원 공급선(PL3))으로부터 상기 전원 전압(ELVDD)을 제공받을 수 있다. 또한, 상기 전달 패턴(700)은 상기 표시 패널의 중앙에 위치하는 전원 공급선(예를 들어, 상기 제1 및 제2 전원 공급선들(PL1, PL2))으로 상기 전원 전압(ELVDD)을 전달할 수 있다. 상기 전달 패턴(700)이 상기 표시 패널(100)의 상측에서 상기 전원 전압(ELVDD)을 재전달함에 따라, 상기 표시 패널(100)로 제공되는 상기 전원 전압(ELVDD)의 전압 강하(IR-DROP)가 방지될 수 있다. 다른 실시예에서, 상기 전달 패턴(700)은 상기 표시 영역(DA)에 배치될 수도 있다.
- [0050] 도 3을 참조하면, 상기 제1 화소(PX1)는 화소 회로(PC1) 및 제1 유기 발광 다이오드(OLED1)를 포함할 수 있다. 상기 제1 화소 회로(PC1)는 상기 제1 유기 발광 다이오드(OLED1)로 구동 전류를 제공할 수 있고, 상기 제1 유기 발광 다이오드(OLED1)는 상기 구동 전류에 기초하여 광을 생성할 수 있다. 상기 제2 및 제3 화소들(PX2, PX3) 각각은 상기 제1 화소(PX1)의 회로 구조와 실질적으로 동일한 회로 구조를 가질 수 있다.
- [0051] 상기 제1 화소 회로(PC1)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 스토리지 커패시터(CST), 및 부스팅 커패시터(CBS)를 포함할 수 있다.
- [0052] 상기 제1 유기 발광 다이오드(OLED1)는 제1 단자(예를 들어, 애노드 단자) 및 제2 단자(예를 들어, 캐소드 단자)를 포함할 수 있으며, 상기 제1 유기 발광 다이오드(OLED1)의 상기 제1 단자는 상기 제6 트랜지스터(T6) 및 상기 제7 트랜지스터(T7)와 연결되고, 상기 제2 단자는 공통 전압(ELVSS)을 제공받을 수 있다. 상기 제1 유기 발광 다이오드(OLED1)는 상기 구동 전류에 상응하는 휘도의 광을 생성할 수 있다.
- [0053] 상기 스토리지 커패시터(CST)는 제1 단자 및 제2 단자를 포함할 수 있다. 상기 스토리지 커패시터(CST)의 상기 제1 단자는 상기 제1 트랜지스터(T1)와 연결되고, 상기 스토리지 커패시터(CST)의 상기 제2 단자는 전원 전압(ELVDD)을 제공받을 수 있다. 상기 스토리지 커패시터(CST)는 상기 제1 게이트 신호(GW)의 비활성화 구간 동안 상기 제1 트랜지스터(T1)의 게이트 단자의 전압 레벨을 유지할 수 있다.
- [0054] 상기 부스팅 커패시터(CBS)는 제1 단자 및 제2 단자를 포함할 수 있다. 상기 부스팅 커패시터(CBS)의 상기 제1 단자는 상기 제3 트랜지스터(T3)와 연결되고, 상기 부스팅 커패시터(CBS)의 상기 제2 단자는 상기 제1 게이트 신호(GW)를 제공받을 수 있다. 상기 부스팅 커패시터(CBS)가 상기 제1 게이트 신호(GW)의 제공이 중단되는 시점에서 상기 제1 트랜지스터(T1)의 게이트 단자의 전압을 상승시킴에 따라, 상기 부스팅 커패시터(CBS)는 상기 게이트 단자의 전압강하를 보상할 수 있다.
- [0055] 상기 제1 트랜지스터(T1)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제1 트랜지스터(T1)의 상기 게이트 단자는 상기 스토리지 커패시터(CST)의 상기 제1 단자와 연결될 수 있다. 상기 제1 트랜지스터(T1)의 상기 제1 단자는 상기 제2 트랜지스터(T2)와 연결될 수

있고, 상기 데이터 전압(DATA)을 제공받을 수 있다. 상기 제1 트랜지스터(T1)의 상기 제2 단자는 상기 제6 트랜지스터(T6)와 연결될 수 있다. 상기 제1 트랜지스터(T1)는 상기 게이트 단자와 상기 제1 단자 사이의 전압차에 기초하여 상기 구동 전류를 생성할 수 있다. 예를 들어, 상기 제1 트랜지스터(T1)는 구동 트랜지스터로 지칭될 수 있다.

[0056] 상기 제2 트랜지스터(T2)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제2 트랜지스터(T2)의 상기 게이트 단자는 상기 게이트 배선(GL)을 통해 상기 제1 게이트 신호(GW)를 제공받을 수 있다.

[0057] 상기 제2 트랜지스터(T2)는 상기 제1 게이트 신호(GW)에 응답하여 턴온 또는 턴오프될 수 있다. 예를 들어, 상기 제2 트랜지스터(T2)가 PMOS 트랜지스터인 경우, 상기 제2 트랜지스터(T2)는 상기 제1 게이트 신호(GW)가 양의 전압 레벨을 가질 때 턴오프되고, 상기 제1 게이트 신호(GW)가 음의 전압 레벨을 가질 때 턴온될 수 있다. 상기 제2 트랜지스터(T2)의 상기 제1 단자는 상기 데이터 배선(DL)을 통해 상기 데이터 전압(DATA)을 제공받을 수 있다. 상기 제2 트랜지스터(T2)의 상기 제2 단자는 상기 제2 트랜지스터(T2)가 턴온되는 구간 동안, 상기 제1 트랜지스터(T1)의 제1 단자로 상기 데이터 전압(DATA)을 제공할 수 있다. 예를 들어, 상기 제2 트랜지스터(T2)는 스위칭 트랜지스터로 지칭될 수 있다.

[0058] 상기 제3 트랜지스터(T3)는 게이트 단자, 하부 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제3 트랜지스터(T3)의 상기 게이트 단자 및 상기 하부 게이트 단자는 상기 제2 게이트 신호(GC)를 제공받을 수 있다. 상기 제3 트랜지스터(T3)의 상기 제1 단자는 상기 제1 트랜지스터(T1)의 상기 제2 단자와 연결될 수 있다. 상기 제3 트랜지스터(T3)의 상기 제2 단자는 상기 제1 트랜지스터(T1)의 상기 게이트 단자와 연결될 수 있다.

[0059] 상기 제3 트랜지스터(T3)는 상기 제2 게이트 신호(GC)에 응답하여 턴온 또는 턴오프될 수 있다. 예를 들어, 상기 제3 트랜지스터(T3)가 NMOS 트랜지스터인 경우, 상기 제3 트랜지스터(T3)는 상기 제2 게이트 신호(GC)가 양의 전압 레벨을 가질 때 턴온되고, 상기 제2 게이트 신호(GC)가 음의 전압 레벨을 가질 때 턴오프될 수 있다.

[0060] 상기 제2 게이트 신호(GC)에 응답하여 상기 제3 트랜지스터(T3)가 턴온되는 구간 동안, 상기 제3 트랜지스터(T3)는 상기 제1 트랜지스터(T1)를 다이오드 연결시킬 수 있다. 상기 제3 트랜지스터(T3)는 상기 제1 트랜지스터(T1)의 문턱 전압을 보상할 수 있다. 예를 들어, 상기 제3 트랜지스터(T3)는 보상 트랜지스터로 지칭될 수 있다.

[0061] 상기 제4 트랜지스터(T4)는 게이트 단자, 하부 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제4 트랜지스터(T4)의 상기 게이트 단자 및 상기 하부 게이트 단자는 상기 제3 게이트 신호(GI)를 제공받을 수 있다. 상기 제4 트랜지스터(T4)의 상기 제1 단자는 상기 제1 트랜지스터(T1)의 상기 게이트 단자와 연결될 수 있다. 상기 제4 트랜지스터(T4)의 상기 제2 단자는 상기 게이트 초기화 전압(VINT)을 제공받을 수 있다.

[0062] 상기 제4 트랜지스터(T4)는 상기 제3 게이트 신호(GI)에 응답하여 턴온 또는 턴오프될 수 있다. 예를 들어, 상기 제4 트랜지스터(T4)가 NMOS 트랜지스터인 경우, 상기 제4 트랜지스터(T4)는 상기 제3 게이트 신호(GI)가 양의 전압 레벨을 가질 때 턴온되고, 상기 제3 게이트 신호(GI)가 음의 전압 레벨을 가질 때 턴오프될 수 있다.

[0063] 상기 제4 트랜지스터(T4)가 상기 제3 게이트 신호(GI)에 턴온되는 구간 동안, 상기 제1 트랜지스터(T1)의 게이트 단자에는 상기 게이트 초기화 전압(VINT)이 제공될 수 있다. 이에 따라, 상기 제4 트랜지스터(T4)는 상기 제1 트랜지스터(T1)의 상기 게이트 단자를 상기 게이트 초기화 전압(VINT)으로 초기화시킬 수 있다. 예를 들어, 상기 제4 트랜지스터(T4)는 게이트 초기화 트랜지스터로 지칭될 수 있다.

[0064] 상기 제5 트랜지스터(T5)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제5 트랜지스터(T5)의 상기 게이트 단자는 상기 발광 제어 신호(EM)를 제공받을 수 있다. 상기 제5 트랜지스터(T5)의 상기 제1 단자는 상기 전원 전압(ELVDD)을 제공받을 수 있다. 상기 제5 트랜지스터(T5)의 상기 제2 단자는 상기 제1 트랜지스터(T1)와 연결될 수 있다. 상기 발광 제어 신호(EM)에 응답하여 상기 제5 트랜지스터(T5)가 턴온되면, 상기 제5 트랜지스터(T5)는 상기 제1 트랜지스터(T1)로 상기 전원 전압(ELVDD)을 제공할 수 있다.

[0065] 상기 제6 트랜지스터(T6)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제6 트랜지스터(T6)의 상기 게이트 단자는 상기 발광 제어 신호(EM)를 제공받을 수 있다. 상기 제6 트랜지스터(T6)의 상기 제1 단자는 상기 제1 트랜지스터(T1)와 연결될 수 있다. 상기 제6 트

랜지스터(T6)의 상기 제2 단자는 상기 제1 유기 발광 다이오드(OLED1)와 연결될 수 있다. 상기 발광 제어 신호(EM)에 응답하여 상기 제6 트랜지스터(T6)가 턴온되면, 상기 제6 트랜지스터(T6)는 상기 구동 전류를 상기 제1 유기 발광 다이오드(OLED1)로 제공할 수 있다.

- [0066] 상기 제7 트랜지스터(T7)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제7 트랜지스터(T7)의 상기 게이트 단자는 상기 제4 게이트 신호(GB)를 제공받을 수 있다. 상기 제7 트랜지스터(T7)의 상기 제1 단자는 상기 제1 유기 발광 다이오드(OLED1)와 연결될 수 있다. 상기 제7 트랜지스터(T7)의 상기 제2 단자는 애노드 초기화 전압(AINT)을 제공받을 수 있다.
- [0067] 상기 제4 게이트 신호(GB)에 응답하여 상기 제7 트랜지스터(T7)가 턴온되면, 상기 제7 트랜지스터(T7)는 상기 제1 유기 발광 다이오드(OLED1)로 상기 애노드 초기화 전압(AINT)을 제공할 수 있다. 그에 따라, 상기 제7 트랜지스터(T7)는 상기 제1 유기 발광 다이오드(OLED1)의 상기 제1 단자를 상기 애노드 초기화 전압(AINT)으로 초기화시킬 수 있다. 예를 들어, 상기 제7 트랜지스터(T7)는 애노드 초기화 트랜지스터로 지칭될 수 있다.
- [0068] 일 실시예에서, 상기 제1, 제2, 제5, 제6, 및 제7 트랜지스터들(T1, T2, T5, T6, T7)은 피모스(PMOS) 트랜지스터들이고, 상기 제3 및 제4 트랜지스터들(T3, T4)은 엔모스(NMOS) 트랜지스터들일 수 있다. 그에 따라, 상기 피모스 트랜지스터들의 제1 액티브 패턴들은 양이온이 도핑된 실리콘 반도체를 포함할 수 있고, 상기 엔모스 트랜지스터들의 제2 액티브 패턴들은 산화물 반도체를 포함할 수 있다. 또한, 상기 제2, 제5, 제6, 및 제7 트랜지스터들(T2, T5, T6, T7)을 각각 턴온시키기 위한 상기 제1 게이트 신호(GW), 상기 발광 제어 신호(EM), 및 상기 제4 게이트 신호(GB)는 음의 전압 레벨을 가질 수 있고, 상기 제3 및 제4 트랜지스터들(T3, T4)을 각각 턴온시키기 위한 제2 게이트 신호(GC) 및 제3 게이트 신호(GI)는 양의 전압 레벨을 가질 수 있다.
- [0069] 한편, 도 3에 도시된 상기 제1 화소 회로(PC1)의 회로 구조는 예시적인 것으로서 다양하게 변경될 수 있다.
- [0070] 도 1에 도시된 바와 같이, 상기 제1 내지 제3 화소들(PX1, PX2, PX3)은 상기 제1 방향(D1)을 따라 배치될 수 있다. 상기 제1 화소(PX1)는 상기 제2 화소(PX2)와 인접할 수 있다. 상기 제3 화소(PX3)는 상기 제2 화소(PX2)와 이격할 수 있다.
- [0071] 도 4는 도 1의 표시 장치에 포함된 표시 패널을 나타내는 단면도이고, 도 5는 도 1의 표시 장치에 포함된 표시 패널을 나타내는 사시도이다.
- [0072] 도 1, 4 및 5를 참조하면, 상기 표시 패널(100)은 제1 및 제2 화소 회로부들(PCP1, PCP2) 및 제1 및 제2 표시 소자들(ED1, ED2)을 포함할 수 있다.
- [0073] 일 실시예에서, 상기 제1 화소 회로부(PCP1) 및 상기 제1 표시 소자(ED1)는 상기 제1 화소(PX1)를 구성할 수 있다. 예를 들어, 상기 제1 화소 회로부(PCP1)는 상기 제1 화소 회로(PC1)와 대응할 수 있고, 상기 제1 표시 소자(ED1)는 상기 제1 유기 발광 다이오드(OLED1)와 대응할 수 있다. 다시 말하면, 상기 제1 화소 회로부(PCP1)에는 트랜지스터들(예를 들어, 상기 제1 내지 제7 트랜지스터들(T1, T2, T3, T4, T5, T6, T7))이 형성될 수 있고, 상기 제1 화소 회로부(PCP1)는 상기 제1 표시 소자(ED1)로 상기 구동 전류를 제공할 수 있다. 또한, 상기 제2 화소 회로부(PCP2) 및 상기 제2 표시 소자(ED2)는 상기 제2 화소(PX2)를 구성할 수 있다.
- [0074] 상기 제1 표시 소자(ED1)는 제1 화소 전극(ADE1), 제1 발광층(EL1) 및 공통 전극(CTE)을 포함할 수 있다. 예를 들어, 상기 제1 발광층(EL1)은 제1 색을 갖는 광을 생성할 수 있다. 상기 제2 표시 소자(ED2)는 제2 화소 전극(ADE2), 제2 발광층(EL2) 및 상기 공통 전극(CTE)을 포함할 수 있다. 예를 들어, 상기 제2 발광층(EL2)은 제2 색을 갖는 광을 생성할 수 있다.
- [0075] 상기 제1 화소 회로부(PCP1)는 제1 유기 필름층(PI1), 제1 배리어층(BRR1), 제2 유기 필름층(PI2), 제2 배리어층(BRR2), 제1 하부 패턴(LP1), 제3 배리어층(BRR3), 제1 액티브 패턴(1100), 제1 도전 패턴(1200), 제2 도전 패턴(1300), 제2 액티브 패턴(1400), 제3 도전 패턴(1500), 제4 도전 패턴(1600) 및 제5 도전 패턴(1700)을 포함할 수 있다. 상기 제1 하부 패턴(LP1) 내지 상기 제5 도전 패턴(1700) 사이에는 절연층들이 각각 배치될 수 있다. 또한, 상기 제5 도전 패턴(1700) 상에는 제2 비아 절연층(VIA2)이 배치될 수 있고, 상기 제1 및 제2 화소 전극들(ADE1, ADE2)은 상기 제2 비아 절연층(VIA2)을 관통하는 콘택홀들을 통해 상기 제5 도전 패턴(1700)과 각각 연결될 수 있다.
- [0076] 종래의 표시 장치는 표시 패널을 포함하며, 상기 표시 패널에는 액티브 패턴을 포함하는 트랜지스터들이 배치된다. 상기 표시 패널로 제공되는 신호 및 전압에 의해 상기 표시 패널의 내부에는 전기장이 발생할 수 있다. 상기 전기장에 의해 상기 표시 패널의 기판에 포함된 유기 물질들이 분극될 수 있다. 상기 분극된 유기 물질들은

상기 표시 패널의 상기 액티브 패턴(들)에 전기적인 영향을 미칠 수 있다. 그에 따라, 상기 트랜지스터들의 전기적 특성이 변경될 수 있다. 또한, 상기 분극 현상은 상기 표시 패널로 입사되는 광에 의해 더욱 가속화될 수 있다. 이로 인해, 종래의 표시 장치의 표시 품질이 저하되는 문제가 있다.

- [0077] 그러나, 상기 표시 장치(10)는 상기 표시 패널(100)의 내부에 배치되는 상기 제1 하부 패턴(LP1)을 포함할 수 있다. 상기 제1 하부 패턴(LP1)은 상기 분극 현상이 상기 제1 및 제2 액티브 패턴들(1100, 1400)에 전기적인 영향을 미치지 않도록 할 수 있다. 그에 따라, 상기 트랜지스터들의 전기적 특성이 변경되지 않을 수 있다. 따라서, 상기 표시 장치(10)의 표시 품질이 향상될 수 있다.
- [0078] 도 6 내지 도 18은 도 1의 표시 장치를 설명하기 위한 레이아웃 도면들이고, 도 19는 도 18의 I-I' 선을 따라 절단한 단면도이다. 예를 들어, 도 6은 도 1의 A 영역을 확대한 확대도일 수 있다.
- [0079] 도 1 및 6을 참조하면, 상기 표시 장치(10)는 매트릭스 형상으로 배열되는 복수의 화소 회로부들 및 상기 전달 패턴(700)을 포함할 수 있다. 예를 들어, 상기 제1 및 제2 화소 회로부들(PCP1, PCP2)은 상기 제1 방향(D1)으로 배열될 수 있고, 상기 전달 패턴(700)은 상기 제1 및 제2 화소 회로부들(PCP1, PCP2)에 포함된 전원 전압 배선(1720)과 연결될 수 있다. 일 실시예에서, 상기 제2 화소 회로부(PCP2)의 형상은 상기 제1 화소 회로부(PCP1)의 형상과 상기 제1 방향(D1)으로 대칭될 수 있다. 이하에서, 상기 제1 화소 회로부(PCP1), 상기 제2 화소 회로부(PCP2), 및 상기 전달 패턴(700)에 대해 설명하기로 한다.
- [0080] 도 4 및 7을 참조하면, 상기 제1 유기 필름층(P11) 상에 상기 제1 배리어층(BRR1)이 배치될 수 있고, 상기 제1 배리어층(BRR1) 상에 상기 제2 유기 필름층(P12)이 배치될 수 있으며, 상기 제2 유기 필름층(P12) 상에 상기 제2 배리어층(BRR2)이 배치될 수 있다.
- [0081] 상기 제1 유기 필름층(P11) 및 상기 제2 유기 필름층(P12)은 유기 물질을 포함할 수 있다. 예를 들어, 상기 제1 유기 필름층(P11) 및 상기 제2 유기 필름층(P12)은 폴리이미드, 폴리에테르술폰, 폴리아크릴레이트, 폴리에테르이미드, 폴리에틸렌 나프탈레이트, 폴리에틸렌 테레프탈레이트, 폴리페닐렌 설파이드, 폴리아릴레이트, 폴리카보네이트, 및 셀룰로오스 아세테이트 프로피오네이트 중 적어도 하나를 포함할 수 있다.
- [0082] 상기 제1 배리어층(BRR1) 및 상기 제2 배리어층(BRR2)은 무기 물질을 포함할 수 있다. 예를 들어, 상기 제1 배리어층(BRR1) 및 상기 제2 배리어층(BRR2)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 비정질 실리콘 등을 포함할 수 있다. 일 실시예에서, 상기 제2 배리어층(BRR2)은 상기 제1 하부 패턴(LP1)을 형성하는 과정에서 손상될 수 있는 상기 제2 유기 필름층(P12)을 보호할 수 있다.
- [0083] 도 4, 8 및 9를 참조하면, 상기 제2 배리어층(BRR2) 상에 상기 제1 하부 패턴(LP1) 및 제2 하부 패턴(LP2)이 배치될 수 있다. 일 실시예에서, 상기 제2 하부 패턴(LP2)은 상기 제1 하부 패턴(LP1)과 동일한 층에 배치되고, 일체로 형성될 수 있다.
- [0084] 상기 제1 하부 패턴(LP1)은 상기 표시 영역(DA)에 배치될 수 있다. 일 실시예에서, 상기 제1 하부 패턴(LP1)은 복수의 단위 패턴들(UP)을 포함할 수 있다. 상기 단위 패턴들(UP) 각각은 중첩 패턴(OP), 제1 브릿지들(BR1), 및 제2 브릿지들(BR2)을 포함할 수 있다.
- [0085] 일 실시예에서, 상기 중첩 패턴들(OP)은 섬(island) 형상을 가질 수 있다. 또한, 상기 중첩 패턴들(OP)은 제1 중첩 패턴(OP1) 및 제2 중첩 패턴(OP2)을 포함할 수 있다. 상기 제2 중첩 패턴(OP2)은 상기 제1 중첩 패턴(OP1)과 상기 제1 방향(D1)으로 대칭될 수 있다. 상기 제1 중첩 패턴(OP1) 및 상기 제2 중첩 패턴(OP2)은 상기 제1 방향(D1)을 따라 교대로 배열될 수 있다. 또한, 상기 제1 중첩 패턴(OP1)은 상기 제2 방향(D2)을 따라 나란히 배열될 수 있고, 상기 제2 중첩 패턴(OP2)은 상기 제2 방향(D2)을 따라 나란히 배열될 수 있다.
- [0086] 일 실시예에서, 상기 제1 브릿지들(BR1)은 상기 제1 방향(D1)으로 연장하며 상기 중첩 패턴들(OP)을 서로 연결시킬 수 있다. 예를 들어, 상기 제1 브릿지들(BR1)은 상기 제1 방향(D1)을 따라 교대로 배열된 상기 제1 중첩 패턴(OP1) 및 상기 제2 중첩 패턴(OP2)을 연결시킬 수 있다.
- [0087] 일 실시예에서, 상기 제2 브릿지들(BR2)은 상기 제2 방향(D2)으로 연장하며 상기 중첩 패턴들(OP)을 서로 연결시킬 수 있다. 예를 들어, 상기 제2 브릿지들(BR2)은 상기 제2 방향(D2)을 따라 나란히 배열된 상기 제1 중첩 패턴(OP1)을 연결시킬 수 있고, 상기 제2 방향(D2)을 따라 나란히 배열된 상기 제2 중첩 패턴(OP2)을 연결시킬 수 있다.
- [0088] 일 실시예에서, 도 9에 도시된 바와 같이, 상기 제1 하부 패턴(LP1)은 상기 단위 패턴들(UP)이 반복적으로 배열

되는 메쉬(mesh) 형상을 가질 수 있다.

- [0089] 일 실시예에서, 상기 제2 하부 패턴(LP2)은 상기 비표시 영역(NDA)에 배치될 수 있다. 예를 들어, 상기 제2 하부 패턴(LP2)은 상기 제2 방향(D2)으로 일정한 폭을 갖고, 상기 제1 방향(D1)으로 연장할 수 있다. 일 실시예에서, 상기 제2 하부 패턴(LP2)은 상기 제2 브릿지들(BR2)을 통해 상기 제1 하부 패턴(LP1)과 연결될 수 있다. 그에 따라, 상기 제2 하부 패턴(LP2)은 상기 제1 하부 패턴(LP1)과 일체로 형성될 수 있다. 다른 실시예에서, 상기 제2 하부 패턴(LP2)은 상기 표시 영역(DA)에 배치될 수도 있다.
- [0090] 일 실시예에서, 상기 제1 및 제2 하부 패턴들(LP1, LP2)은 실리콘 반도체를 포함할 수 있다. 예를 들어, 상기 제1 및 제2 하부 패턴들(LP1, LP2)은 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)을 포함할 수 있다. 또한, 상기 제1 및 제2 하부 패턴들(LP1, LP2)에는 양이온 또는 음이온이 도핑될 수 있다. 예를 들어, 상기 양이온은 III족 원소일 수 있으며, 붕소(boron) 등일 수 있다. 상기 음이온은 V족 원소일 수 있으며, 인(phosphorus) 등일 수 있다.
- [0091] 다른 실시예에서, 상기 제1 및 제2 하부 패턴들(LP1, LP2)은 금속을 포함할 수 있다. 예를 들어, 상기 제1 및 제2 하부 패턴들(LP1, LP2)은 상기 제1 도전 패턴(1200)에 포함된 금속(예를 들어, 몰리브덴(Mo))을 포함할 수 있다.
- [0092] 일 실시예에서, 상기 제1 및 제2 하부 패턴들(LP1, LP2)에는 정전압이 제공될 수 있다. 예를 들어, 상기 제1 및 제2 하부 패턴들(LP1, LP2)에는 상기 전원 전압(ELVDD)이 제공될 수 있다. 이 경우, 상기 제2 하부 패턴(LP2)은 상기 전원 전압(ELVDD)이 상기 제1 하부 패턴(LP1)에 균일하게 인가되도록 할 수 있다. 다른 실시예에서, 상기 제1 및 제2 하부 패턴들(LP1, LP2)은 전기적으로 플로팅(floating)될 수 있다. 또 다른 실시예에서, 상기 제1 및 제2 하부 패턴들(LP1, LP2)에는 교류 전압이 제공될 수 있다.
- [0093] 도 4 및 10을 참조하면, 상기 제1 및 제2 하부 패턴들(LP1, LP2) 상에 상기 제3 배리어층(BRR3)이 배치될 수 있고, 상기 제3 배리어층(BRR3) 상에 버퍼층(BFR)이 배치될 수 있다.
- [0094] 상기 제3 배리어층(BRR3)은 상기 제1 및 제2 하부 패턴들(LP1, LP2)을 커버할 수 있다. 상기 제3 배리어층(BRR3)은 상기 제1 배리어층(BRR1) 및/또는 상기 제2 배리어층(BRR2)과 동일한 물질을 포함할 수 있다.
- [0095] 상기 버퍼층(BFR)은 금속 원자들이나 불순물들이 상기 제1 액티브 패턴(1100)으로 확산되지 않도록 할 수 있다. 또한, 상기 버퍼층(BFR)은 상기 제1 액티브 패턴(1100)을 형성하기 위한 결정화 공정 동안 열의 제공 속도를 조절할 수 있다.
- [0096] 도 4 및 11을 참조하면, 상기 버퍼층(BFR) 상에 상기 제1 액티브 패턴(1100) 및 에치 스톱퍼(EST)가 배치될 수 있다. 상기 제1 액티브 패턴(1100)은 상기 표시 영역(DA)에 배치될 수 있고, 상기 에치 스톱퍼(EST)는 상기 비표시 영역(NDA)에 배치될 수 있다.
- [0097] 상기 제1 액티브 패턴(1100)은 상기 제1 하부 패턴(LP1)과 중첩할 수 있다. 일 실시예에서, 상기 제1 액티브 패턴(1100)은 실리콘 반도체를 포함할 수 있다. 예를 들어, 상기 제1 액티브 패턴(1100)은 비정질 실리콘, 다결정 실리콘 등을 포함할 수 있다.
- [0098] 일 실시예에서, 상기 제1 액티브 패턴(1100)에는 양이온 또는 음이온이 선택적으로 주입될 수 있다. 예를 들어, 상기 제1, 제2, 제5, 제6, 및 제7 트랜지스터들(T1, T2, T5, T6, T7)이 상기 PMOS 트랜지스터들인 경우, 상기 제1 액티브 패턴(1100)은 상기 양이온의 농도가 큰 소스 영역, 상기 양이온의 농도가 큰 드레인 영역, 및 상기 양이온의 농도가 작은 채널 영역을 포함할 수 있다.
- [0099] 상기 에치 스톱퍼(EST)는 상기 제2 하부 패턴(LP2)과 중첩할 수 있다. 일 실시예에서, 상기 에치 스톱퍼(EST)는 상기 제1 액티브 패턴(1100)과 동일한 물질을 포함할 수 있다. 예를 들어, 상기 에치 스톱퍼(EST)는 실리콘 반도체(예를 들어, 비정질 실리콘 또는 상기 비정질 실리콘을 결정화시켜 형성되는 다결정 실리콘)를 포함할 수 있다. 또는, 상기 에치 스톱퍼(EST)는 산화물 반도체를 포함할 수 있다.
- [0100] 일 실시예에서, 상기 에치 스톱퍼(EST)는 상기 제1 액티브 패턴(1100)과 함께 형성될 수 있다. 예를 들어, 상기 버퍼층(BFR) 상에 액티브 층이 형성될 수 있다. 상기 액티브층이 패터닝됨에 따라, 상기 제1 액티브 패턴(1100) 및 상기 에치 스톱퍼(EST)가 함께 형성될 수 있다. 또한, 상기 에치 스톱퍼(EST)는 상기 제1 액티브 패턴(1100)과 연결되지 않을 수 있다. 다시 말하면, 상기 에치 스톱퍼(EST)는 상기 제1 액티브 패턴(1100)과 전기적으로 절연될 수 있다.

- [0101] 제1 게이트 절연층(GI1)은 상기 제1 액티브 패턴(1100) 및 상기 에치 스톱퍼(EST)를 커버할 수 있고, 상기 버퍼층(BFR) 상에 배치될 수 있다. 상기 제1 게이트 절연층(GI1)은 절연 물질을 포함할 수 있다. 예를 들어, 상기 제1 게이트 절연층(GI1)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 형성되는 단층 또는 다층 구조를 가질 수 있다.
- [0102] 도 4, 12 및 13을 참조하면, 상기 제1 도전 패턴(1200)은 상기 제1 게이트 절연층(GI1) 상에 배치될 수 있다. 상기 제1 도전 패턴(1200)은 제1 게이트 배선(1210), 제1 게이트 전극(1221), 제2 게이트 전극(1222) 및 제2 게이트 배선(1230)을 포함할 수 있다.
- [0103] 상기 제1 게이트 배선(1210)은 상기 제1 액티브 패턴(1100) 상에 배치될 수 있고, 상기 제1 방향(D1)으로 연장할 수 있다. 일 실시예에서, 상기 제1 게이트 배선(1210)은 평면 상에서 상기 제1 게이트 전극(1221)의 일 측과 인접할 수 있다. 상기 제1 게이트 배선(1210)은 상기 제1 액티브 패턴(1100)과 함께 상기 제5 및 제6 트랜지스터들(T5, T6)을 구성할 수 있다. 상기 발광 제어 신호(EM)는 상기 제1 게이트 배선(1210)으로 제공될 수 있다. 예를 들어, 상기 제1 게이트 배선(1210)은 발광 제어 배선으로 지칭될 수 있다.
- [0104] 예를 들어, 도 13은 복수의 게이트 전극들 및 상기 제1 하부 패턴(LP1)을 설명하기 위한 레이아웃 도면일 수 있다. 도 13에 도시된 바와 같이, 복수의 게이트 전극들은 매트릭스 형상으로 배열될 수 있다. 상기 게이트 전극들은 상기 화소 회로부들마다 각각 배치될 수 있다. 일 실시예에서, 상기 게이트 전극들은 상기 중첩 패턴들(OP)과 중첩할 수 있다. 예를 들어, 상기 게이트 전극들은 상기 제1 게이트 전극(1221) 및 상기 제2 게이트 전극(1222)을 포함할 수 있다. 상기 제1 게이트 전극(1221)은 상기 제1 중첩 패턴(OP1)과 중첩할 수 있고, 상기 제2 게이트 전극(1222)은 상기 제2 중첩 패턴(OP2)과 중첩할 수 있다.
- [0105] 상기 제1 게이트 전극(1221)은 상기 제1 액티브 패턴(1100)과 함께 상기 제1 화소 회로부(PCP1)에 포함된 상기 제1 트랜지스터(T1)를 구성할 수 있다. 상기 제2 게이트 전극(1222)은 상기 제1 액티브 패턴(1100)과 함께 상기 제2 화소 회로부(PCP2)에 포함된 제1 트랜지스터를 구성할 수 있다.
- [0106] 상기 제2 게이트 배선(1230)은 상기 제1 액티브 패턴(1100) 상에 배치되고, 상기 제1 방향(D1)으로 연장할 수 있다. 예를 들어, 상기 제2 게이트 배선(1230)은 상기 제1 액티브 패턴(1100)과 함께 상기 제2 트랜지스터(T2)를 구성할 수 있다. 상기 제1 게이트 신호(GW)는 상기 제2 게이트 배선(1230)으로 제공될 수 있다.
- [0107] 또한, 상기 제2 게이트 배선(1230)은 상기 제1 액티브 패턴(1100)과 함께 상기 제7 트랜지스터(T7)를 구성할 수 있다. 상기 제4 게이트 신호(GB)는 상기 제2 게이트 배선(1230)로 제공될 수 있다. 예를 들어, 상기 제1 게이트 신호(GW)와 상기 제4 게이트 신호(GB)는 시간차를 두고 실질적으로 동일한 파형을 가질 수 있다.
- [0108] 예를 들어, 상기 제1 도전 패턴(1200)은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등의 금속, 합금, 도전 금속 산화물, 투명 도전 물질 등을 포함할 수 있다.
- [0109] 제2 게이트 절연층(GI2)은 상기 제1 도전 패턴(1200)을 커버하고, 상기 제1 게이트 절연층(GI1) 상에 배치될 수 있다. 상기 제2 게이트 절연층(GI2)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 형성되는 단층 또는 다층 구조를 가질 수 있다.
- [0110] 한편, 상기 제1, 제2, 제5, 제6, 제7 트랜지스터들(T1, T2, T5, T6, T7)은 도 3을 참조하여 설명한 제1, 제2, 제5, 제6, 제7 트랜지스터들(T1, T2, T5, T6, T7)과 실질적으로 대응할 수 있다. 예를 들어, 상기 제1 게이트 전극(1221)은 도 3을 참조하여 설명한 제1 트랜지스터(T1)의 상기 게이트 단자와 대응할 수 있다. 다만, 상술한 대응 관계는 본 발명이 속하는 기술분야의 통상의 기술자에게 자명할 것이다.
- [0111] 도 4 및 14를 참조하면, 상기 제2 도전 패턴(1300)은 상기 제2 게이트 절연층(GI2) 상에 배치될 수 있다. 상기 제2 도전 패턴(1300)은 스토리지 커패시터 전극(1310), 제3 게이트 배선(1320), 제4 게이트 배선(1330) 및 게이트 초기화 전압 배선(1340)을 포함할 수 있다.
- [0112] 상기 스토리지 커패시터 전극(1310)은 상기 제1 방향(D1)으로 연장할 수 있다. 일 실시예에서, 상기 스토리지 커패시터 전극(1310)은 상기 제1 게이트 전극(1221)과 함께 상기 제1 화소 회로부(PCP1)에 포함된 상기 스토리지 커패시터(CST)를 구성할 수 있다. 예를 들어, 상기 스토리지 커패시터 전극(1310)은 상기 제1 게이트 전극(1221)과 중첩할 수 있으며, 상기 스토리지 커패시터 전극(1310)에는 상기 전원 전압(ELVDD)이 제공될 수 있다.
- [0113] 또한, 상기 스토리지 커패시터 전극(1310)은 상기 제2 게이트 전극(1222)과 함께 상기 제2 화소 회로부(PCP2)에 포함된 상기 스토리지 커패시터(CST)를 구성할 수 있다. 예를 들어, 상기 스토리지 커패시터 전극(1310)은 상기

제2 게이트 전극(1222)과 중첩할 수 있다.

- [0114] 일 실시예에서, 상기 스토리지 커패시터 전극(1310)에는 상기 제1 및 제2 게이트 전극들(1221, 1222)의 상면들을 노출시키는 개구들이 형성될 수 있다.
- [0115] 상기 제3 게이트 배선(1320)은 상기 제1 방향(D1)으로 연장할 수 있다. 일 실시예에서, 상기 제3 게이트 배선(1320)은 평면 상에서 상기 제1 게이트 전극(1221)의 상기 일 측에 반대되는 타 측과 인접할 수 있다. 일 실시예에서, 상기 제3 게이트 배선(1320)은 상기 제3 트랜지스터(T3)로 상기 제2 게이트 신호(GC)를 제공할 수 있다. 예를 들어, 상기 제3 게이트 배선(1320)은 상기 제3 트랜지스터(T3)의 상기 하부 게이트 단자와 대응할 수 있다. 상기 제3 게이트 배선(1320)은 하부 보상 제어 배선으로 지칭될 수 있다.
- [0116] 상기 제4 게이트 배선(1330)은 상기 제1 방향(D1)으로 연장할 수 있다. 일 실시예에서, 상기 제4 게이트 배선(1330)은 상기 제4 트랜지스터(T4)로 상기 제3 게이트 신호(GI)를 제공할 수 있다. 예를 들어, 상기 제4 게이트 배선(1330)은 상기 제4 트랜지스터(T4)의 상기 하부 게이트 단자와 대응할 수 있다.
- [0117] 상기 게이트 초기화 전압 배선(1340)은 상기 제1 방향(D1)으로 연장할 수 있다. 일 실시예에서, 상기 게이트 초기화 전압 배선(1340)은 상기 제4 트랜지스터(T4)로 상기 게이트 초기화 전압(VINT)을 제공할 수 있다. 예를 들어, 상기 게이트 초기화 전압 배선(1340)은 상기 제2 액티브 패턴(1400)과 전기적으로 연결될 수 있다.
- [0118] 예를 들어, 상기 제2 도전 패턴(1300)은 몰리브덴늄(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등의 금속, 합금, 도전 금속 산화물, 투명 도전 물질 등을 포함할 수 있다.
- [0119] 제1 층간 절연층(ILD1)은 상기 제2 도전 패턴(1300)을 커버하고, 상기 제2 게이트 절연층(GI2) 상에 배치될 수 있다. 상기 제1 층간 절연층(ILD1)은 절연 물질을 포함할 수 있다.
- [0120] 도 4 및 15를 참조하면, 상기 제2 액티브 패턴(1400)은 상기 제1 층간 절연층(ILD1) 상에 배치될 수 있다. 예를 들어, 상기 제2 액티브 패턴(1400)은 상기 제3 게이트 배선(1320), 상기 제4 게이트 배선(1330) 및 상기 게이트 초기화 배선(1340)과 중첩할 수 있다.
- [0121] 일 실시예에서, 상기 제2 액티브 패턴(1400)은 상기 제1 액티브 패턴(1100)과 서로 다른 층에 배치되고, 상기 제1 액티브 패턴(1100)과 중첩하지 않을 수 있다. 다시 말하면, 상기 제2 액티브 패턴(1400)은 상기 제1 액티브 패턴(1100)과 별도로 형성될 수 있다. 예를 들어, 상기 제1 액티브 패턴(1100)은 상기 실리콘 반도체를 포함하고, 상기 제2 액티브 패턴(1400)은 상기 산화물 반도체를 포함할 수 있다.
- [0122] 일 실시예에서, 상기 제1 화소 회로부(PCP1)는 실리콘계 반도체 소자인 상기 제1, 제2, 제5, 제6 및 제7 트랜지스터들(T1, T2, T5, T6, T7) 및 산화물계 반도체 소자인 상기 제3 및 제4 트랜지스터들(T3, T4)을 포함할 수 있다. 예를 들어, 상기 제1, 제2, 제5, 제6 및 제7 트랜지스터들(T1, T2, T5, T6, T7)은 상기 PMOS 트랜지스터들이고, 상기 제3 및 제4 트랜지스터들(T3, T4)은 상기 NMOS 트랜지스터들이 수 있다.
- [0123] 제3 게이트 절연층(GI3)은 상기 제2 액티브 패턴(1400)을 커버하고, 상기 제1 층간 절연층(ILD1) 상에 배치될 수 있다. 상기 제3 게이트 절연층(GI3)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 형성되는 단층 또는 다층 구조를 가질 수 있다.
- [0124] 도 4 및 16을 참조하면, 상기 제3 도전 패턴(1500)은 상기 제3 게이트 절연층(GI3) 상에 배치될 수 있다. 상기 제3 도전 패턴(1500)은 제5 게이트 배선(1510) 및 제6 게이트 배선(1520)을 포함할 수 있다.
- [0125] 상기 제5 게이트 배선(1510)은 상기 제1 방향(D1)으로 연장할 수 있다. 예를 들어, 상기 제5 게이트 배선(1510)은 상기 제3 게이트 배선(1320)과 중첩할 수 있고, 상기 제3 게이트 배선(1320)과 전기적으로 연결될 수 있다. 일 실시예에서, 상기 제5 게이트 배선(1510)은 상기 제3 트랜지스터(T3)로 상기 제2 게이트 신호(GC)를 제공할 수 있다. 그에 따라, 상기 제5 게이트 배선(1510)은 상기 제3 트랜지스터(T3)의 상기 게이트 단자와 대응할 수 있다. 상기 제5 게이트 배선(1510)은 상부 보상 제어 배선으로 지칭될 수 있다.
- [0126] 상기 제6 게이트 배선(1520)은 상기 제1 방향(D1)으로 연장할 수 있다. 예를 들어, 상기 제6 게이트 배선(1520)은 상기 제4 게이트 배선(1330)과 중첩할 수 있고, 상기 제4 게이트 배선(1330)과 전기적으로 연결될 수 있다. 일 실시예에서, 상기 제6 게이트 배선(1520)은 상기 제4 트랜지스터(T4)로 상기 제3 게이트 신호(GI)를 제공할 수 있다. 그에 따라, 상기 제6 게이트 배선(1520)은 상기 제4 트랜지스터(T4)의 상기 게이트 단자와 대응할 수 있다.
- [0127] 예를 들어, 상기 제3 도전 패턴(1500)은 금속, 합금, 도전 금속 산화물, 투명 도전 물질 등을 포함할 수 있다.

- [0128] 제2 층간 절연층(ILD2)은 상기 제3 도전 패턴(1500)을 커버하고, 상기 제1 층간 절연층(ILD1) 상에 배치될 수 있다. 상기 제2 층간 절연층(ILD2)은 절연 물질을 포함할 수 있다.
- [0129] 도 4 및 17을 참조하면, 상기 제4 도전 패턴(1600) 및 제1 패턴(710)은 상기 제2 층간 절연층(ILD2) 상에 배치될 수 있다. 상기 제4 도전 패턴(1600)은 제1 전원 전압 연결 패턴(1611), 제2 전원 전압 연결 패턴(1612), 제1 애노드 패턴(1621), 제2 애노드 패턴(1622), 제1 보상 연결 패턴(1631), 제2 보상 연결 패턴(1632), 제1 초기화 연결 패턴(1641), 제2 초기화 연결 패턴(1642), 애노드 초기화 전압 배선(1650), 제1 데이터 패턴(1661), 제2 데이터 패턴(1662) 및 게이트 초기화 전압 패턴(1670)을 포함할 수 있다.
- [0130] 상기 제1 및 제2 전원 전압 연결 패턴들(1611, 1612)은 상기 전원 전압(EVLDD)을 상기 제1 액티브 패턴(1100)으로 전달할 수 있다. 일 실시예에서, 상기 제1 및 제2 전원 전압 연결 패턴들(1611, 1612)은 전원 전압 배선(예를 들어, 도 18의 전원 전압 배선(1720))과 상기 제1 액티브 패턴(1100)을 전기적으로 연결시킬 수 있다. 예를 들어, 상기 제1 및 제2 전원 전압 연결 패턴들(1611, 1612)은 상기 전원 전압 배선(1720) 및 상기 제1 액티브 패턴(1100)과 접촉할 수 있다.
- [0131] 상기 제1 애노드 패턴(1621)은 상기 제1 화소 회로부(PCP1)와 연결된 상기 제1 표시 소자(ED1)로 상기 애노드 초기화 전압(AINT) 또는 상기 구동 전류를 제공할 수 있다. 예를 들어, 상기 제1 애노드 패턴(1621)은 상기 제1 액티브 패턴(1100) 및 제3 애노드 패턴(예를 들어, 도 18의 제3 애노드 패턴(1731))과 접촉할 수 있다.
- [0132] 상기 제2 애노드 패턴(1622)은 상기 제2 화소 회로부(PCP2)와 연결된 상기 제2 표시 소자(ED2)로 상기 애노드 초기화 전압(AINT) 또는 상기 구동 전류를 제공할 수 있다. 예를 들어, 상기 제2 애노드 패턴(1622)은 상기 제1 액티브 패턴(1100) 및 제4 애노드 패턴(예를 들어, 도 18의 제4 애노드 패턴(1732))과 접촉할 수 있다.
- [0133] 상기 제1 보상 연결 패턴(1631)은 상기 제1 화소 회로부(PCP1)에 포함된 상기 제1 트랜지스터(T1)의 상기 제2 단자와 상기 제3 트랜지스터(T3)의 상기 제1 단자를 전기적으로 연결시킬 수 있다. 예를 들어, 상기 제1 보상 연결 패턴(1631)은 상기 제1 액티브 패턴(1100) 및 상기 제2 액티브 패턴(1400)과 접촉할 수 있다.
- [0134] 상기 제2 보상 연결 패턴(1632)은 상기 제2 화소 회로부(PCP2)에 포함된 상기 제1 트랜지스터(T1)의 상기 제2 단자와 상기 제3 트랜지스터(T3)의 상기 제1 단자를 전기적으로 연결시킬 수 있다. 예를 들어, 상기 제2 보상 연결 패턴(1632)은 상기 제1 액티브 패턴(1100) 및 상기 제2 액티브 패턴(1400)과 접촉할 수 있다.
- [0135] 상기 제1 초기화 연결 패턴(1641)은 상기 제1 화소 회로부(PCP1)에 포함된 상기 제1 트랜지스터(T1)의 상기 게이트 단자와 상기 제4 트랜지스터(T4)의 상기 제1 단자를 전기적으로 연결시킬 수 있다. 예를 들어, 상기 제1 초기화 연결 패턴(1641)은 상기 제2 액티브 패턴(1400) 및 상기 제1 게이트 전극(1221)과 접촉할 수 있다.
- [0136] 상기 제2 초기화 연결 패턴(1642)은 상기 제2 화소 회로부(PCP2)에 포함된 상기 제1 트랜지스터(T1)의 상기 게이트 단자와 상기 제4 트랜지스터(T4)의 상기 제1 단자를 전기적으로 연결시킬 수 있다. 예를 들어, 상기 제2 초기화 연결 패턴(1642)은 상기 제2 액티브 패턴(1400) 및 상기 제2 게이트 전극(1222)과 접촉할 수 있다.
- [0137] 상기 애노드 초기화 전압 배선(1650)은 상기 제7 트랜지스터(T7)로 상기 애노드 초기화 전압(AINT)을 제공할 수 있다. 예를 들어, 상기 애노드 초기화 전압 배선(1650)은 상기 제1 액티브 패턴(1100)과 접촉할 수 있다.
- [0138] 상기 제1 데이터 패턴(1661)은 상기 제1 화소 회로부(PCP1)에 포함된 상기 제2 트랜지스터(T2)로 상기 데이터 전압(DATA)을 제공할 수 있다. 예를 들어, 상기 제1 데이터 패턴(1661)은 상기 제1 액티브 패턴(1100) 및 제1 데이터 배선(예를 들어, 도 18의 제1 데이터 배선(1711))과 접촉할 수 있다.
- [0139] 상기 제2 데이터 패턴(1662)은 상기 제2 화소 회로부(PCP2)에 포함된 상기 제2 트랜지스터(T2)로 상기 데이터 전압(DATA)을 제공할 수 있다. 예를 들어, 상기 제2 데이터 패턴(1662)은 상기 제1 액티브 패턴(1100) 및 제2 데이터 배선(예를 들어, 도 18의 제2 데이터 배선(1712))과 접촉할 수 있다.
- [0140] 상기 게이트 초기화 전압 패턴(1670)은 상기 제4 트랜지스터(T4)로 상기 게이트 초기화 전압(VINT)을 제공할 수 있다. 예를 들어, 상기 게이트 초기화 전압 패턴(1670)은 상기 제2 액티브 패턴(1400)으로 상기 게이트 초기화 전압(VINT)을 제공할 수 있다. 상기 게이트 초기화 전압 패턴(1670)은 상기 게이트 초기화 전압 배선(1340) 및 상기 제2 액티브 패턴(1400)과 접촉할 수 있다.
- [0141] 상기 제4 도전 패턴(1600)은 복수의 콘택홀들을 통해 상기 제4 도전 패턴(1600)의 하부에 배치된 도전 패턴 또는 액티브 패턴과 접촉할 수 있다. 예를 들어, 상기 제1 전원 전압 연결 패턴(1611)은 제3 콘택홀(CNT3)을 통해 상기 제1 액티브 패턴(1100)과 직접적으로 접촉할 수 있다.

- [0142] 상기 제1 패턴(710)은 상기 비표시 영역(NDA)에 배치될 수 있다. 예를 들어, 상기 제1 패턴(710)은 상기 제2 방향(D2)으로 일정한 폭을 갖고, 상기 제1 방향(D1)으로 연장할 수 있다. 일 실시예에서, 상기 제1 패턴(710)은 상기 제4 도전 패턴(1600)과 함께 형성될 수 있다.
- [0143] 일 실시예에서, 상기 제1 패턴(710)은 제1 콘택홀(CNT1) 및 제2 콘택홀(CNT2)을 통해 상기 제2 하부 패턴(LP2)과 직접적으로 접촉할 수 있다. 예를 들어, 상기 제1 콘택홀(CNT1)은 상기 에치 스톱퍼(EST)를 노출시킬 수 있다. 상기 제2 콘택홀(CNT2)은 상기 제1 콘택홀(CNT1)과 연결될 수 있고, 상기 에치 스톱퍼(EST)를 관통할 수 있으며, 상기 제2 하부 패턴(LP2)을 노출시킬 수 있다. 일 실시예에서, 상기 제2 콘택홀(CNT2)의 평면 면적은 상기 제1 콘택홀(CNT1)의 평면 면적보다 작을 수 있다.
- [0144] 예를 들어, 상기 제4 도전 패턴(1600) 및 상기 제1 패턴(710)은 금속, 합금, 도전 금속 산화물, 투명 도전 물질 등을 포함할 수 있다.
- [0145] 제1 비아 절연층(VIA1)은 상기 제4 도전 패턴(1600)을 커버하고, 상기 제2 층간 절연층(ILD2) 상에 배치될 수 있다. 상기 제1 비아 절연층(VIA1)은 유기 절연 물질을 포함할 수 있다. 예를 들어, 상기 제1 비아 절연층(VIA1)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 아크릴계 수지 등을 포함할 수 있다.
- [0146] 도 4 및 18을 참조하면, 상기 제5 도전 패턴(1700) 및 제2 패턴(720)은 상기 제1 비아 절연층(VIA1) 상에 배치될 수 있다. 상기 제5 도전 패턴(1700)은 제1 데이터 배선(1711), 제2 데이터 배선(1712), 전원 전압 배선(1720), 제3 애노드 패턴(1731) 및 제4 애노드 패턴(1732)을 포함할 수 있다.
- [0147] 상기 제1 데이터 배선(1711)은 상기 제2 방향(D2)으로 연장할 수 있다. 일 실시예에서, 상기 제1 데이터 배선(1711)은 상기 데이터 전압(DATA)을 상기 제1 화소 회로부(PCP1)에 포함된 상기 제2 트랜지스터(T2)로 제공할 수 있다. 예를 들어, 상기 제1 데이터 배선(1711)은 상기 제1 데이터 패턴(1661)과 접촉할 수 있다.
- [0148] 상기 제2 데이터 배선(1712)은 상기 제2 방향(D2)으로 연장할 수 있다. 일 실시예에서, 상기 제2 데이터 배선(1712)은 상기 데이터 전압(DATA)을 상기 제2 화소 회로부(PCP2)에 포함된 상기 제2 트랜지스터(T2)로 제공할 수 있다. 예를 들어, 상기 제2 데이터 배선(1712)은 상기 제2 데이터 패턴(1662)과 접촉할 수 있다.
- [0149] 상기 전원 전압 배선(1720)은 상기 제2 방향(D2)으로 연장할 수 있다. 일 실시예에서, 상기 전원 전압 배선(1720)은 상기 제1 및 제2 전원 전압 연결 패턴들(1611, 1612)로 상기 전원 전압(ELVDD)을 제공할 수 있다. 예를 들어, 상기 전원 전압 배선(1720)은 상기 제1 및 제2 전원 전압 연결 패턴들(1611, 1612)과 접촉할 수 있다.
- [0150] 상기 제3 애노드 패턴(1731)은 상기 제1 화소 회로부(PCP1)와 연결된 상기 제1 표시 소자(ED1)로 상기 애노드 초기화 전압(AINT) 또는 상기 구동 전류를 제공할 수 있다. 예를 들어, 상기 제3 애노드 패턴(1731)은 상기 제1 애노드 패턴(1621)과 접촉할 수 있다.
- [0151] 상기 제4 애노드 패턴(1732)은 상기 제2 화소 회로부(PCP2)와 연결된 상기 제2 표시 소자(ED2)로 상기 애노드 초기화 전압(AINT) 또는 상기 구동 전류를 제공할 수 있다. 예를 들어, 상기 제4 애노드 패턴(1732)은 상기 제2 애노드 패턴(1622)과 접촉할 수 있다.
- [0152] 상기 제5 도전 패턴(1700)은 복수의 콘택홀들을 통해 상기 제4 도전 패턴(1600)과 접촉할 수 있다. 예를 들어, 상기 전원 전압 배선(1720)은 콘택홀을 통해 상기 제1 전원 전압 연결 패턴(1611)과 접촉할 수 있다.
- [0153] 상기 제2 패턴(720)은 상기 비표시 영역(NDA)에 배치될 수 있다. 예를 들어, 상기 제2 패턴(720)은 상기 제2 방향(D2)으로 일정한 폭을 갖고, 상기 제1 방향(D1)으로 연장할 수 있다. 일 실시예에서, 상기 제2 패턴(720)은 상기 제5 도전 패턴(1700)과 함께 형성될 수 있다.
- [0154] 일 실시예에서, 상기 제2 패턴(720)은 상기 전원 전압 배선(1720)과 연결될 수 있다. 예를 들어, 상기 제2 패턴(720)은 상기 전원 전압 배선(1720)과 일체로 형성될 수 있다. 또한, 상기 제2 패턴(720)은 제4 콘택홀(CNT4)을 통해 상기 제1 패턴(710)과 직접적으로 접촉할 수 있다. 그에 따라, 상기 제2 패턴(720)은 상기 전원 전압 배선(1720)과 상기 제1 패턴(710) 사이에서 상기 전원 전압(ELVDD)을 전달할 수 있다.
- [0155] 예를 들어, 상기 제5 도전 패턴(1700) 및 상기 제2 패턴(720)은 금속, 합금, 도전 금속 산화물, 투명 도전 물질 등을 포함할 수 있다.
- [0156] 제2 비아 절연층(VIA2)은 상기 제5 도전 패턴(1700) 및 상기 제2 패턴(720)을 커버하고, 상기 제1 비아 절연층(VIA1) 상에 배치될 수 있다. 상기 제2 비아 절연층(VIA2)은 유기 절연 물질을 포함할 수 있다. 예를 들어, 상기 제2 비아 절연층(VIA2)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 아크릴계 수지 등을 포함할

수 있다.

- [0157] 도 18 및 19를 참조하면, 상기 제1 하부 패턴(LP1)은 상기 제1 액티브 패턴(1100), 상기 제1 게이트 전극(1221) 및 상기 전원 전압 배선(1720)과 중첩할 수 있다. 구체적으로, 상기 제1 중첩 패턴(OP1)은 상기 제1 액티브 패턴(1100) 및 상기 제1 게이트 전극(1221)과 중첩할 수 있고, 상기 제2 브릿지들(BR2)은 상기 전원 전압 배선(1720)과 중첩할 수 있다. 또한, 평면 상에서 볼 때, 상기 제1 게이트 배선(1210)은 상기 제1 게이트 전극(1221)의 상기 일 측과 인접할 수 있고, 상기 제3 게이트 배선(1320) 및 상기 제5 게이트 배선(1510)은 상기 제1 게이트 전극(1221)의 상기 타 측과 인접할 수 있다.
- [0158] 상술한 바와 같이, 상기 제1 게이트 배선(1210)에는 상기 발광 제어 신호(EM)가 제공될 수 있고, 상기 제3 게이트 배선(1320) 및 상기 제5 게이트 배선(1510)에는 상기 제2 게이트 신호(GC)가 제공될 수 있다. 상기 제5 및 제6 트랜지스터들(T5, T6)을 턴온시키기 위해, 상기 발광 제어 신호(EM)는 음의 전압 레벨을 가질 수 있다. 동시에, 상기 제3 트랜지스터(T3)를 턴오프시키기 위해, 상기 제2 게이트 신호(GC)는 음의 전압 레벨을 가질 수 있다.
- [0159] 종래의 표시 장치에서, 상기 발광 제어 신호(EM)와 상기 제2 게이트 신호(GC)가 동시에 음의 전압 레벨을 가짐에 따라, 상기 제2 유기 필름층(PI2)에는 전기장이 형성될 수 있다. 그에 따라, 상기 제2 유기 필름층(PI2)에 포함된 유기 물질들이 분극될 수 있다. 분극된 상기 유기 물질들에 의해, 상기 제1 액티브 패턴(1100)에는 백채널(back channel)이 형성될 수 있다. 그에 따라, 상기 제1 트랜지스터(T1)의 전기적 특성(예를 들어, 문턱 전압, 전자 이동도 등)이 변경될 수 있다. 그에 따라, 전기적 특성이 변경된 상기 제1 트랜지스터(T1)를 포함하는 제1 및 제2 화소 구조물들은 상기 데이터 전압(DATA)과 상응하지 않는 휘도를 발광할 수 있고, 표시 장치의 표시 품질이 저하될 수 있다.
- [0160] 그러나, 상기 표시 장치(10)는 상기 제2 유기 필름층(PI2) 및 상기 제1 액티브 패턴(1100) 사이에 배치되는 상기 제1 하부 패턴(LP1)을 포함할 수 있다. 상기 제1 하부 패턴(LP1)은 분극된 상기 유기 물질들로부터 상기 제1 액티브 패턴(1100)을 차폐할 수 있다. 그에 따라, 상기 제1 액티브 패턴(1100)에는 상기 백채널이 형성되지 않을 수 있고, 상기 제1 트랜지스터(T1)의 전기적 특성이 변경되지 않을 수 있다. 따라서, 상기 표시 장치(10)의 표시 품질이 향상될 수 있다.
- [0161] 또한, 상술한 바와 같이, 상기 제1 하부 패턴(LP1)은 상기 단위 패턴들(UP)이 반복적으로 배열되는 상기 메쉬 형상을 가질 수 있다. 상기 제1 하부 패턴(LP1)이 상기 메쉬 형상을 가짐에 따라, 상기 제1 하부 패턴(LP1)의 표면적이 증가될 수 있고, 상기 제1 하부 패턴(LP1)의 저항이 감소될 수 있다. 따라서, 상기 제1 하부 패턴(LP1)은 상기 유기 물질들의 분극 현상을 효과적으로 억제할 수 있다.
- [0162] 도 20 내지 도 28은 도 1의 표시 장치를 설명하기 위한 단면도들이다. 예를 들어, 도 20 내지 도 28에는 도 18의 II-II' 선을 따라 절단한 단면이 도시될 수 있다.
- [0163] 도 8, 18 및 20을 참조하면, 상기 제1 유기 필름층(PI1) 상에 상기 제1 배리어층(BRR1)이 형성될 수 있고, 상기 제1 배리어층(BRR1) 상에 상기 제2 유기 필름층(PI2)이 형성될 수 있으며, 상기 제2 유기 필름층(PI2) 상에 상기 제2 배리어층(BRR2)이 형성될 수 있다. 또한, 상기 제2 배리어층(BRR2) 상에 상기 제1 하부 패턴(LP1) 및 상기 제2 하부 패턴(LP2)이 형성될 수 있다. 상술한 바와 같이, 상기 제1 하부 패턴(LP1)은 상기 제1 중첩 패턴(OP1) 및 상기 제2 브릿지들(BR2)을 포함할 수 있다.
- [0164] 상기 제1 중첩 패턴(OP1) 및 상기 제2 브릿지들(BR2)은 상기 표시 영역(DA)에 배치될 수 있고, 상기 제2 하부 패턴(LP2)은 상기 비표시 영역(NDA)에 배치될 수 있다. 또한, 상기 제2 브릿지들(BR2) 및 상기 제2 하부 패턴(LP2)은 서로 연결될 수 있다. 일 실시예에서, 상기 제1 하부 패턴(LP1) 및 상기 제2 하부 패턴(LP2)은 함께 형성될 수 있다.
- [0165] 도 10, 18, 및 21을 참조하면, 상기 제1 하부 패턴(LP1) 및 상기 제2 하부 패턴(LP2) 상에 제1 절연층(INS1)이 형성될 수 있다. 일 실시예에서, 상기 제1 절연층(INS1)은 상기 제3 배리어층(BRR3) 및 상기 버퍼층(BFR)을 포함할 수 있다. 상기 제1 절연층(INS1)은 상기 표시 영역(DA), 상기 비표시 영역(NDA) 및 상기 벤딩 영역(BA)과 중첩할 수 있다.
- [0166] 도 11, 18, 및 22를 참조하면, 상기 제1 절연층(INS1) 상에 상기 에치 스톱퍼(EST) 및 상기 제1 액티브 패턴(1100)이 함께 형성될 수 있다. 상기 에치 스톱퍼(EST)는 상기 비표시 영역(NDA)에서 상기 제2 하부 패턴(LP2)과 중첩할 수 있다. 상기 제1 액티브 패턴(1100)은 상기 표시 영역(DA)에서 상기 제1 하부 패턴(LP1)과 중첩할

수 있다.

- [0167] 도 16, 18, 및 23을 참조하면, 상기 에치 스톱퍼(EST) 및 상기 제1 액티브 패턴(1100) 상에 제2 절연층(INS2)이 형성될 수 있다. 상기 제2 절연층(INS2)은 상기 제1 게이트 절연층(GI1), 상기 제2 게이트 절연층(GI2), 상기 제1 층간 절연층(ILD1), 상기 제3 게이트 절연층(GI3), 및 상기 제2 층간 절연층(ILD2)을 포함할 수 있다.
- [0168] 구체적으로, 상기 에치 스톱퍼(EST) 및 상기 제1 액티브 패턴(1100) 상에 상기 제1 게이트 절연층(GI1)이 형성될 수 있다. 상기 제1 게이트 절연층(GI1) 상에 상기 제1 도전 패턴(1200)(예를 들어, 상기 제1 게이트 배선(1210) 및 상기 제1 게이트 전극(1221))이 형성될 수 있다.
- [0169] 상기 제1 도전 패턴(1200) 상에 상기 제2 게이트 절연층(GI2)이 형성될 수 있다. 상기 제2 게이트 절연층(GI2) 상에 상기 제2 도전 패턴(1300)(예를 들어, 상기 스토리지 커패시터 전극(1310))이 형성될 수 있다.
- [0170] 상기 제2 도전 패턴(1300) 상에 상기 제1 층간 절연층(ILD1)이 형성될 수 있다. 상기 제1 층간 절연층(ILD1) 상에 상기 제2 액티브 패턴(1400)이 형성될 수 있다.
- [0171] 상기 제2 액티브 패턴(1400) 상에 상기 제3 게이트 절연층(GI3)이 형성될 수 있다. 상기 제3 게이트 절연층(GI3) 상에 상기 제3 도전 패턴(1500)이 형성될 수 있다.
- [0172] 상기 제3 도전 패턴(1500) 상에 상기 제2 층간 절연층(ILD2)이 형성될 수 있다. 상기 제2 절연층(INS2)은 상기 표시 영역(DA), 상기 비표시 영역(NDA) 및 상기 벤딩 영역(BA)과 중첩할 수 있다.
- [0173] 도 17, 18, 및 24를 참조하면, 상기 제1 콘택홀(CNT1), 상기 제3 콘택홀(CNT3), 및 제1 식각홀(BCNT1)이 형성될 수 있다.
- [0174] 일 실시예에서, 상기 제1 콘택홀(CNT1)은 상기 비표시 영역(NDA)에 형성될 수 있다. 상기 제1 콘택홀(CNT1)은 상기 제2 절연층(INS2)을 관통하고, 상기 에치 스톱퍼(EST)를 노출시킬 수 있다.
- [0175] 일 실시예에서, 상기 제3 콘택홀(CNT3)은 상기 표시 영역(DA)에 형성될 수 있다. 상기 제3 콘택홀(CNT3)은 상기 제2 절연층(INS2)을 관통하고, 상기 제1 액티브 패턴(1100)을 노출시킬 수 있다.
- [0176] 일 실시예에서, 상기 제1 식각홀(BCNT1)은 상기 벤딩 영역(BA)에 형성될 수 있다. 상기 제1 식각홀(BCNT1)은 상기 제2 절연층(INS2)을 관통하고, 상기 버퍼층(BFR)을 노출시킬 수 있다. 또한, 상기 에치 스톱퍼(EST)의 식각 속도가 상기 제2 절연층(INS2)의 식각 속도보다 작은 경우, 상기 제1 식각홀(BCNT1)의 깊이는 상기 제1 콘택홀(CNT1)(또는, 상기 제3 콘택홀(CNT3))의 깊이보다 클 수 있다. 예를 들어, 상기 제1 식각홀(BCNT1)의 깊이는 상기 제1 콘택홀(CNT1)의 깊이보다 상기 에치 스톱퍼(EST)의 두께 이상 클 수 있다.
- [0177] 도 17, 18, 및 25를 참조하면, 상기 제2 콘택홀(CNT2) 및 제2 식각홀(BCNT2)이 형성될 수 있다.
- [0178] 일 실시예에서, 상기 제2 콘택홀(CNT2)은 상기 비표시 영역(NDA)에 형성될 수 있다. 예를 들어, 상기 제2 콘택홀(CNT2)은 상기 제1 콘택홀(CNT1)과 연결될 수 있다. 또한, 상기 제2 콘택홀(CNT2)은 상기 에치 스톱퍼(EST) 및 상기 제1 절연층(INS1)을 관통하고, 상기 제2 하부 패턴(LP2)을 노출시킬 수 있다.
- [0179] 일 실시예에서, 상기 제2 식각홀(BCNT2)은 상기 제2 콘택홀(CNT2)과 함께 형성될 수 있다. 상기 제2 식각홀(BCNT2)은 상기 제1 식각홀(BCNT1)과 연결될 수 있다. 또한, 상기 에치 스톱퍼(EST)의 식각 속도(etch rate)와 상기 제1 절연층(INS1)의 식각 속도 사이가 상이함에 따라, 상기 제2 식각홀(BCNT2)의 깊이는 상기 제2 콘택홀(CNT2)의 깊이보다 클 수 있다. 예를 들어, 상기 제2 식각홀(BCNT2)은 상기 제1 절연층(INS1)을 관통할 수 있고, 상기 제2 유기 필름층(PI2)을 노출시킬 수 있다. 상기 제1 식각홀(BCNT1) 및 상기 제2 식각홀(BCNT2)은 식각홀(BCNT)으로 정의될 수 있다.
- [0180] 일 실시예에서, 상기 제1 콘택홀(CNT1)은 제1 식각 조건으로 수행되는 제1 식각 공정을 통해 형성될 수 있고, 상기 제2 콘택홀(CNT2)은 제2 식각 조건으로 수행되는 제2 식각 공정을 통해 형성될 수 있다. 상기 제1 식각 조건은 상기 제2 절연층(INS2) 및 상기 에치 스톱퍼(EST) 사이에 식각 선택비(etch selectivity)가 큰 식각 조건일 수 있고, 상기 제2 식각 조건은 상기 제1 절연층(INS1) 및 상기 에치 스톱퍼(EST) 사이에 식각 선택비가 작은 식각 조건일 수 있다.
- [0181] 도 18, 24, 및 25에 도시된 바와 같이, 상기 제2 절연층(INS2)에는 복수의 제1 콘택홀들(CNT1)이 형성될 수 있고, 상기 제1 절연층(INS1)에는 복수의 제2 콘택홀들(CNT2)이 형성될 수 있다. 예를 들어, 상기 제2 절연층(INS2) 및 상기 에치 스톱퍼(EST) 사이에 식각 선택비가 크게 설정됨에 따라, 상기 제2 절연층(INS2)의 식각 속

도는 크고 상기 에치 스톱퍼(EST)의 식각 속도는 작을 수 있다. 그에 따라, 상기 에치 스톱퍼(EST)는 상기 제1 콘택홀들(CNT1)의 깊이들의 산포를 감소시킬 수 있다. 다시 말하면, 상기 제1 식각 공정의 식각 균일도(etch uniformity)가 향상될 수 있다. 상기 제1 콘택홀들(CNT1)의 상기 산포가 감소됨에 따라, 상기 제1 식각 공정이 수행되는 동안, 상기 비표시 영역(NDA)과 중첩하는 상기 제1 절연층(INS1)이 식각되지 않을 수 있다.

[0182] 또한, 상기 제1 콘택홀들(CNT1)의 깊이들의 산포가 감소됨에 따라, 상기 제2 콘택홀들(CNT2)의 깊이들의 산포도 감소될 수 있다. 다시 말하면, 상기 제2 식각 공정의 식각 균일도가 향상될 수 있다. 그에 따라, 상기 제2 식각 공정이 수행되는 동안, 상기 제2 하부 패턴(LP2)이 손실되지 않을 수 있다. 따라서, 상기 제2 하부 패턴(LP2)의 공정 마진(margin)이 확보될 수 있고, 상기 제2 하부 패턴(LP2)의 두께 및 상기 제2 하부 패턴(LP2)과 함께 형성되는 상기 제1 하부 패턴(LP1)의 두께를 작게 설정할 수 있다. 따라서, 상기 제1 및 제2 하부 패턴들(LP1, LP2)의 생산성이 증가될 수 있다.

[0183] 또한, 상기 제1 하부 패턴(LP1)의 두께가 작게 설정됨에 따라, 상기 제1 액티브 패턴(1100)의 결정화 공정(예를 들어, 엑시머 레이저 어닐링(ELA) 공정)의 난도, 상기 결정화 공정을 수행하기 전에 수행되는 검사 공정의 난도, 및/또는 상기 결정화 공정을 수행한 후에 수행되는 검사 공정의 난도가 낮아질 수 있다.

[0184] 도 17, 18, 및 26을 참조하면, 상기 제1 패턴(710), 및 상기 제4 도전 패턴(1600)(예를 들어, 상기 제1 전원 전압 연결 패턴(1611), 상기 제1 보상 연결 패턴(1631)) 이 함께 형성될 수 있다.

[0185] 일 실시예에서, 상기 제1 패턴(710)은 상기 비표시 영역(NDA)에 형성될 수 있다. 상기 제1 패턴(710)은 상기 제1 및 제2 콘택홀들(CNT1, CNT2)을 통해 상기 에치 스톱퍼(EST) 및 상기 제2 하부 패턴(LP2)과 접촉할 수 있다.

[0186] 일 실시예에서, 상기 제1 전원 전압 연결 패턴(1611) 및 상기 제1 보상 연결 패턴(1631)은 상기 표시 영역(DA)에 형성될 수 있다. 예를 들어, 상기 제1 전원 전압 연결 패턴(1611)은 상기 제3 콘택홀(CNT3)을 통해 상기 제1 액티브 패턴(1100)과 직접적으로 접촉할 수 있다. 또한, 상기 제1 보상 연결 패턴(1631)은 콘택홀을 통해 상기 제1 액티브 패턴(1100)과 직접적으로 접촉할 수 있다.

[0187] 도 18 및 27을 참조하면, 상기 제1 비아 절연층(VIA1)이 형성될 수 있다. 상기 제1 비아 절연층(VIA1)은 상기 제1 콘택홀(CNT1)의 내부, 상기 제2 콘택홀(CNT2)의 내부 및 상기 식각홀(BCNT)의 내부를 채울 수 있다. 또한, 상기 제1 비아 절연층(VIA1)을 관통하는 콘택홀들이 형성될 수 있다. 예를 들어, 상기 제1 패턴(710)을 노출시키는 상기 제4 콘택홀(CNT4)이 형성될 수 있다. 또한, 상기 제1 전원 전압 연결 패턴(1611)을 노출시키는 콘택홀이 상기 제4 콘택홀(CNT4)과 함께 형성될 수 있다.

[0188] 도 18 및 28을 참조하면, 상기 제1 비아 절연층(VIA1) 상에, 상기 제2 패턴(720), 상기 제5 도전 패턴(1700)(예를 들어, 상기 전원 전압 배선(1720)), 및 상기 팬아웃 배선(FL)이 함께 형성될 수 있다. 상기 제2 패턴(720), 상기 제5 도전 패턴(1700) 및 상기 팬아웃 배선(FL) 상에 상기 제2 비아 절연층(VIA2)이 형성될 수 있다.

[0189] 일 실시예에서, 상기 제2 패턴(720)은 상기 비표시 영역(NDA)에 형성될 수 있다. 상기 제2 패턴(720)은 상기 제4 콘택홀(CNT4)을 통해 상기 제1 패턴(710)과 직접적으로 접촉할 수 있다. 또한, 상기 제2 패턴(720)은 상기 전원 전압 배선(1720)과 일체로 형성될 수 있다.

[0190] 일 실시예에서, 상기 전원 전압 배선(1720)은 상기 표시 영역(DA)에 형성될 수 있다. 상기 전원 전압 배선(1720)은 상기 제1 비아 절연층(VIA1)에 형성되는 상기 콘택홀을 통해 상기 제1 전원 전압 연결 패턴(1611)과 직접적으로 접촉할 수 있다.

[0191] 일 실시예에서, 상기 팬아웃 배선(FL)은 상기 밴딩 영역(BA)에 형성될 수 있다. 상술한 바와 같이, 상기 팬아웃 배선(FL)은 상기 전원 전압(ELVDD)을 전달할 수 있다.

[0192] 본 발명의 일 실시예에 따른 표시 장치(10)는 상기 제2 유기 필름층(PI2) 및 상기 제1 액티브 패턴(1100) 사이에 배치되는 상기 제1 하부 패턴(LP1)을 포함할 수 있다.

[0193] 상기 제1 하부 패턴(LP1)은 상기 게이트 전극들(예를 들어, 상기 제1 게이트 전극(1221) 및 상기 제2 게이트 전극(1222))과 중첩하는 중첩 패턴들(OP)을 포함할 수 있다. 상기 중첩 패턴들(OP)은 상기 제2 유기 필름층(PI2)에 포함된 유기 물질들의 분극 현상으로부터 상기 제1 액티브 패턴(1100)을 차폐할 수 있다. 그에 따라, 상기 제1 트랜지스터(T1)의 전기적 특성이 변경되지 않을 수 있다.

[0194] 또한, 상기 제1 하부 패턴(LP1)은 상기 단위 패턴들(UP)이 반복적으로 배열되는 상기 메쉬 형상을 가질 수 있다. 상기 제1 하부 패턴(LP1)이 상기 메쉬 형상을 가짐에 따라, 상기 제1 하부 패턴(LP1)의 표면적이 증가될

수 있고, 상기 제1 하부 패턴(LP1)의 저항이 감소될 수 있다. 따라서, 상기 제1 하부 패턴(LP1)은 상기 유기 물질들의 분극 현상을 효과적으로 억제할 수 있다.

[0195] 또한, 상기 표시 장치(10)는 상기 전원 전압 배선(1720)과 연결되는 상기 전달 패턴(700)을 포함할 수 있다. 상기 전달 패턴(700)이 상기 표시 패널(100)의 상측에서 상기 전원 전압(ELVDD)을 재전달함에 따라, 상기 전원 전압 배선(1720)으로 제공되는 상기 전원 전압(ELVDD)의 전압 강하가 방지될 수 있다.

[0196] 또한, 상기 전달 패턴(700)은 상기 제2 하부 패턴(LP2)과 접촉할 수 있고, 상기 제2 하부 패턴(LP2)은 상기 제1 하부 패턴(LP1)과 연결될 수 있다. 상기 제2 하부 패턴(LP2)이 상기 표시 패널(100)의 상측에서 상기 전원 전압(ELVDD)을 재전달함에 따라, 상기 제1 하부 패턴(LP1)으로 제공되는 상기 전원 전압(ELVDD)의 전압 강하가 방지될 수 있다.

[0197] 또한, 상기 전달 패턴(700)은 상기 제1 및 제2 콘택홀들(CNT1, CNT2)을 통해 상기 제2 하부 패턴(LP2)과 접촉할 수 있고, 상기 제1 및 제2 콘택홀들(CNT1, CNT2)은 상기 제3 콘택홀(CNT3) 및 상기 식각홀(BCNT)과 함께 형성될 수 있다. 그에 따라, 상기 제1 및 제2 콘택홀들(CNT1, CNT2)을 형성하기 위한 추가 공정이 요구되지 않을 수 있다.

[0198] 또한, 상기 제2 하부 패턴(LP2) 상에는 상기 에치 스톱퍼(EST)가 배치될 수 있다. 예를 들어, 상기 에치 스톱퍼(EST)는 상기 제2 절연층(INS2)과 비교하여 큰 식각 선택비를 가질 수 있고, 상기 제1 절연층(INS1)과 비교하여 작은 식각 선택비를 가질 수 있다. 상기 에치 스톱퍼(EST)가 상기 제1 콘택홀들(CNT1)의 깊이들의 산포 및 상기 제2 콘택홀들(CNT2)의 깊이들의 산포를 감소시킴에 따라, 상기 제1 식각 공정의 식각 균일도 및 상기 제2 식각 공정의 식각 균일도가 향상될 수 있다. 따라서, 상기 제2 식각 공정이 수행되는 동안, 상기 제2 하부 패턴(LP2)이 손실되지 않을 수 있고, 상기 제1 및 제2 하부 패턴들(LP1, LP2)의 두께들을 상대적으로 작게 설정할 수 있다. 따라서, 상기 제1 및 제2 하부 패턴들(LP1, LP2)의 생산성을 증가시킬 수 있다. 또한, 상기 제1 하부 패턴(LP1)의 두께가 작게 설정됨에 따라, 상기 제1 액티브 패턴(1100)의 결정화 공정의 난도, 상기 결정화 공정을 수행하기 전에 수행되는 검사 공정의 난도, 및/또는 상기 결정화 공정을 수행한 후에 수행되는 검사 공정의 난도가 낮아질 수 있다.

[0199] 도 29는 본 발명의 다른 실시예에 따른 표시 장치를 설명하기 위한 단면도이다.

[0200] 도 29를 참조하면, 에치 스톱퍼(EST')는 상기 제1 도전 패턴(1200)(예를 들어, 상기 제1 게이트 배선(1210), 상기 제1 게이트 전극(1221) 등)과 함께 형성될 수 있다. 그에 따라, 상기 에치 스톱퍼(EST')는 상기 제1 도전 패턴(1200)과 동일한 물질을 포함하고, 동일한 층에 배치될 수 있다.

[0201] 다만, 상기 에치 스톱퍼(EST')가 형성되는 위치는 이에 한정되지 아니한다. 일 실시예에서, 상기 에치 스톱퍼(EST')는 상기 제2 하부 패턴(LP2) 및 상기 제1 패턴(710) 사이에 형성될 수 있다. 예를 들어, 상기 에치 스톱퍼(EST')는 상기 제2 도전 패턴(1300), 상기 제2 액티브 패턴(1400) 또는 상기 제3 도전 패턴(1500)과 함께 형성될 수 있다. 또한, 상기 에치 스톱퍼(EST')의 개수는 이에 한정되지 아니한다. 예를 들어, 상기 에치 스톱퍼(EST')는 수직으로 적층되는 복수의 에치 스톱퍼들을 포함할 수 있다.

[0202] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자라면 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

[0203] 본 발명은 표시 장치 및 이를 포함하는 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 고해상도 스마트폰, 휴대폰, 스마트패드, 스마트 워치, 태블릿 PC, 차량용 네비게이션 시스템, 텔레비전, 컴퓨터 모니터, 노트북 등에 적용될 수 있다.

[0204] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

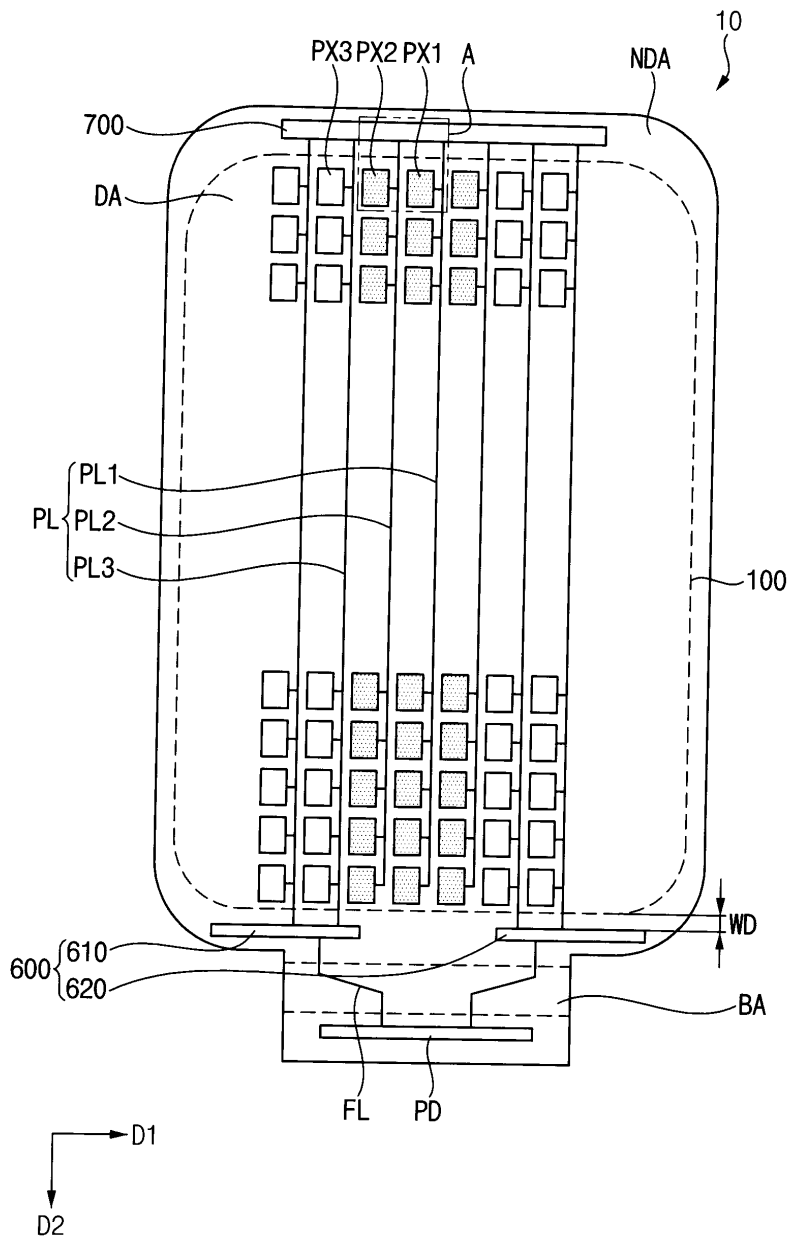
부호의 설명

[0205] 10: 표시 장치 100 : 표시 패널

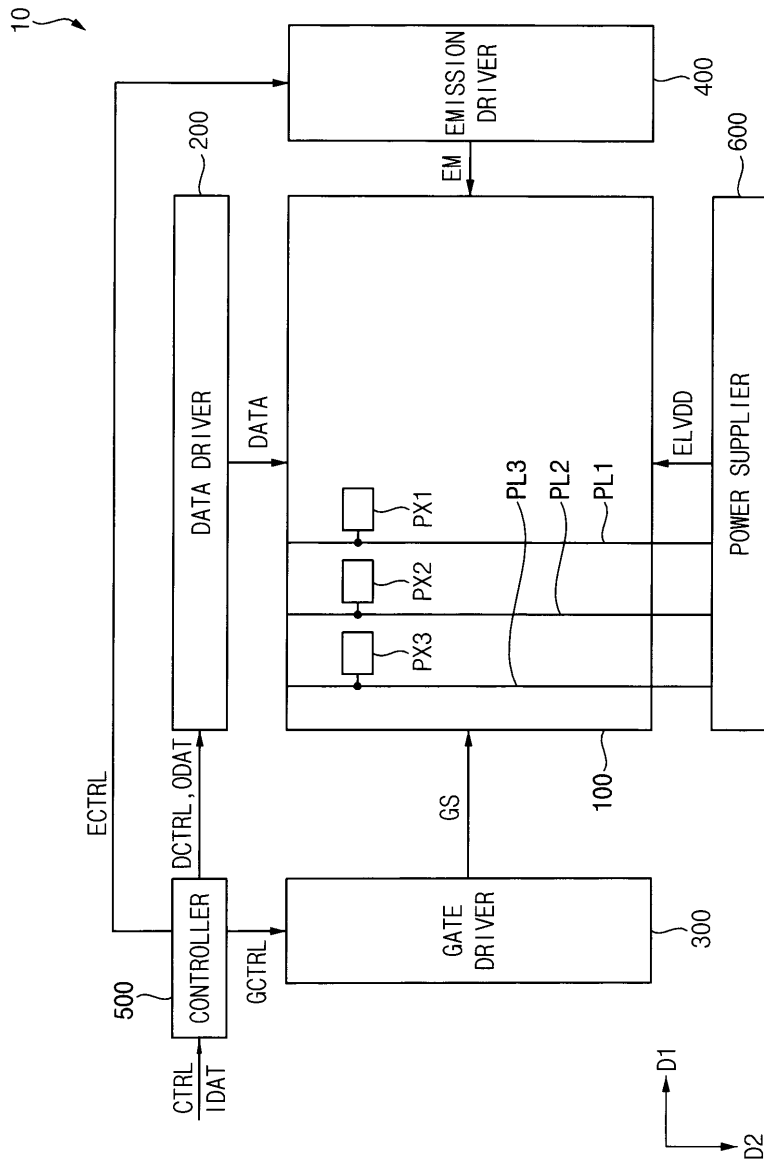
LP1 : 제1 하부 패턴 LP2 : 제2 하부 패턴
UP : 단위 패턴들 OP : 중첩 패턴들
BR1 : 제1 브릿지들 BR2 : 제2 브릿지들
PI1 : 제1 유기 필름층 PI2 : 제2 유기 필름층
BRR1 : 제1 배리어층 BRR2 : 제2 배리어층
BRR3 : 제3 배리어층 1100 : 제1 액티브 패턴
1200 : 제1 도전 패턴 1300 : 제2 도전 패턴
1400 : 제2 액티브 패턴 1500 : 제3 도전 패턴
1600 : 제4 도전 패턴 1700 : 제5 도전 패턴
EST : 에치 스톱퍼 700 : 전달 패턴
710 : 제1 패턴 720 : 제2 패턴

도면

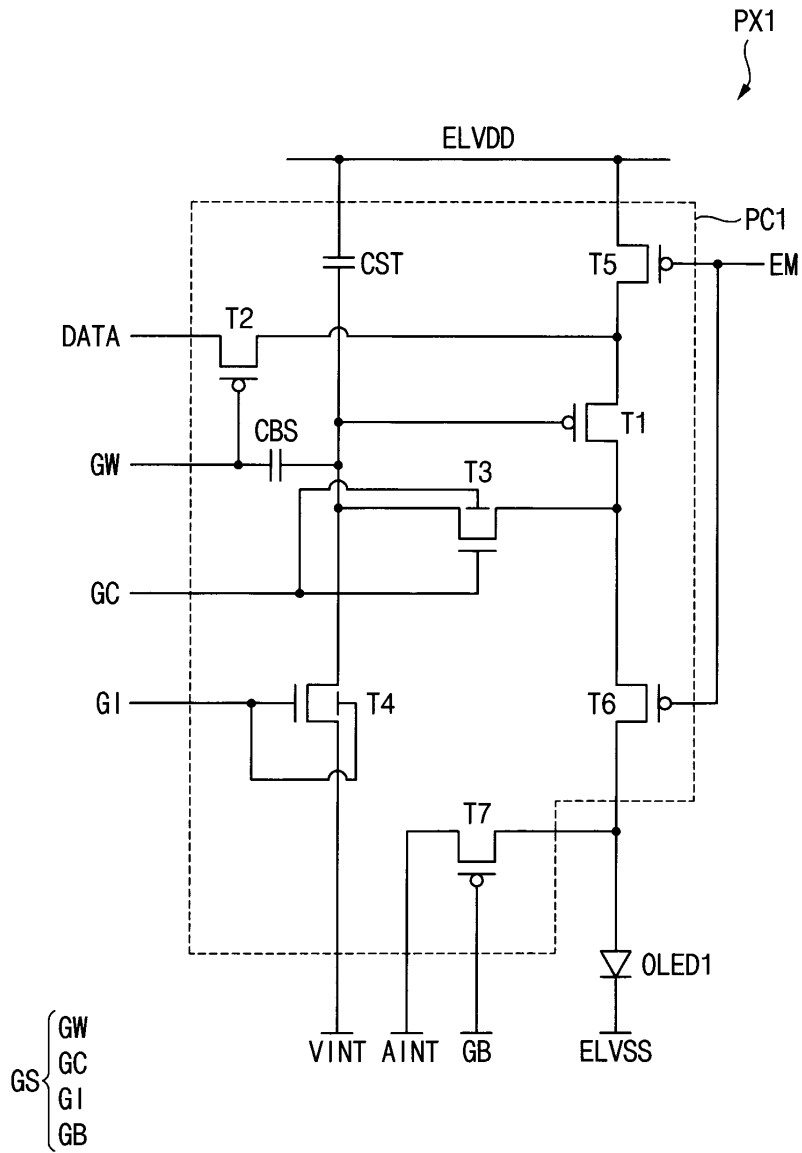
도면1



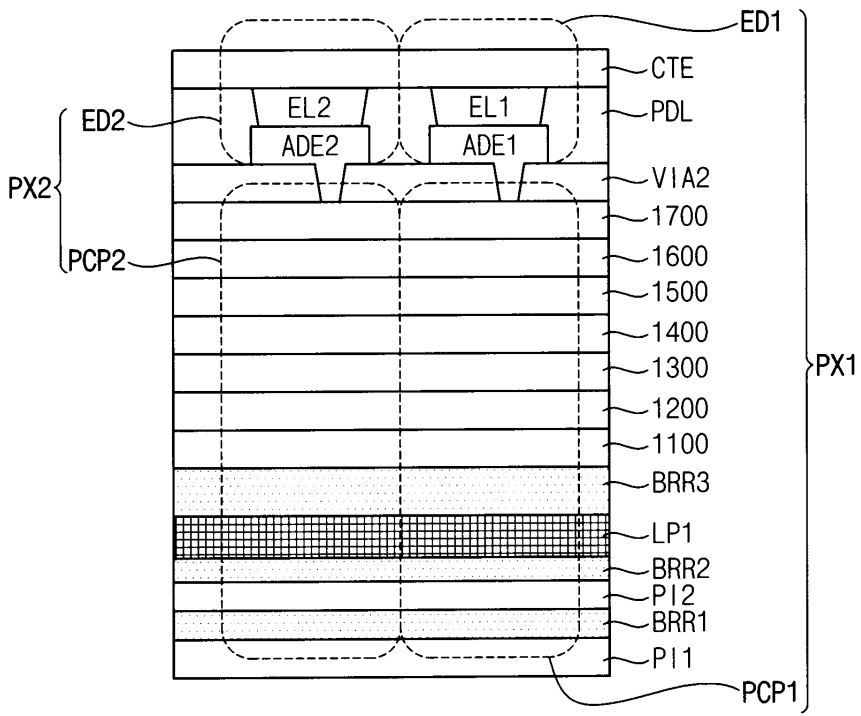
도면2



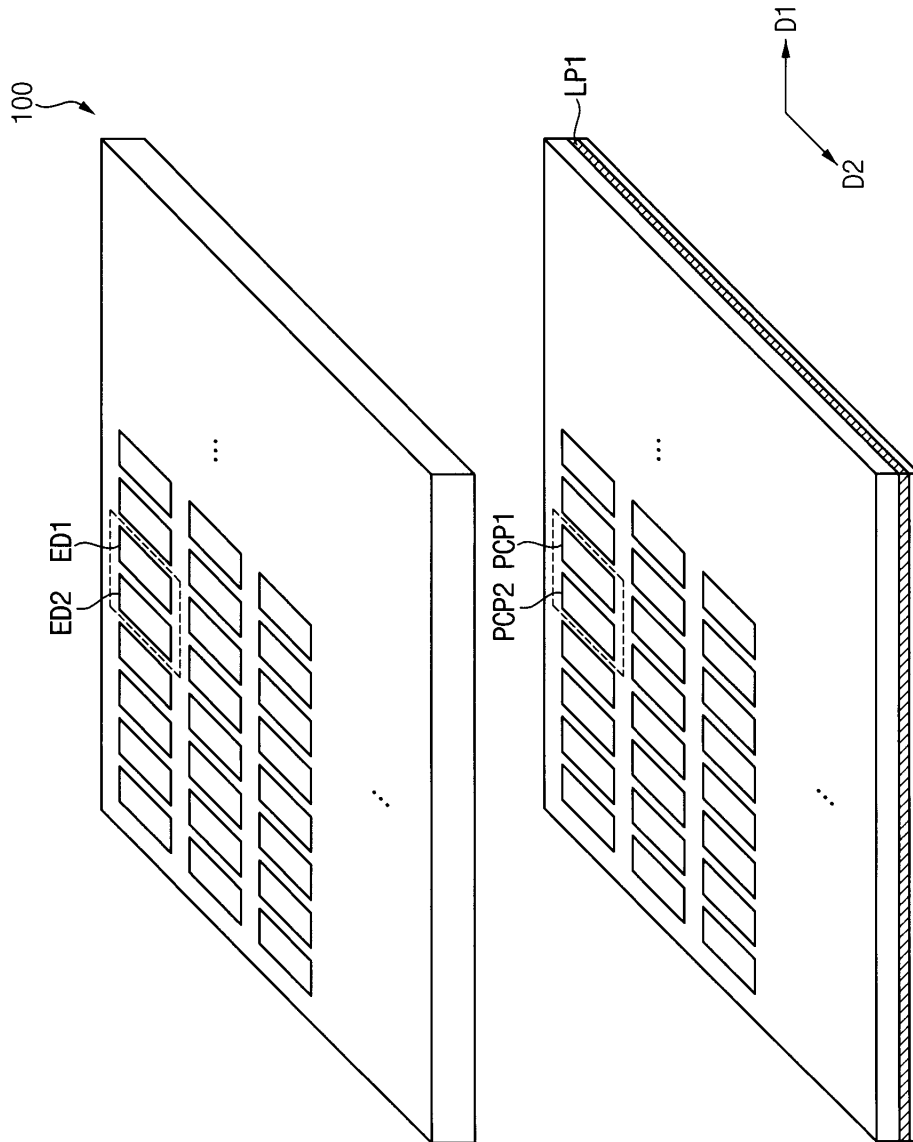
도면3



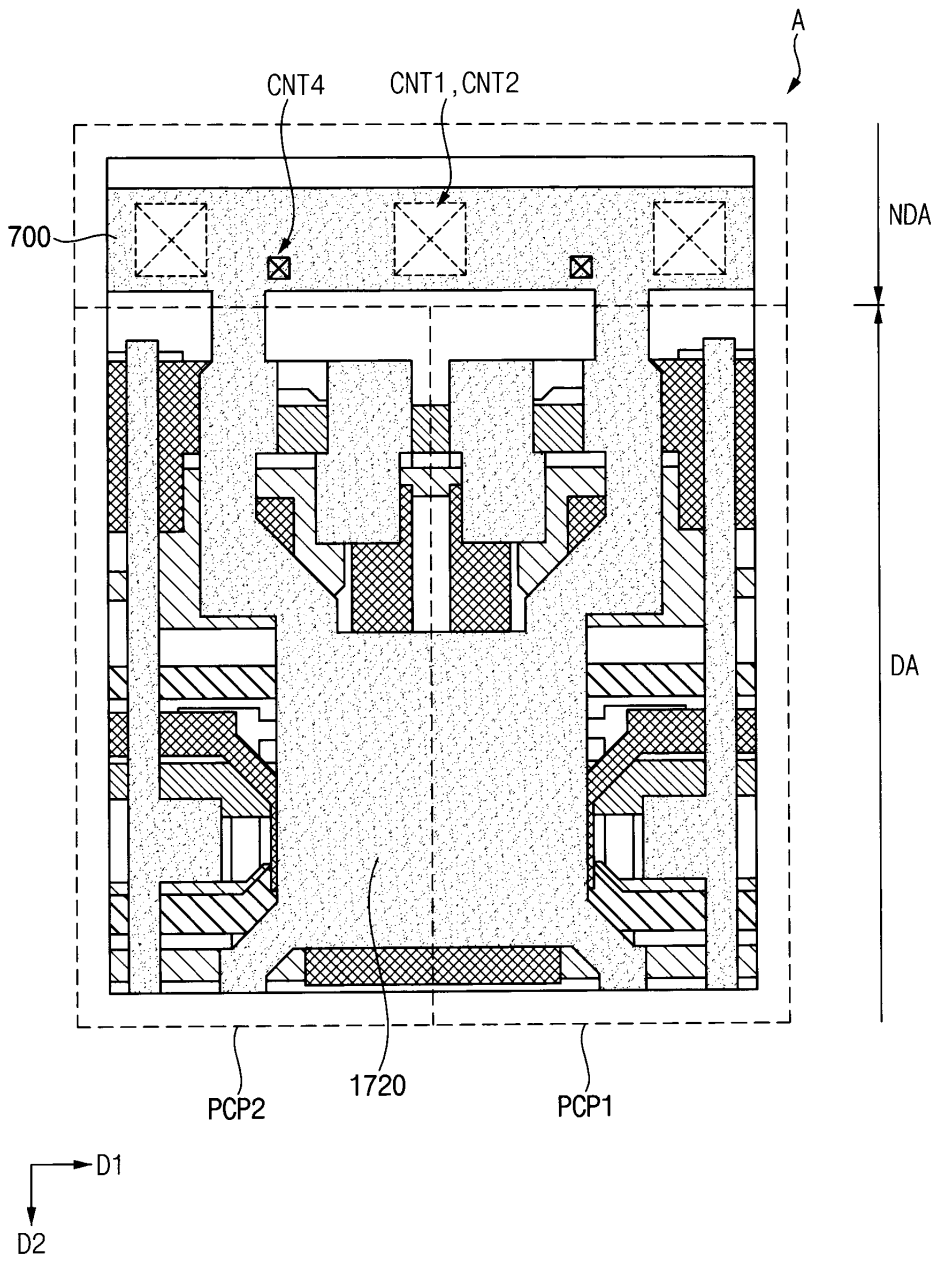
도면4



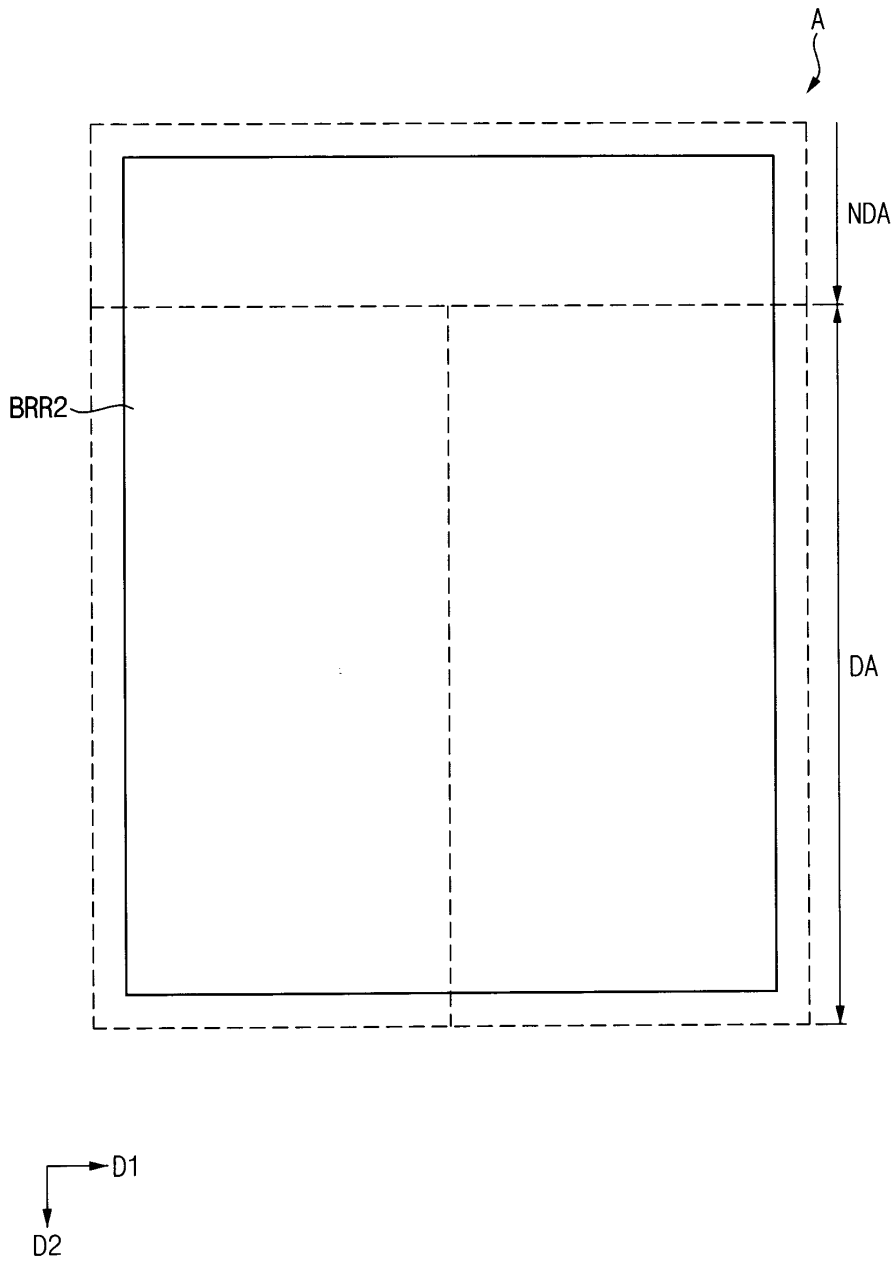
도면5



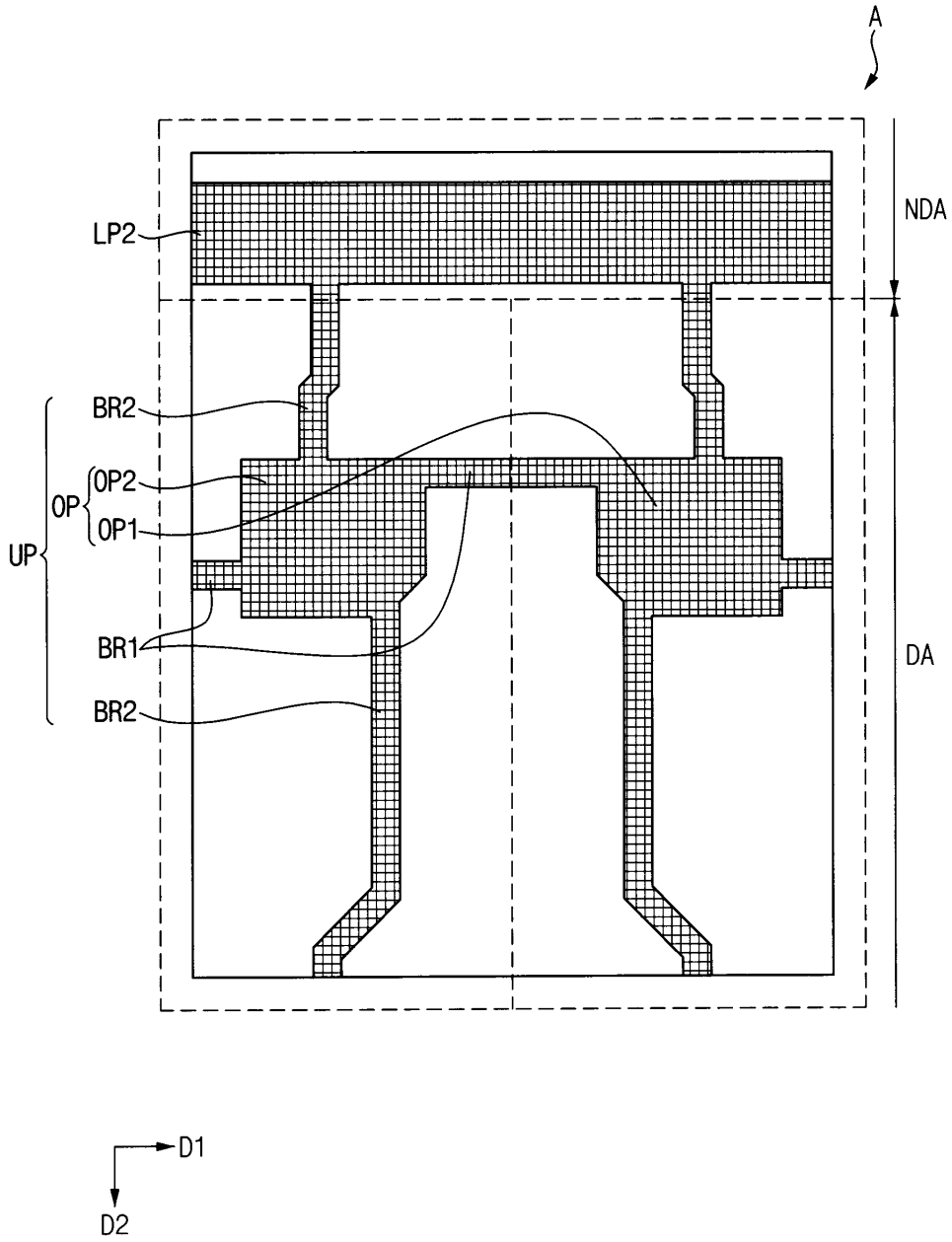
도면6



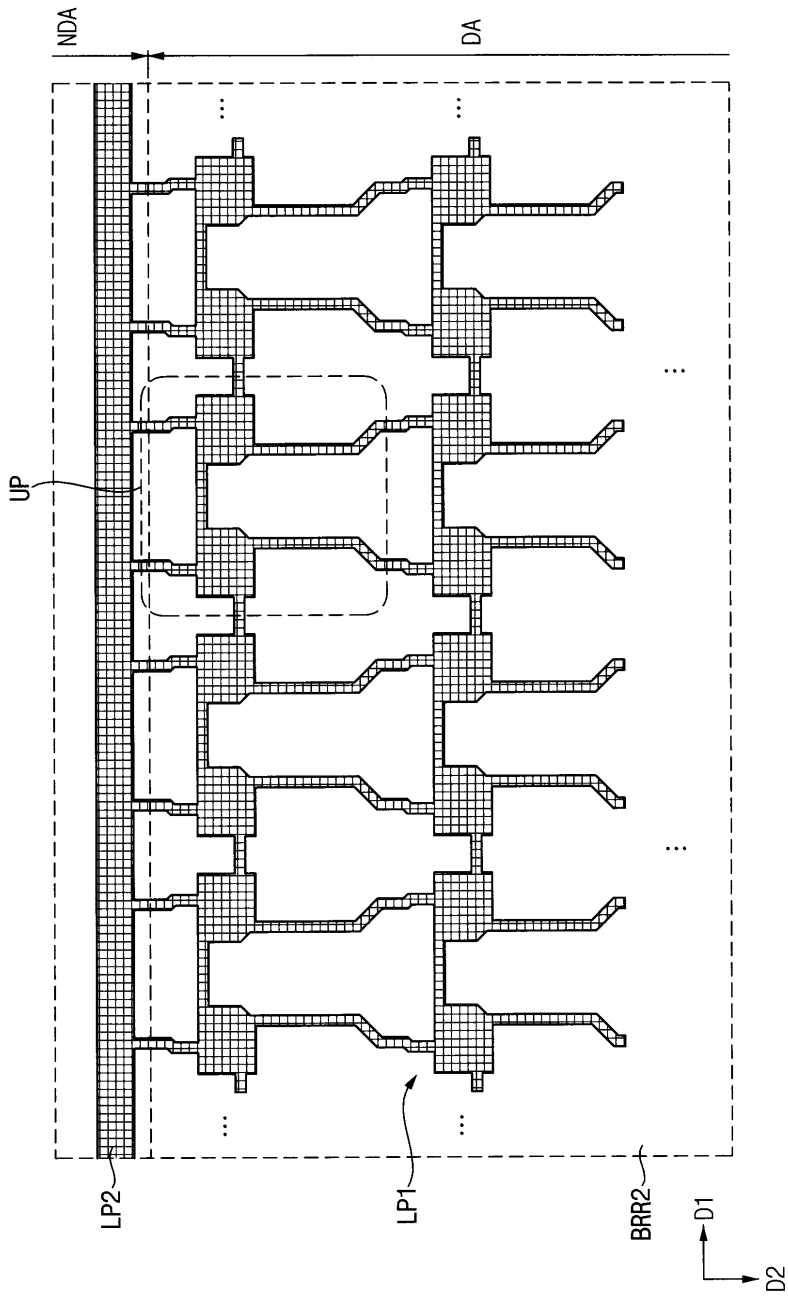
도면7



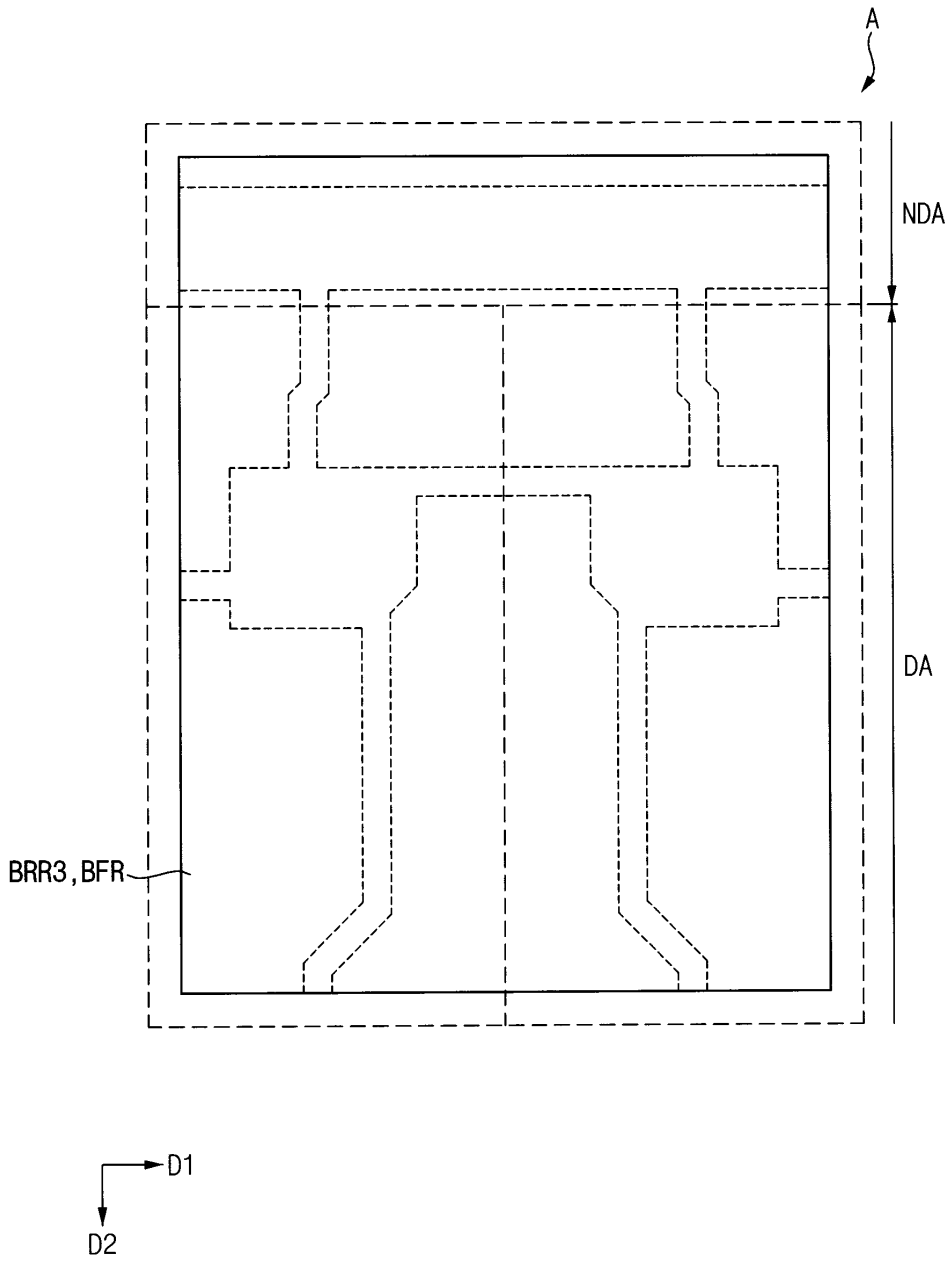
도면8



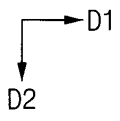
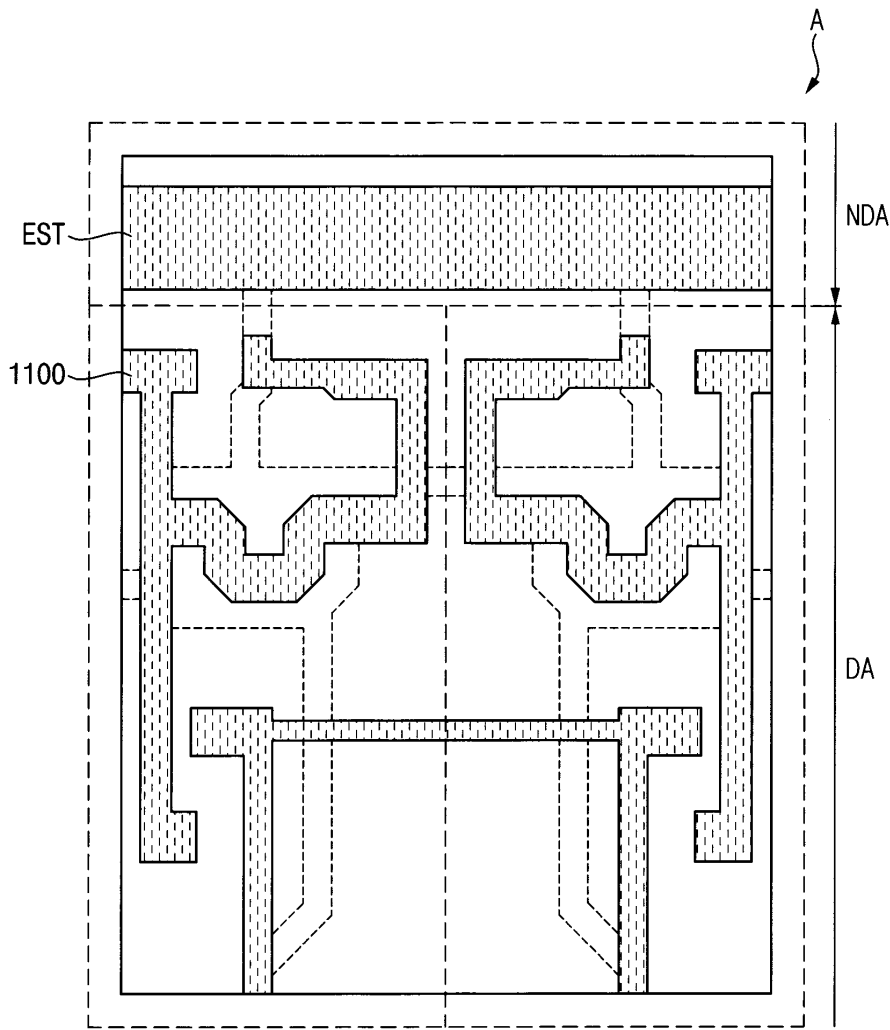
도면9



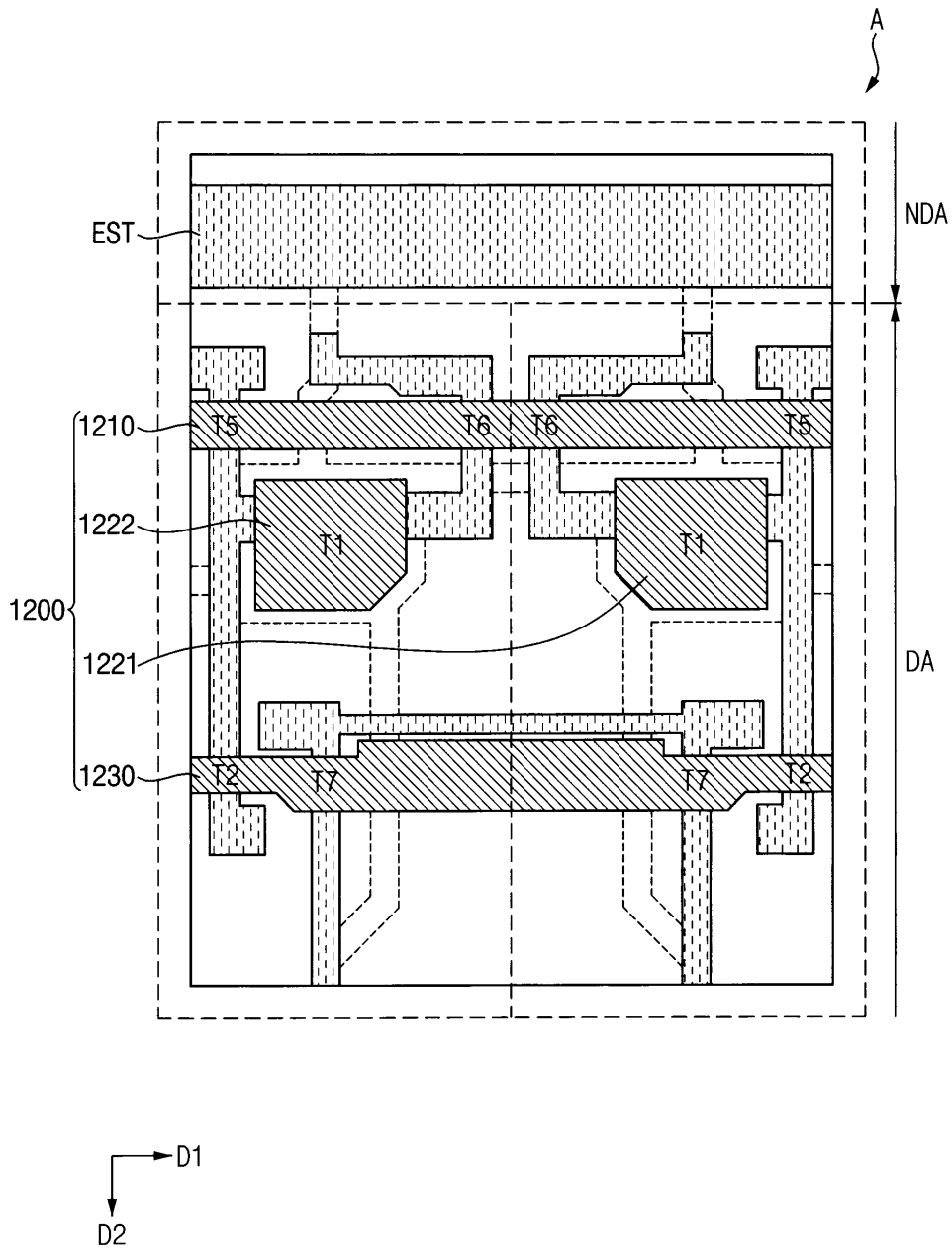
도면10



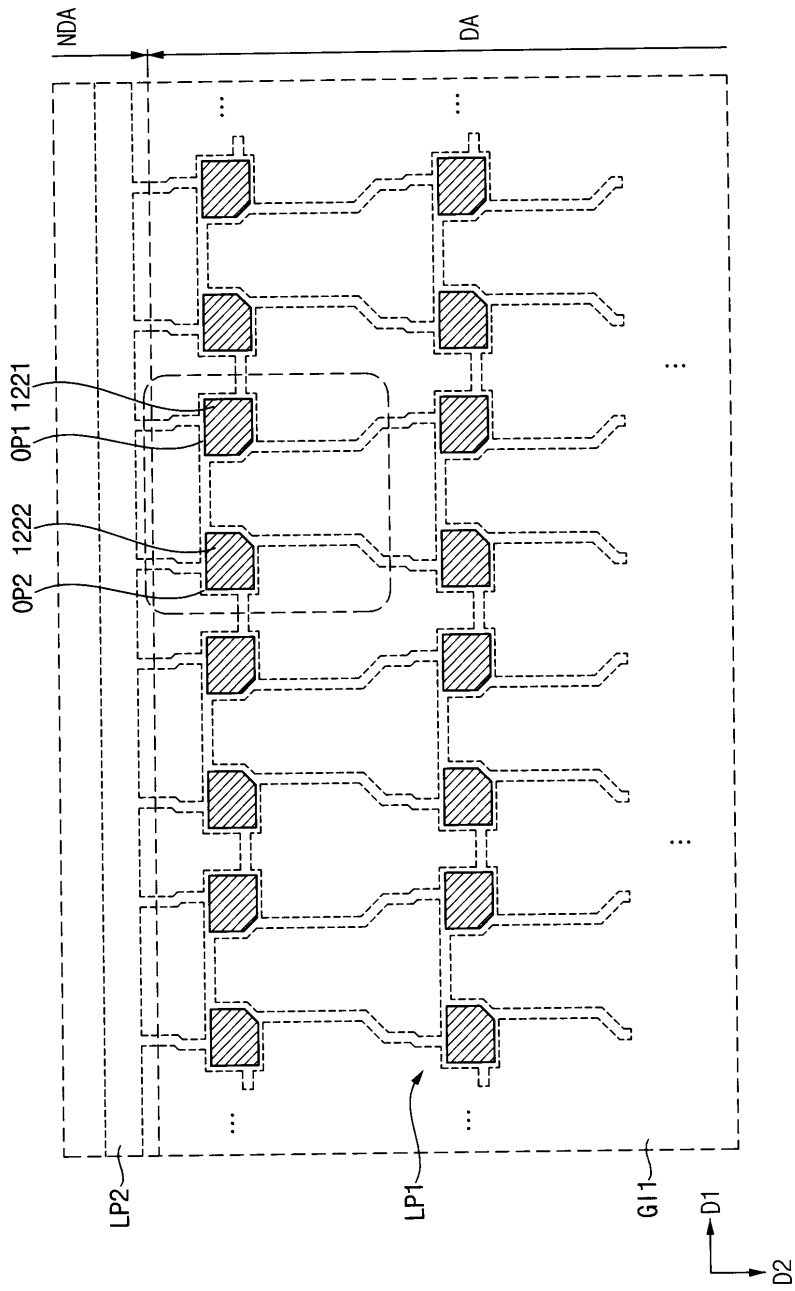
도면11



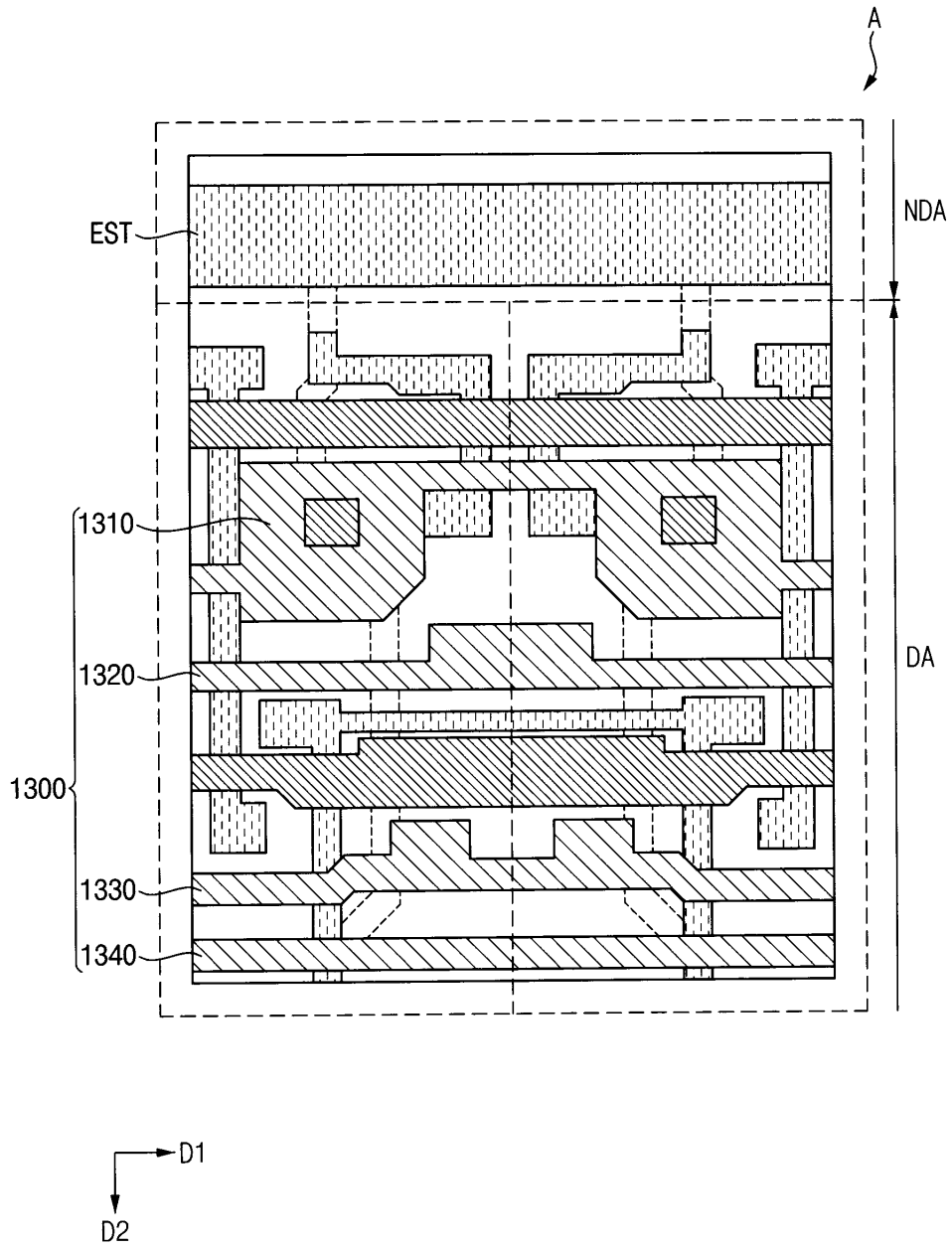
도면12



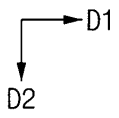
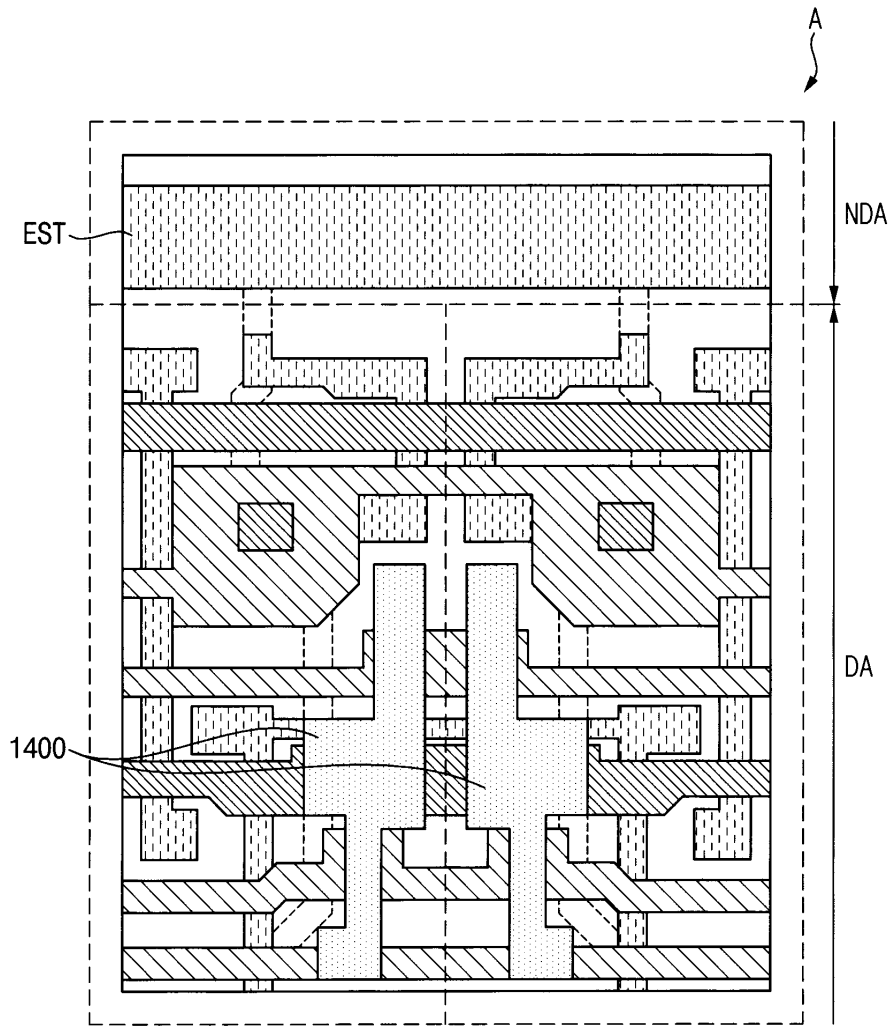
도면13



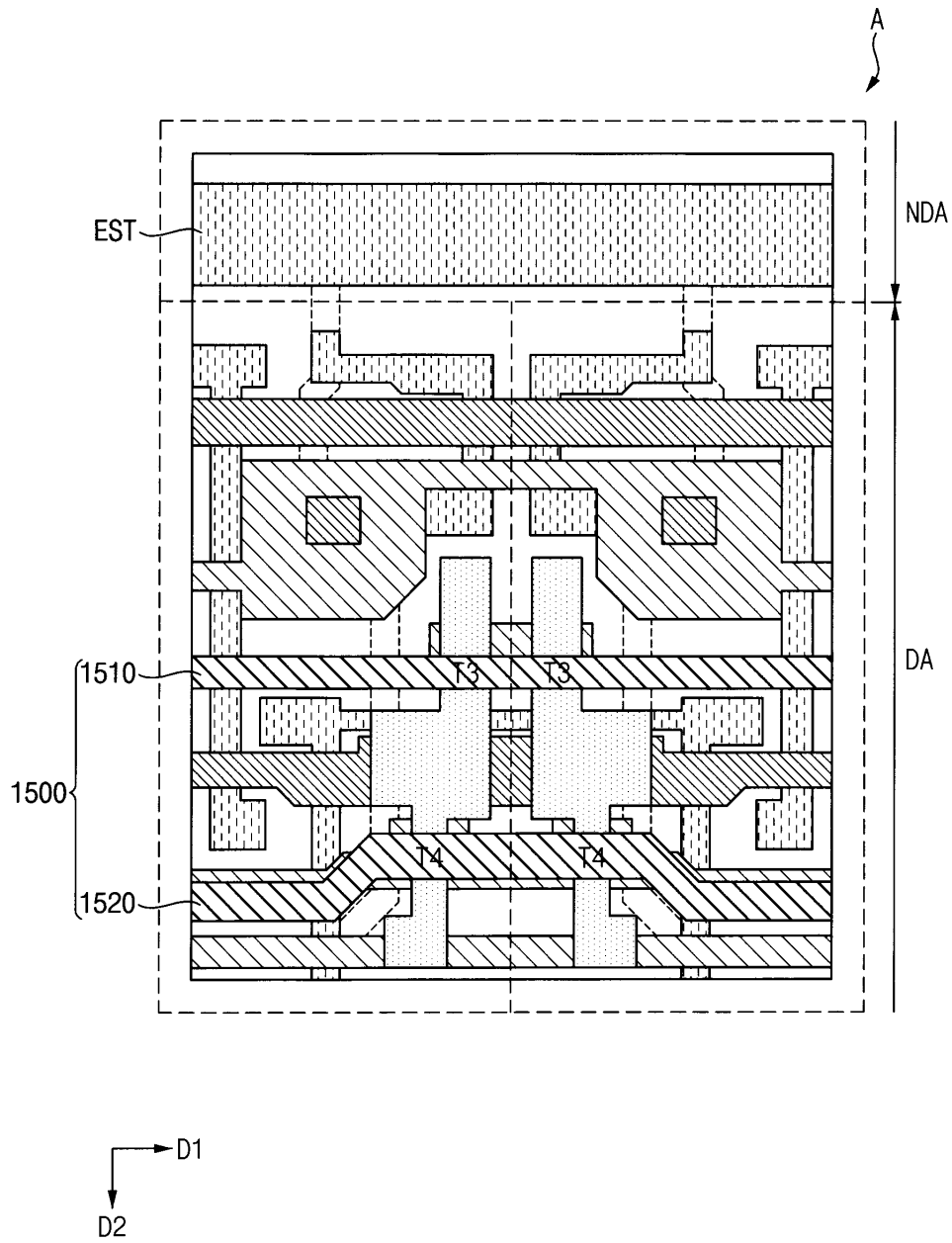
도면14



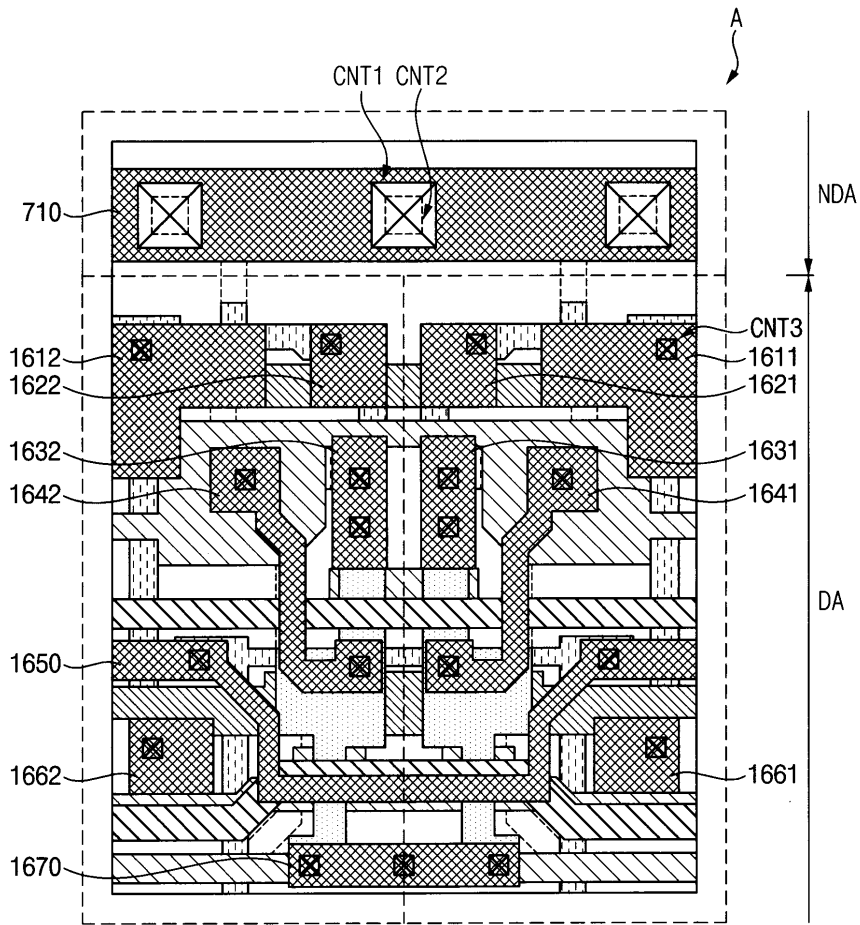
도면15



도면16

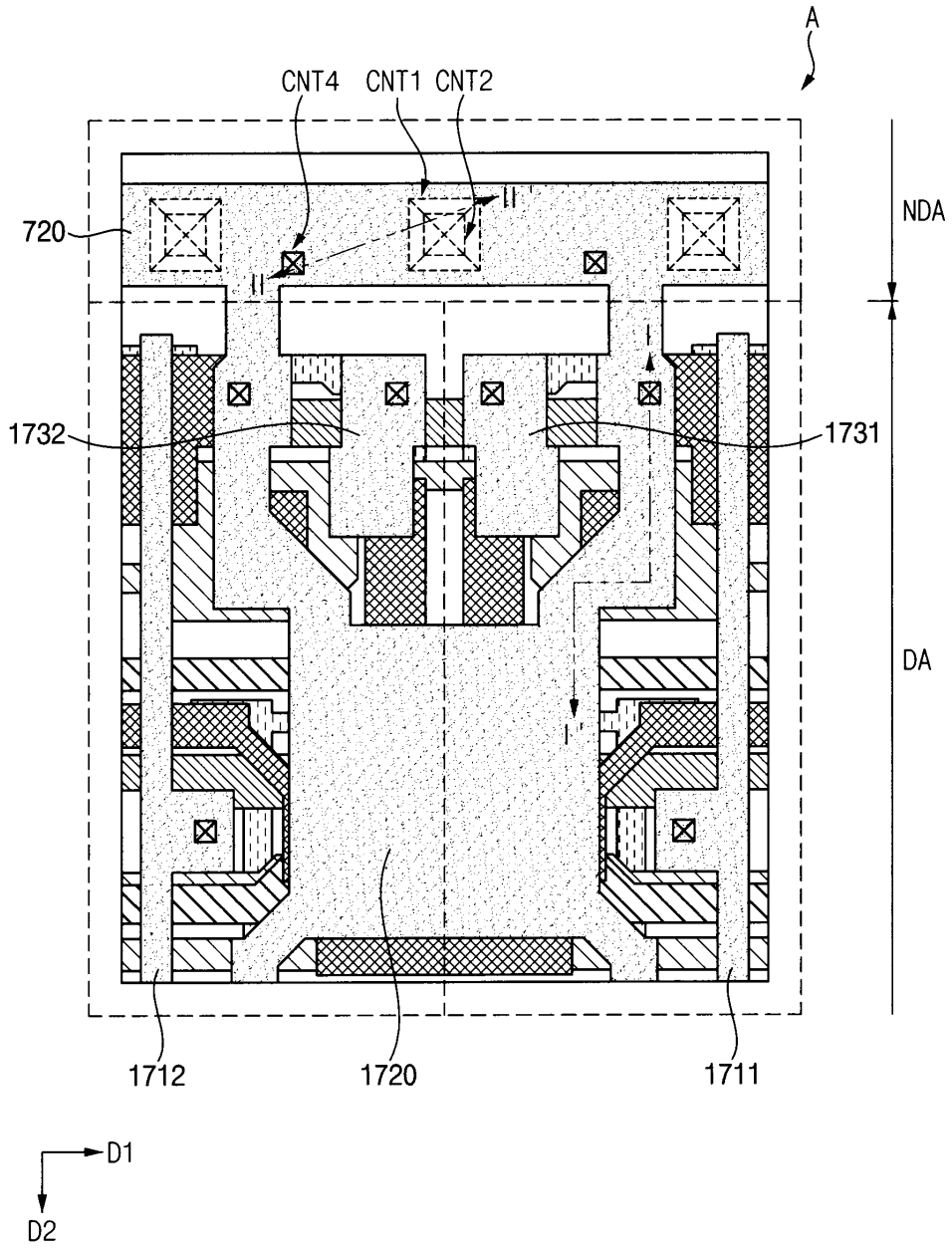


도면17

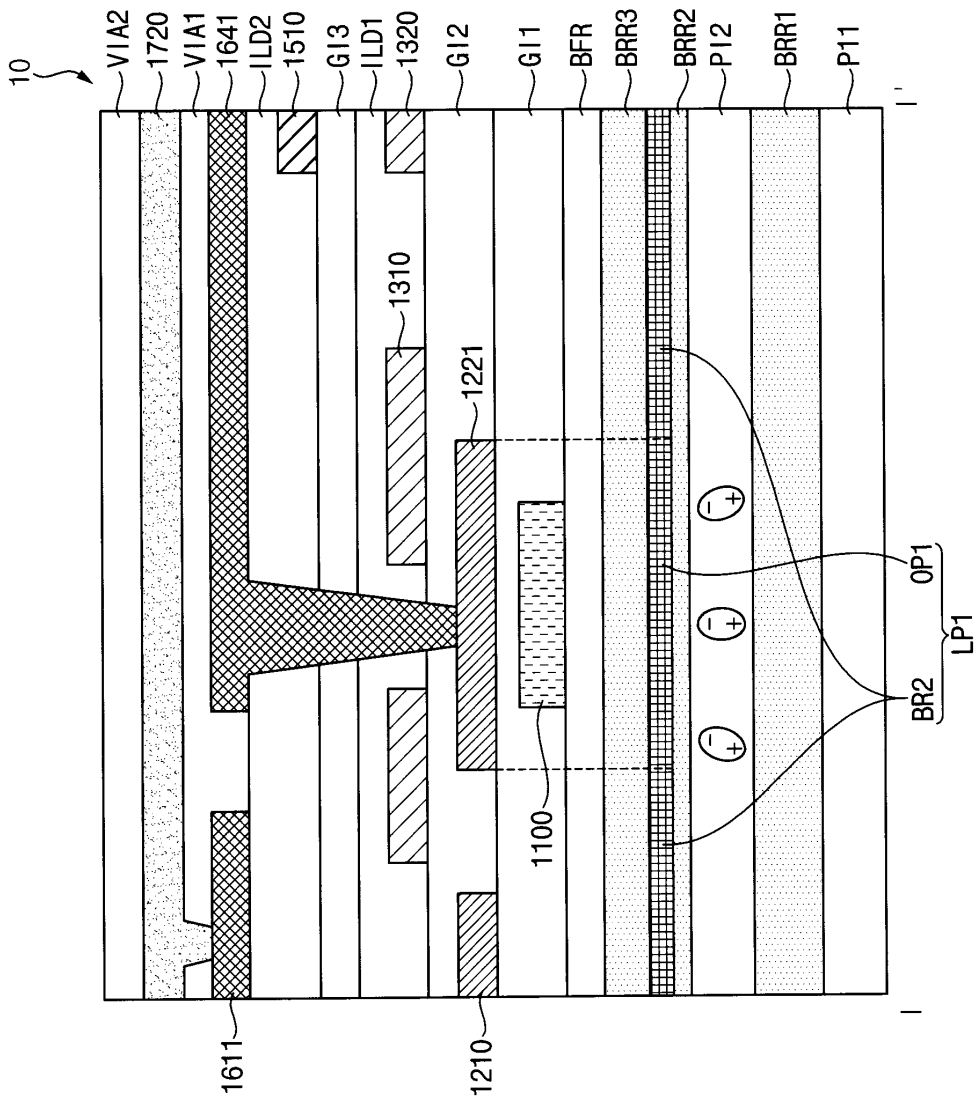


- 1611
- 1612
- 1621
- 1622
- 1631
- 1641
- 1600 {
- 1632
- 1642
- 1650
- 1661
- 1662
- 1670

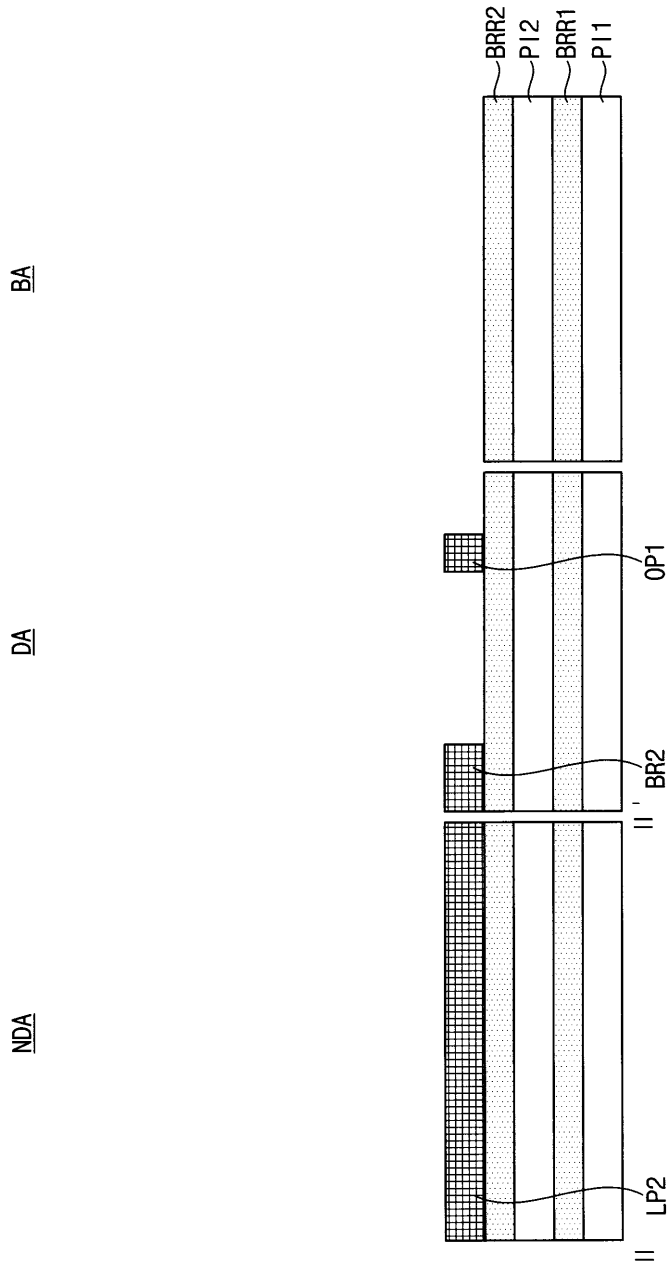
도면18



도면19



도면20

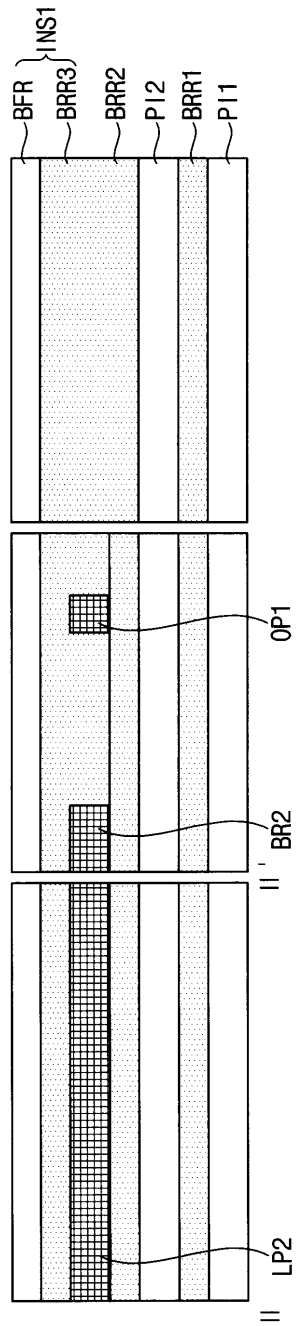


도면21

BA

DA

NDA

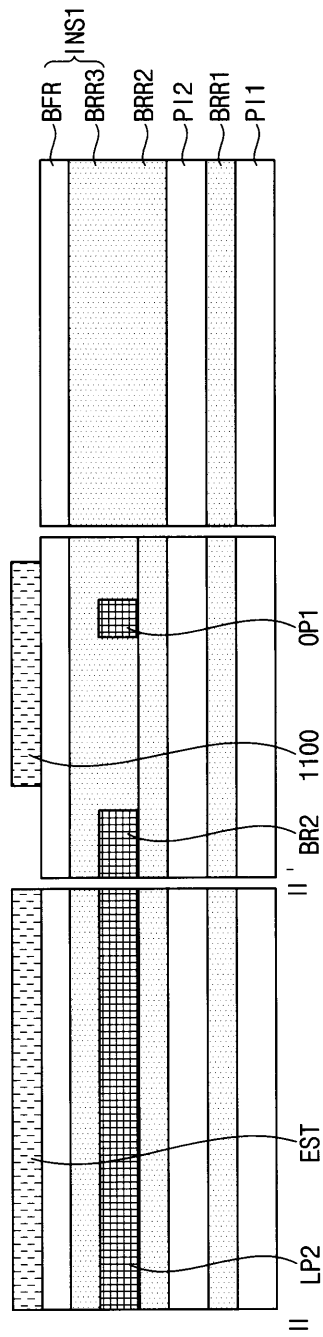


도면22

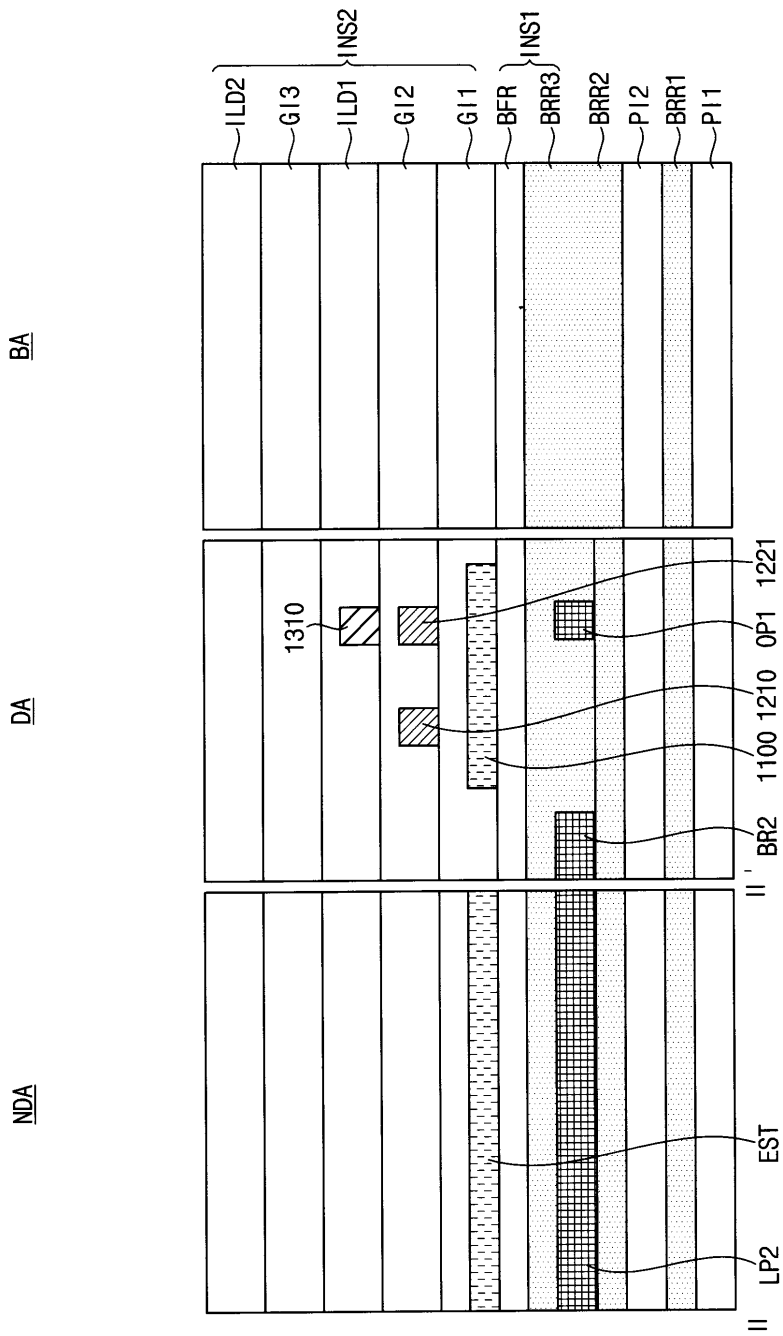
BA

DA

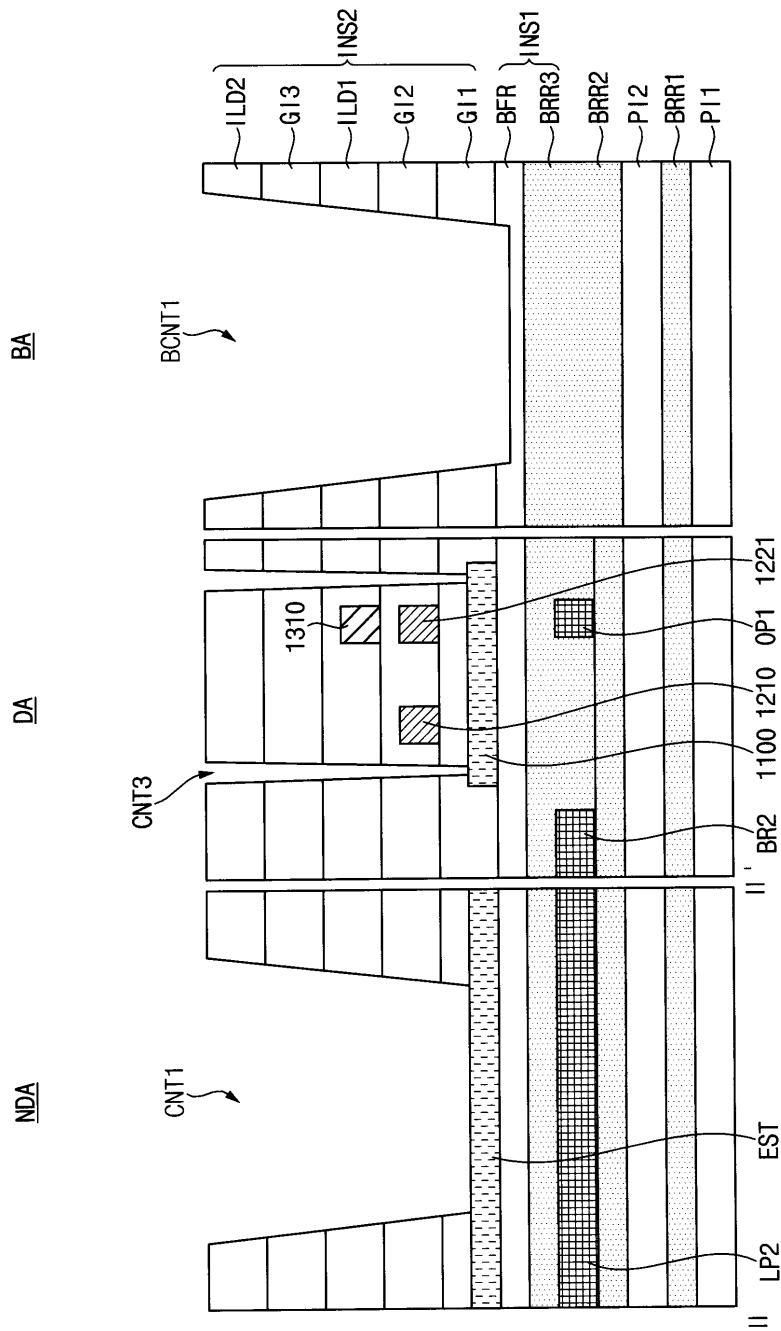
NDA



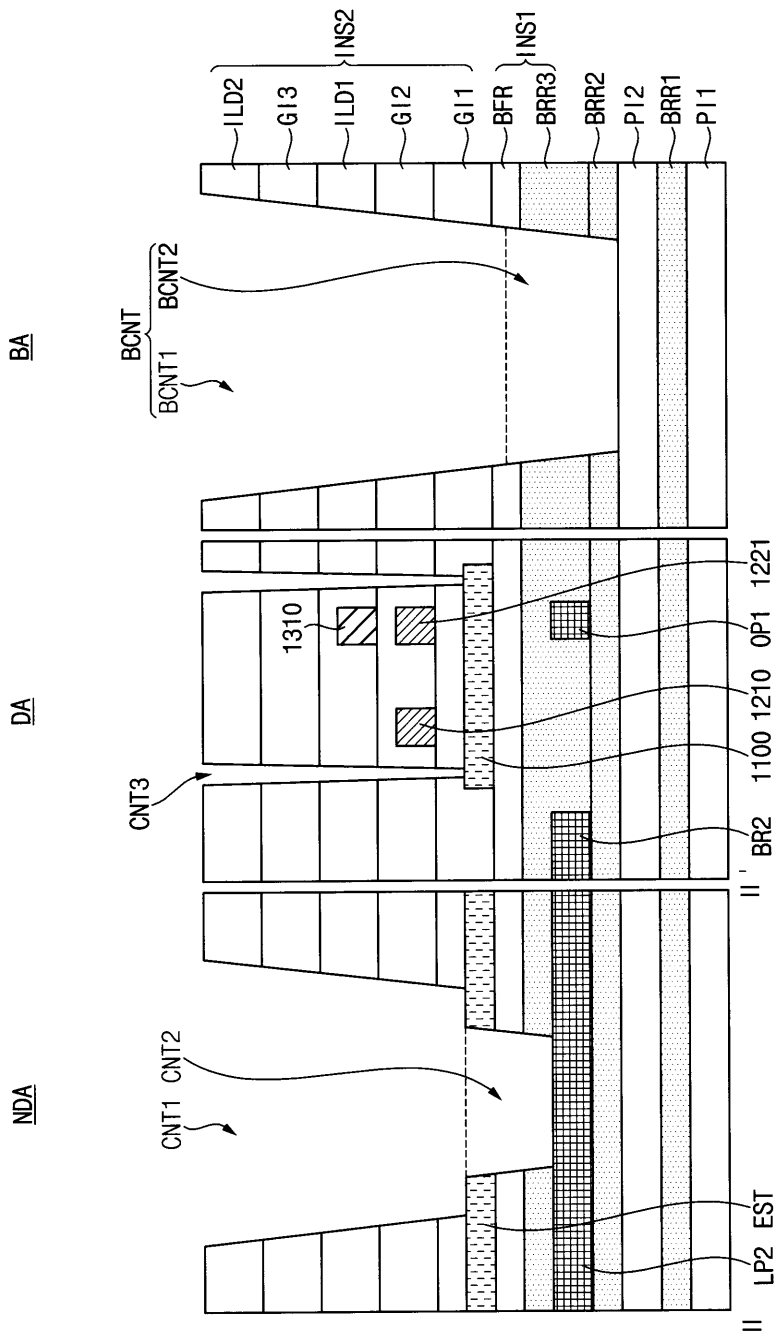
도면23



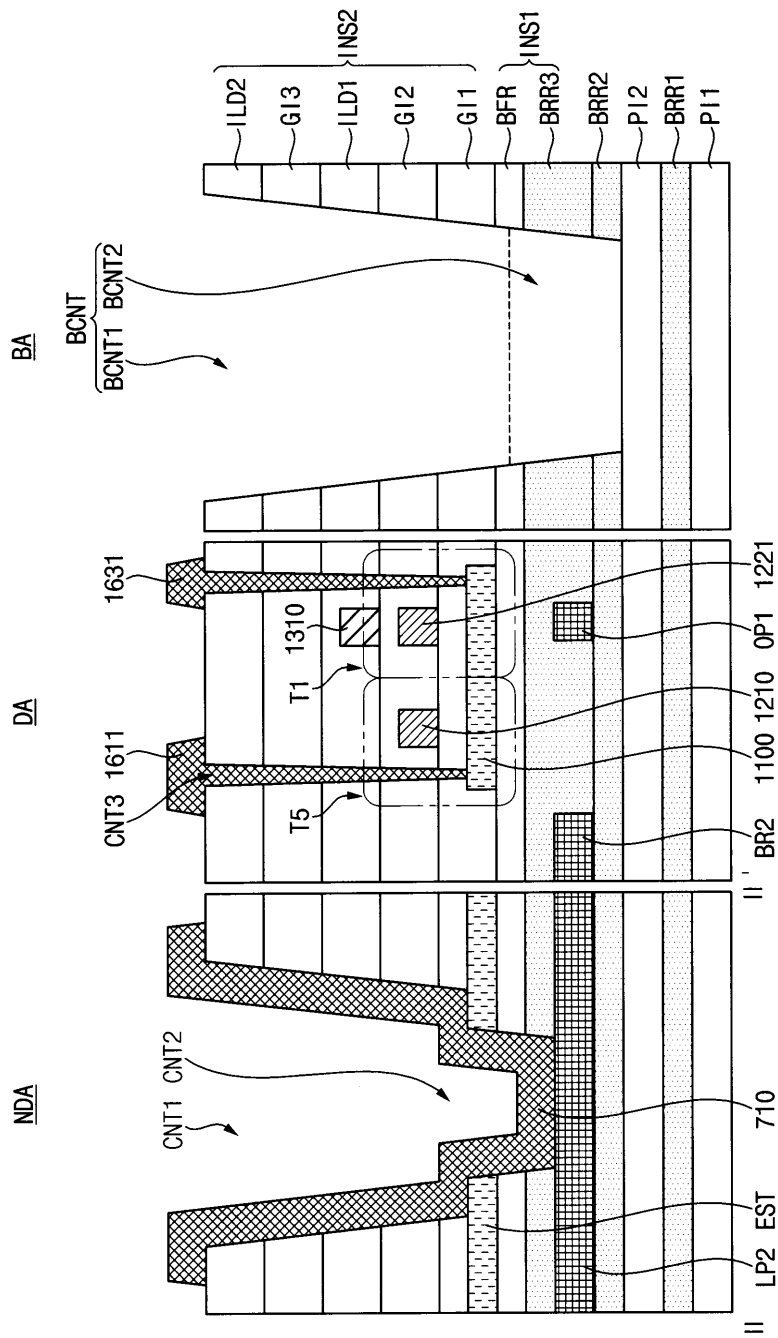
도면24



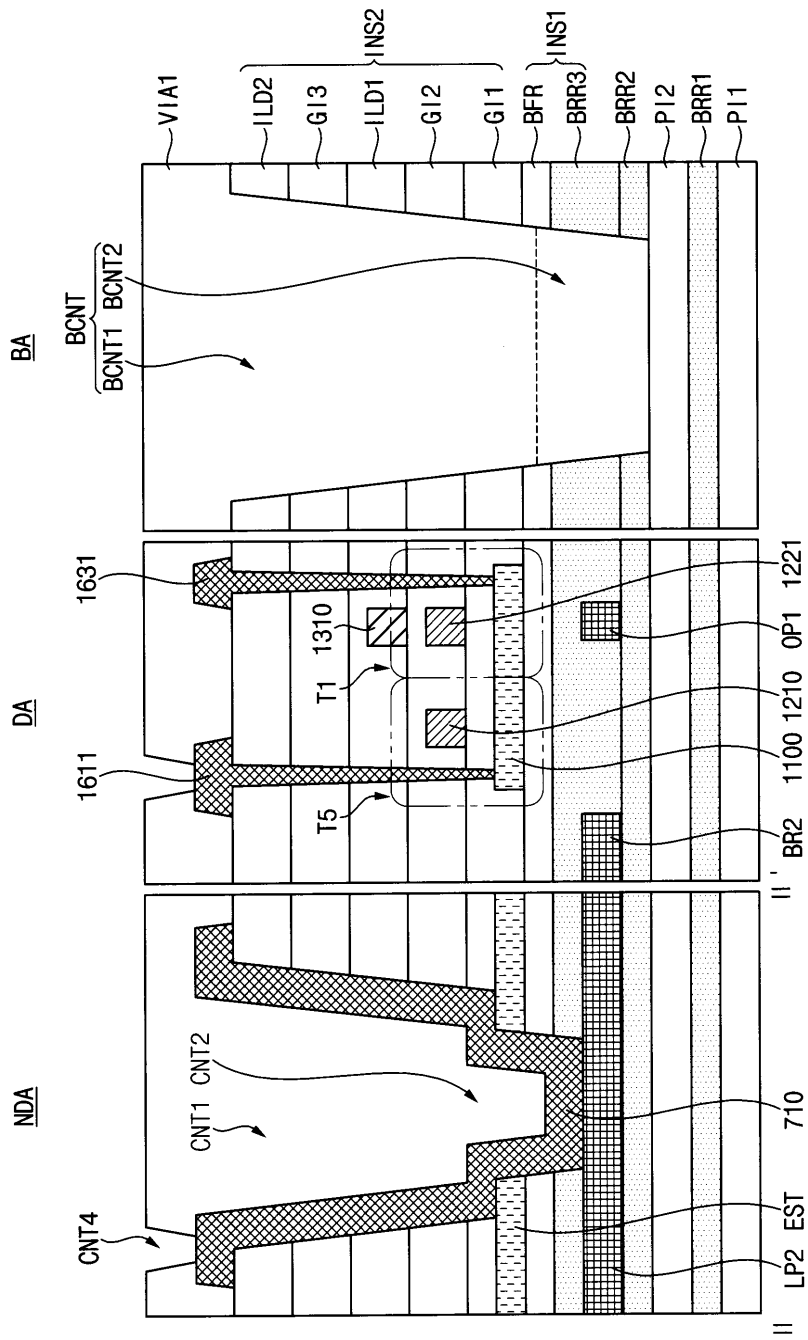
도면25



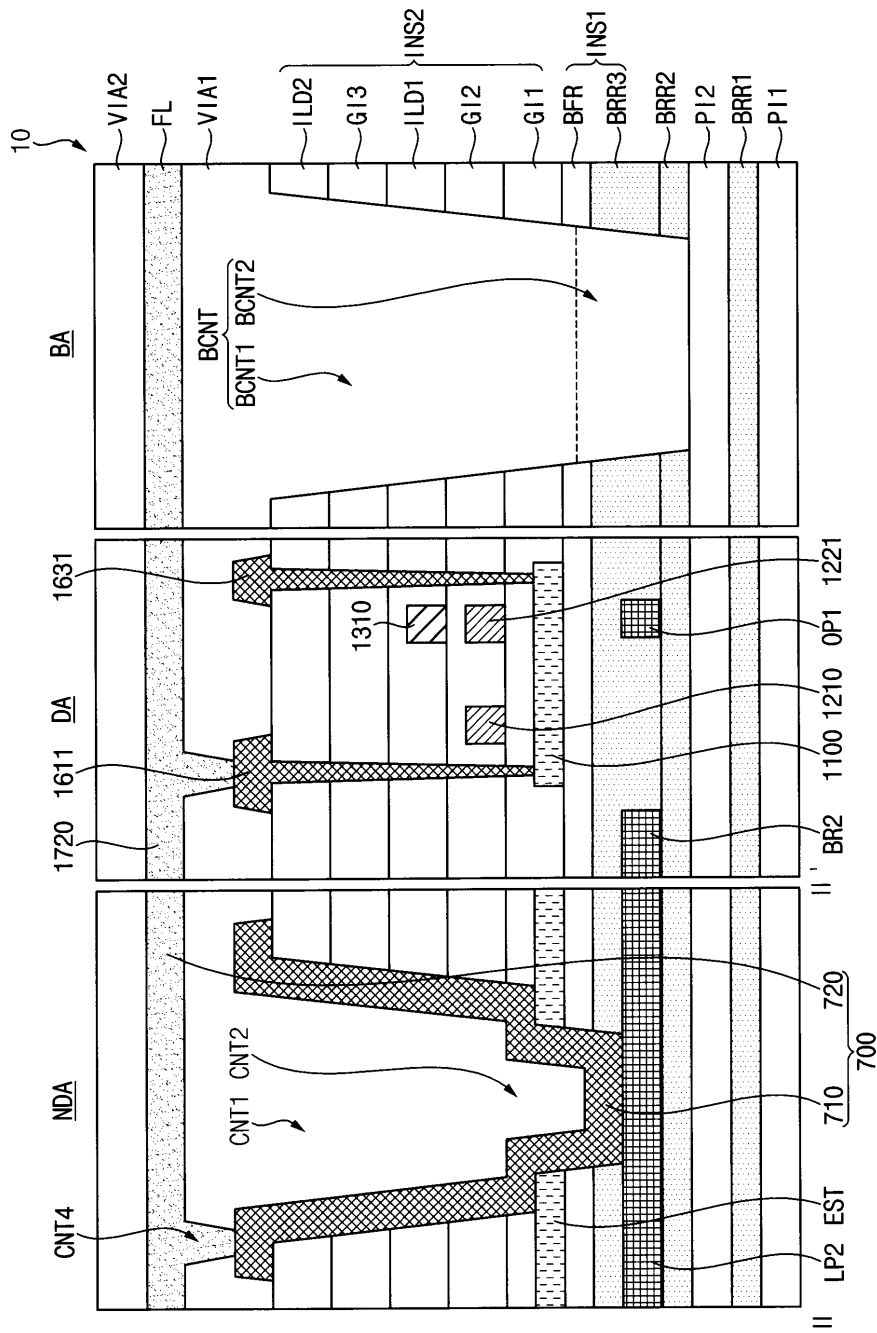
도면26



도면27



도면28



도면29

