



(12) 发明专利

(10) 授权公告号 CN 102055444 B

(45) 授权公告日 2013. 10. 16

(21) 申请号 200910209433. 7

(22) 申请日 2009. 10. 30

(73) 专利权人 无锡海威半导体科技有限公司
地址 214112 江苏省无锡市新区梅村工业集中区群兴路 30 号

(72) 发明人 孙强

(74) 专利代理机构 北京中恒高博知识产权代理有限公司 11249
代理人 夏晏平

(51) Int. Cl.
H03K 5/19 (2006. 01)

(56) 对比文件
CN 101410719 A, 2009. 04. 15,
CN 1955936 A, 2007. 05. 02,
US 2008/0218151 A1, 2008. 09. 11,
汤黎明等.《精密低频信号频率与占空比测量

电路的设计与应用》.《医学研究生学报》. 2002, 第 15 卷 (第 4 期), 352-355.

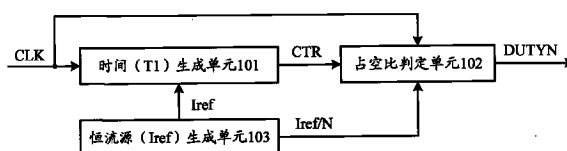
闫勇等.《基于 TMS320F2812DSP 的高精度占空比测量》.《测控技术》. 2009, 第 28 卷 (第 10 期), 34-36.

审查员 罗湘

权利要求书1页 说明书7页 附图6页

(54) 发明名称
一种占空比判定电路

(57) 摘要
本发明公开了一种占空比判定电路,包括时间生成单元、占空比判定单元、以及恒流源生成单元,其中:所述时钟生成单元的时钟信号输入端,用于输入待判定占空比的时钟脉冲,并与所述占空比判定单元的时钟信号输入端连接;第一恒流源信号输入端,与所述恒流源生成单元的第一恒流源信号输出端连接;控制信号输出端,与所述占空比判定单元的控制信号输入端连接;所述恒流源生成单元的第二恒流源信号输出端,与所述占空比判定单元的第二恒流源信号输入端连接;所述占空比判定单元的输出端,用于输出占空比判定值。本发明所述占空比检测电路,可以克服现有技术中成本高、结构复杂和不利于实施等缺陷,以实现成本低、结构简单和易于实施的优点。



1. 一种占空比判定电路,包括时间生成单元和占空比判定单元,其特征在于,还包括恒流源生成单元,其中:

所述时间生成单元的时钟信号输入端,用于输入待判定占空比的时钟脉冲,并与所述占空比判定单元的时钟信号输入端连接;第一恒流源信号输入端,与所述恒流源生成单元的第一恒流源信号输出端连接;控制信号输出端,与所述占空比判定单元的控制信号输入端连接;

所述恒流源生成单元的第二恒流源信号输出端,与所述占空比判定单元的第二恒流源信号输入端连接;

所述占空比判定单元的输出端,用于输出占空比判定值。

2. 根据权利要求 1 所述的占空比判定电路,其特征在于,所述时间生成单元包括第一信号控制开关、第一充电电容和第一反相器,其中:

所述第一信号控制开关的输入端为第一恒流源信号输入端;时钟信号输入端,用于输入待判定占空比的时钟脉冲;输出端与所述第一反相器的输入端连接,同时,经所述第一充电电容后,与信号地连接;

所述第一反相器的输出端为控制信号输出端。

3. 根据权利要求 1 所述的占空比判定电路,其特征在于,所述占空比判定单元包括第二信号控制开关、第二充电电容和第二反相器,其中:

所述第二信号控制开关的输入端为第二恒流源信号输入端;时钟信号输入端,用于输入待判定占空比的时钟脉冲;输出端与所述第二反相器的输入端连接,同时,经所述第二充电电容后,与信号地连接;

所述第二反相器的输出端,用于输出占空比判定值。

4. 根据权利要求 1 所述的占空比判定电路,其特征在于,所述恒流源生成单元包括 PMOS 管和升压电阻,其中:

所述 PMOS 管的漏极与衬底连接,同时与直流电源连接;源极经所述升压电阻后,与电源地连接;栅极与源极及升压电阻的公共端连接,同时作为第一恒流源信号输出端,用于输出第一恒流源信号;

所述第一恒流源信号与设定占空比判定值的比值,即为第二恒流源信号。

一种占空比判定电路

技术领域

[0001] 本发明涉及占空比判定技术,具体地,涉及一种占空比判定电路。

背景技术

[0002] 在数字电路和模拟电路中,占空比定义为脉冲波形中高电平持续时间与总周期的比值。

[0003] 在现有技术中,对于脉冲波形占空比的判定通常采用数字方式。具体地,使用高频时钟对高电平进行计数,设高电平的计数值为 $X1$;同时,对总周期进行计数,设总周期的计数值为 $X2$,通过 $X1$ 与 $X2$ 的比值 $X1/X2$,计算出占空比的具体数值,并与预设的占空比值进行比较和判定。这种数字方式的占空比判定方法,可以实现实际脉冲占空比值与预设占空比值进行比较和判定。

[0004] 但是,在实现本发明的过程中,发明人发现现有技术中至少存在以下缺陷:

[0005] (1)成本高:需要提供高频时钟;

[0006] (2)结构复杂:外加高频时钟,使得电路结构复杂,难免影响可靠性;

[0007] (3)不利于实施:外加高频时钟,电路结构复杂,实施起来较困难。

发明内容

[0008] 本发明的目的在于,针对上述问题,提出一种占空比判定电路,以实现成本低、结构简单和易于实施的优点。

[0009] 为实现上述目的,本发明采用的技术方案是:一种占空比判定电路,包括时间生成单元、占空比判定单元、以及恒流源生成单元,其中:所述时间生成单元的时钟信号输入端,用于输入待判定占空比的时钟脉冲,并与所述占空比判定单元的时钟信号输入端连接;第一恒流源信号输入端,与所述恒流源生成单元的第一恒流源信号输出端连接;控制信号输出端,与所述占空比判定单元的控制信号输入端连接;所述恒流源生成单元的第二恒流源信号输出端,与所述占空比判定单元的第二恒流源信号输入端连接;所述占空比判定单元的输出端,用于输出占空比判定值。

[0010] 进一步地,所述时间生成单元包括第一信号控制开关、第一充电电容和第一反相器,其中:所述第一信号控制开关的输入端为第一恒流源信号输入端;时钟信号输入端,用于输入待判定占空比的时钟脉冲;输出端与所述第一反相器的输入端连接,同时,经所述第一充电电容后,与信号地连接;所述第一反相器的输出端为控制信号输出端。

[0011] 进一步地,所述占空比判定单元包括第二信号控制开关、第二充电电容和第二反相器,其中:所述第二信号控制开关的输入端为第二恒流源信号输入端;时钟信号输入端,用于输入待判定占空比的时钟脉冲;输出端与所述第二反相器的输入端连接,同时,经所述第二充电电容后,与信号地连接;所述第二反相器的输出端,用于输出占空比判定值。

[0012] 进一步地,所述恒流源生成单元包括 PMOS 管和升压电阻,其中:所述 PMOS 管的漏极与衬底连接,同时与直流电源连接;源极经所述升压电阻后,与电源地连接;栅极与源极

及升压电阻的公共端连接,同时作为第一恒流源信号输出端,用于输出第一恒流源信号;所述第一恒流源信号与设定占空比判定值的比值,即为第二恒流源信号。

[0013] 本发明各实施例的占空比判定电路,由于包括时间生成单元、占空比判定单元、以及恒流源生成单元,其中,时间生成单元的时钟信号输入端,用于输入待判定占空比的时钟脉冲,并与占空比判定单元的时钟信号输入端连接;第一恒流源信号输入端,与恒流源生成单元的第一恒流源信号输出端连接;控制信号输出端,与占空比判定单元的控制信号输入端连接;恒流源生成单元的第二恒流源信号输出端,与占空比判定单元的第二恒流源信号输入端连接;占空比判定单元的输出端,用于输出占空比判定值;可以通过恒流源生成单元分别向时间生成单元及占空比判定单元提供恒流源信号,通过时间生成单元向占空比判定单元提供控制信号,通过占空比判定单元获得待判定占空比的时钟脉冲的占空比判定值;从而可以克服现有技术中成本高、结构复杂和不利于实施的缺陷,以实现成本低、结构简单和易于实施的优点。

[0014] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

[0015] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

附图说明

[0016] 附图用来提供对本发明的进一步理解,并且构成说明书的一部分,与本发明的实施例一起用于解释本发明,并不构成对本发明的限制。在附图中:

[0017] 图 1 为根据本发明占空比判定电路的原理框图;

[0018] 图 2 为根据本发明占空比判定电路中时间生成单元的电路原理图;

[0019] 图 3 为根据本发明占空比判定电路中占空比判定单元的电路原理图;

[0020] 图 4a 为根据本发明占空比判定电路中占空比判定单元在实际脉冲信号的占空比不小于预设占空比时的波形示意图;

[0021] 图 4b 为根据本发明占空比判定电路中占空比判定单元在实际脉冲信号的占空比小于预设占空比时的波形示意图;

[0022] 图 5 为根据本发明占空比判定电路的电路原理图;

[0023] 图 5a 为图 5 中恒流源生成单元的电路原理图;

[0024] 图 5b 为图 5 中时间生成单元的电路原理图;

[0025] 图 5c 为图 5 中占空比判定单元的电路原理图。

[0026] 结合附图,本发明实施例中附图标记如下:

[0027] 101- 时间生成单元;102- 占空比判定单元;103- 恒流源生成单元。

具体实施方式

[0028] 以下结合附图对本发明的优选实施例进行说明,应当理解,此处所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。

[0029] 实施例一

[0030] 根据本发明实施例,提供了一种占空比判定电路。如图 1- 图 4b、以及图 5a 所示,

本实施例包括时间生成单元 101、占空比判定单元 102 和恒流源生成单元 103。

[0031] 其中,时间生成单元 101,用于根据待判定占空比的时钟脉冲,在第一恒流源信号(即 I_{ref})的作用下,生成时间周期(即 $T1$),用于作为占空比判定单元 102 的控制信号(即 CTR);占空比判定单元 102,用于在控制信号、以及第二恒流源信号(即 I_{ref}/N)的共同作用下,对待判定占空比的时钟脉冲的占空比进行判定,得到占空比判定值;恒流源生成单元 103,用于向时间生成单元 101 提供第一恒流源信号,同时向占空比判定单元 102 提供第二恒流源信号。这里, N 为待判定占空比的时钟脉冲的设定占空比判定值,第二恒流源信号为第一恒流源信号与该设定占空比判定值的比值。

[0032] 具体地,如图 1 所示,时间生成单元 101 的时钟信号输入端,用于输入待判定占空比的时钟脉冲,并与占空比判定单元 102 的时钟信号输入端连接;第一恒流源信号输入端,与恒流源生成单元 103 的第一恒流源信号输出端连接;控制信号输出端,与占空比判定单元 102 的控制信号输入端连接;恒流源生成单元 103 的第二恒流源信号输出端,与占空比判定单元 102 的第二恒流源信号输入端连接;占空比判定单元 102 的输出端,用于输出占空比判定值。

[0033] 这里,参见图 1, CLK 为待判定占空比的时钟脉冲的输入信号,当 CLK 到来时,时间(即 $T1$)生成单元 101 和占空比判定单元 102 同时开始工作,时间(即 $T1$)生成单元 101 会生成上述实施例中提及的 $T1$ 时间,在达到 $T1$ 时间后,送出控制信号 CTR ,使占空比判定单元 102 停止工作,此时占空比判定单元送出 $DUTYN$ 信号,通过 $DUTYN$ 信号的电平值,可以判定 CLK 的占空比与预先设定的占空比 N 的关系。

[0034] 进一步地,在上述实施例中,如图 2 所示,时间生成单元 101 包括第一信号控制开关 $IN1$ 、第一充电电容 $C1$ 和第一反相器 $INV1$ 。

[0035] 其中,第一信号控制开关的输入端 I_{ref} 为第一恒流源信号输入端;时钟信号输入端,用于输入待判定占空比的时钟脉冲;输出端 $V1$ 与第一反相器 $INV1$ 的输入端连接,同时,经第一充电电容 $C1$ 后,与信号地连接;第一反相器 $INV1$ 的输出端 $V2$ 为控制信号输出端。

[0036] 进一步地,在上述实施例中,如图 3 所示,占空比判定单元 102 包括第二信号控制开关 $IN2$ 、第二充电电容 $C2$ 和第二反相器 $INV2$ 。

[0037] 其中,第二信号控制开关 $IN2$ 的输入端 I_{ref}/N 为第二恒流源信号输入端;时钟信号输入端,用于输入待判定占空比的时钟脉冲;输出端 $V3$ 与第二反相器 $INV2$ 的输入端连接,同时,经第二充电电容 $C2$ 后,与信号地连接;第二反相器 $INV2$ 的输出端 $V4$,用于输出占空比判定值。

[0038] 进一步地,在上述实施例中,如图 5a 所示,恒流源生成单元 103 包括 P 沟道金属氧化物场效应管(即 PMOS 管) $PM4$ 和升压电阻 $R1$ 。

[0039] 其中, $PM4$ 的漏极与衬底连接,同时与直流电源 VDD 连接;源极经升压电阻 $R1$ 后,与电源地连接;栅极与源极及升压电阻 $R1$ 的公共端连接,同时作为第一恒流源信号输出端,用于输出第一恒流源信号 I_{ref} 。

[0040] 在本实施例中,第一恒流源信号 I_{ref} 与设定占空比判定值 N 的比值,即为第二恒流源信号 I_{ref}/N 。

[0041] 这里,参见图 2 和图 3, I_{ref} 为第一恒流源信号, N 为设定占空比判定值;初始状态: $V1$ 、 $V3$ 为 0 电平, $V2$ 、 $V4$ 为高电平 VDD 。

[0042] 当上述脉冲信号到来时,第一信号控制开关 IN1 导通,此时恒流源生成单元 103 对第一充电电容 C1 进行充电:

$$[0043] \quad V1 = \frac{I_{ref}}{T} \times C1 \quad (1)$$

[0044] 当 V1 的电压高于 INV1 的翻转点 $V_{th-inv1}$ 时,V2 变为 0 电平;其中,V2 从高电平 VDD 变为 0 电平的时间 T1,由第一恒流源信号 I_{ref} 和第一充电电容 C1 的取值来决定。

$$[0045] \quad \text{当 } V1 = V_{th-inv1} \text{ 时,} \quad T1 = \frac{I_{ref}}{V_{th-inv1}} \times C1 \quad (2)$$

[0046] 同时,当上述脉冲信号到来时,在脉冲信号高电平时间内,第二信号控制开关 IN2 导通,此时,第二恒流源信号 I_{ref}/N 对第二充电电容 C2 (通常选择 $C2=C1$) 充电。在脉冲信号的低电平时间内,第二信号控制开关 IN2 截止,此时,第二恒流源信号 I_{ref}/N 停止对第二充电 C2 充电,第二充电 C2 上保持前一刻的电压值。

[0047] 当上述脉冲信号重新变为高电平时,继续充电,如此反复,直到 V2 从高电平 VDD 变为 0 电平(即时间 T1)后结束。

[0048] 最后,通过 V4 的电平值,可以判定输入的脉冲信号的占空比(假设为 N1)是否大于或小于设定占空比判定值 N。

[0049] 在周期 T1 (即时间 T1) 内:

$$[0050] \quad V3 = \frac{I_{ref} \times C2}{N \times T1} \times N1 = \frac{N1}{N} \times V_{th-inv1} \quad (3)$$

[0051] 在公式(3)中,N1 为输入的脉冲信号的实际占空比判定值,N 为输入的脉冲信号的设定占空比判定值。

[0052] 通过公式(3)可得出: $N1 \geq N$ 时, $V3 \geq V_{th-inv1}$, V4 为 0 电平; $N1 < N$ 时, $V3 < V_{th-inv1}$, V4 为高电平 VDD。

[0053] 由以上分析可知,只要记录 V4 的电平值,就可以知道输入的脉冲信号的实际占空比判定值 N1 与输入的脉冲信号的设定占空比判定值 N 的关系,以完成对输入的脉冲信号的占空比的判定。

[0054] $N1 \geq N$ 时, 信号波形如图 4a 所示(CLK 待判定占空比的时钟脉冲); $N1 < N$ 时, 信号波形如图 4b 所示。

[0055] 实施例二

[0056] 在本实施例中,如图 5- 图 5c 所示,提供了一种占空比判定电路,包括时间生成单元、占空比判定单元及恒流源生成单元。这里,时间生成单元、占空比判定单元及恒流源生成单元的信号流及作用方式,可参见上述实施例中图 1 的相关说明,在此不再赘述。

[0057] 其中,如图 5a 所示,恒流源生成单元的电路原理及结构与上述实施例一相同,可参见上述实施例一的相关说明,在此不再赘述。

[0058] 如图 5b 所示,时间生成单元包括第一 D 触发器 DFF1、第一 NMOS 管 NM1、第二 PMOS 管 PM2、第三 PMOS 管 PM3、第一充电电容 C1、第八反相器 INV8、第九反相器 INV9、第十反相器 INV10、第十一反相器 INV11、第十二反相器 INV12、第十三反相器 INV13、以及第二或非门

NOR2。

[0059] 具体地,在上述时间生成单元中,第一 D 触发器 DFF1 的脉冲输入端(即 CP 端)与待判定占空比的时钟脉冲(即 CLK)连接,输入端(即 D 端)与直流电源(即 VDD)连接,复位端(即 R 端)与第十三反相器 INV13 的输出端连接,第一输出端(即 Q 端)用于输出 DFF1_Qout 信号,第二输出端(即 QN 端)用于输出 DFF1_QNout 信号、并分别与第一 NMOS 管 NM1 的栅极、以及第三 PMOS 管 PM3 的栅极连接;第三 PMOS 管 PM3 的漏极与衬底连接、同时与直流电源(即 VDD)连接,源极与第二 PMOS 管 PM2 的漏极连接;第二 PMOS 管 PM2 的栅极与恒流源生成单元的第一恒流源信号输出端连接,用于输入第一恒流源信号(I_{ref}),漏极与衬底连接,源极分别与第一 NMOS 管 NM1 的源极、以及第八反相器 INV8 的输入端连接,并经第一充电电容 C1 接电源地,源极与衬底连接,并接电源地。

[0060] 第八反相器 INV8 的输出端与第九反相器 INV9 的输入端连接,第九反相器 INV9 的输出端与第十反相器 INV10 的输入端连接,第十反相器 INV10 的输出端与第十一反相器 INV11 的输入端连接,第十一反相器 INV11 的输出端与第二或非门 NOR2 的第二输入端连接,用于输出 INV11out 信号;第二或非门 NOR2 的第一输入端为复位端(即 RESET),输出端与第十二反相器 INV12 的输入端连接;第十二反相器 INV12 的输出端与第十三反相器 INV13 的输入端连接。

[0061] 如图 5c 所示,占空比判定单元包括第一与非门 NAND1、第一或非门 NOR1、第一反相器 INV1、第二反相器 INV2、第三反相器 INV3、第四反相器 INV4、第五反相器 INV5、第六反相器 INV6、第七反相器 INV7、第一 PMOS 管 PM1、第二 NMOS 管 NM2、第二充电电容 C2、以及第二 D 触发器 DFF2。

[0062] 具体地,在上述占空比判定单元中,第一与非门 NAND1 的第一输入端用于输入待判定占空比的时钟脉冲(即 CLK),第二输入端用于输入 DFF1_Qout 信号,输出端与第六反相器 INV6 的输入端连接;第六反相器 INV6 的输出端与第一 PMOS 管 PM1 的漏极连接;第一 PMOS 管 PM1 的漏极与衬底连接,栅极用于输入第二恒流源信号 I_{ref}/N ,源极与第二 NMOS 管 NM2 的漏极、以及第二反相器 INV2 的输入端连接,同时,经第二充电电容 C2 接电源地;第二 NMOS 管 NM2 的栅极与第七反相器 INV7 的输出端连接,漏极与衬底连接,并接电源地。

[0063] 第一或非门 NOR1 的第一输入端用于输入 INV11out 信号,第二输入端用于输入 DFF1_QNout 信号,输出端与第七反相器 INV7 的输入端连接。

[0064] 第二反相器 INV2 的输出端与第三反相器 INV3 的输入端连接,第三反相器 INV3 的输出端与第四反相器 INV4 的输入端连接,第四反相器 INV4 的输出端与第五反相器 INV5 的输入端连接,第五反相器 INV5 的输出端与第二 D 触发器 DFF2 的脉冲输入端(即 CP 端)连接;第二 D 触发器 DFF2 的输入端(即 D 端)与直流电源(即 VDD)连接,复位端(即 R)与第一反相器 INV1 的输出端连接,第一输出端(即 Q)用于输出占空比判定值 DUTYN;第一反相器的输入端为复位端(即 RESET)。

[0065] 在本实施例中,设 $N=10\%$,则第二恒流源信号 $I_{ref}/N=I_{ref} \times 10$,占空比判定值为 DUTY10%,用来判定输入的占空比是否大于或者小于设定占空比的判定值,即 10%。

[0066] 这里,参见图 5- 图 5c,CLK 为待判定占空比的时钟脉冲的输入信号,RESET 为复位信号,DUTY10% 为判定的输出信号。初始时刻,RESET 为高电平 VDD,此时电路处于复位状态,不工作。当 RESET 变为低电平 0 的时候,电路处于工作状态,等待 CLK 脉冲信号的到来。

[0067] 当电路处于工作状态的时候, aa1 为 Iref 产生电路的输出, 通过镜像电流源的原理, 产生出流过 PM2 管的电流 Iref 以及流过 PM1 管的电流 $10 \cdot I_{ref}$ 。

[0068] 时间 T1 生成单元的工作方式为: 当 CLK 时钟脉冲到来后, DFF1 翻转打开 PM3 管, 通过流过 PM2 管的第一恒流源信号 Iref 对第一充电电容 C1 充电, 直到对第一充电电容 C1 充电的电压值达到反相器 INV8 的翻转点, 反相器 INV2 翻转后, 复位 DFF1, NM1 管打开, 通过 NM1 管放电, 第一充电电容 C1 上的电压值变为 0 电平, 从 DFF1 翻转到被复位的这段时间为 T1。

[0069] 占空比判定单元的工作方式为: DFF1 翻转后, CLK 信号传到 PM1 管, 当 CLK 为高电平时, 通过 PM1 管的电流 $10 \cdot I_{ref}$ 对第二充电电容 C2 (通常选择 $C2=C1$) 充电, 当 CLK 为低电平时, PM1 管处于截至状态, 此时 NM2 管也处于截至状态, 第二充电电容 C2 将保持前一刻的电压值, 直到 CLK 的高电平再次到来, 继续对第二充电电容 C2 充电。

[0070] 当 DFF1 被复位后 (即 T1 时间到达), NM2 管处于导通状态, 通过 NM2 管放电, 第二充电电容 C2 上的电压值变为 0 电平。在 NM2 管导通的前一时刻, 如果 C2 的充电值高于 INV2 的翻转点 (与 INV8 的翻转点相同), DFF2 发生翻转, DUTY10 变为高电平 VDD, 此时表明输入的时钟脉冲 CLK 的占空比判定值大于设定占空比判定值, 即 10%; 如果 C2 的充电值低于 INV2 的翻转点 (与 INV8 的翻转点相同), DFF2 保持原来的值不变, DUTY10 为 0 电平, 此时表明输入的脉冲 CLK 的占空比判定值小于设定占空比判定值 10%。

[0071] 由以上分析可知, 通过 DUTY10 的输出值, 即可判定输入的时钟脉冲的占空比判定值与设定占空比判定值的关系。另外, 如果需要其它占空比的判定, 只需改变流过 PM1 的电流即可。

[0072] 在上述实施例一与实施例二中, 通过使用不同的比例电流来对待判定占空比的时钟脉冲的占空比做出判定。基本思想是: 通过第一恒定电流源信号 Iref, 对第一充电电容 C1 充电, 产生一个固定的时间周期 T1, 在 T1 周期内, 输入的脉冲信号通过信号控制开关的控制, 使用第二恒定电流源信号 I_{ref}/N (N 为所要判定的预设占空比), 对与第一充电电容 C1 同样大小的第二充电电容 C2, 进行充电, 来判定输入的脉冲信号的占空比判定值是否大于或者小于该脉冲信号的设定占空比判定值; 与现有技术相比, 具有判定模式结构精简, 不需要高频时钟, 以及易于实施的优点。

[0073] 综上所述, 本发明各实施例的占空比判定电路, 由于包括时间生成单元、占空比判定单元、以及恒流源生成单元, 其中, 时间生成单元的时钟信号输入端, 用于输入待判定占空比的时钟脉冲, 并与占空比判定单元的时钟信号输入端连接; 第一恒流源信号输入端, 与恒流源生成单元的第一恒流源信号输出端连接; 控制信号输出端, 与占空比判定单元的控制信号输入端连接; 恒流源生成单元的第二恒流源信号输出端, 与占空比判定单元的第二恒流源信号输入端连接; 占空比判定单元的输出端, 用于输出占空比判定值; 可以通过恒流源生成单元分别向时间生成单元及占空比判定单元提供恒流源信号, 通过时间生成单元向占空比判定单元提供控制信号, 通过占空比判定单元获得待判定占空比的时钟脉冲的占空比判定值; 从而可以克服现有技术中成本高、结构复杂和不利于实施的缺陷, 以实现成本低、结构简单和易于实施的优点。

[0074] 最后应说明的是: 以上所述仅为本发明的优选实施例而已, 并不用于限制本发明, 尽管参照前述实施例对本发明进行了详细的说明, 对于本领域的技术人员来说, 其依然可

以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

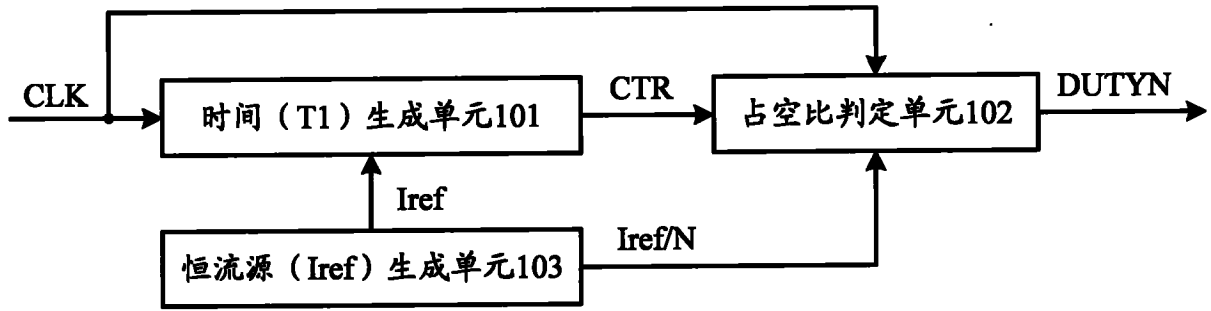


图 1

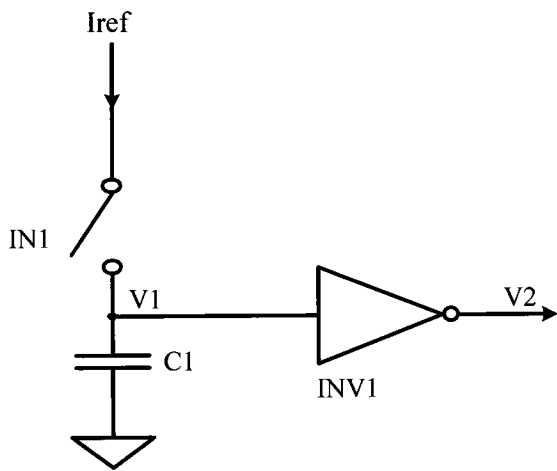


图 2

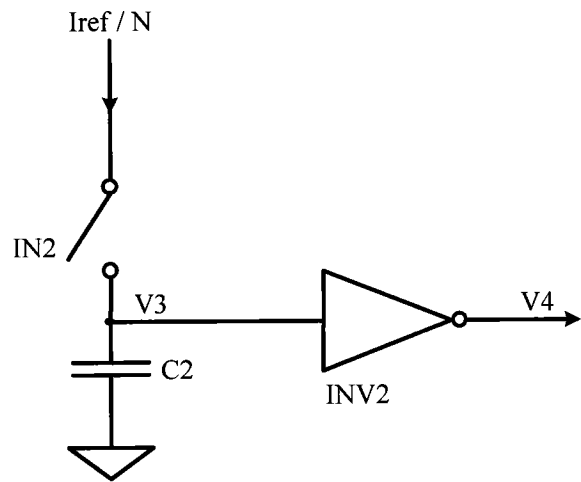


图 3

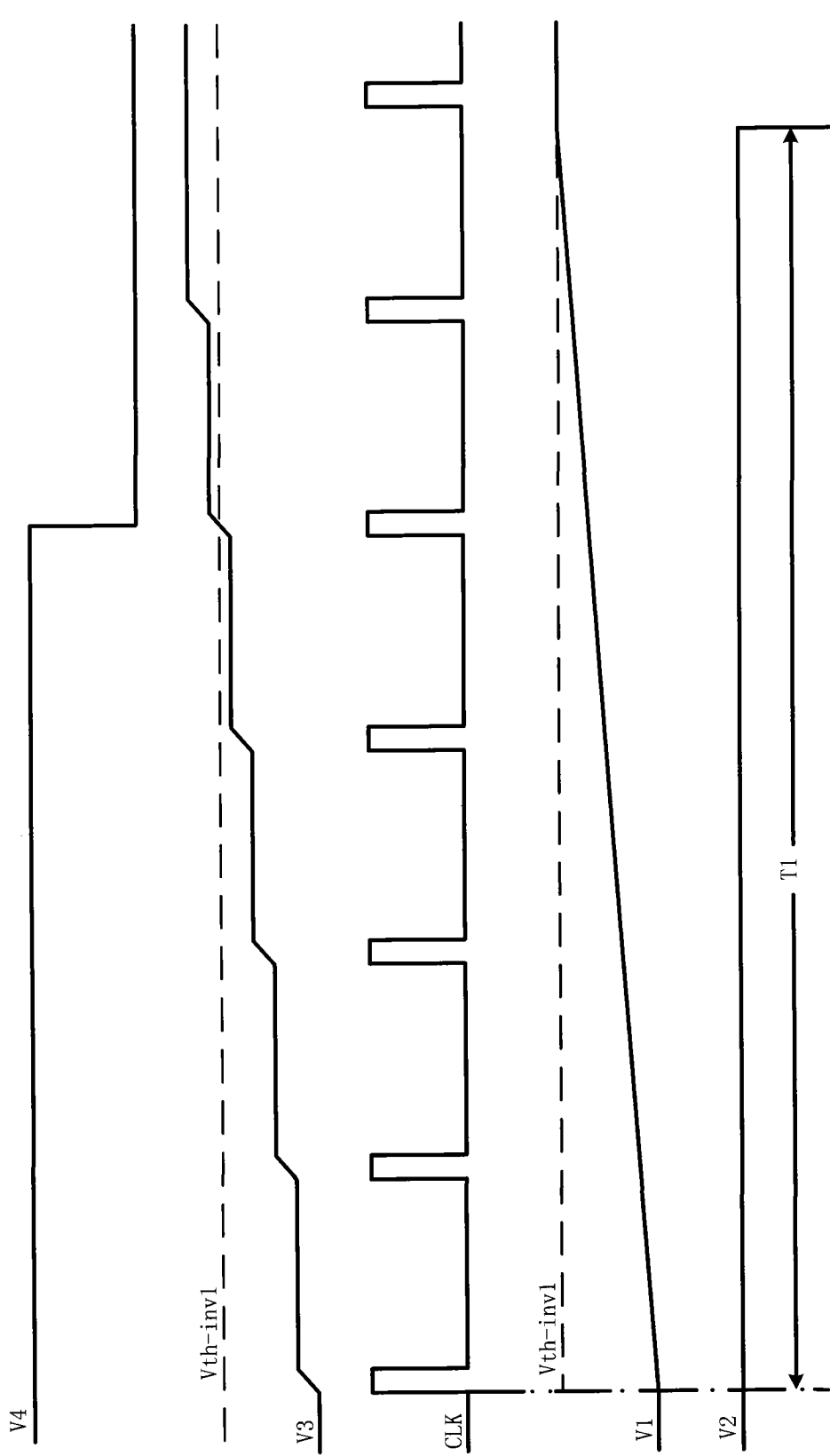


图 4a

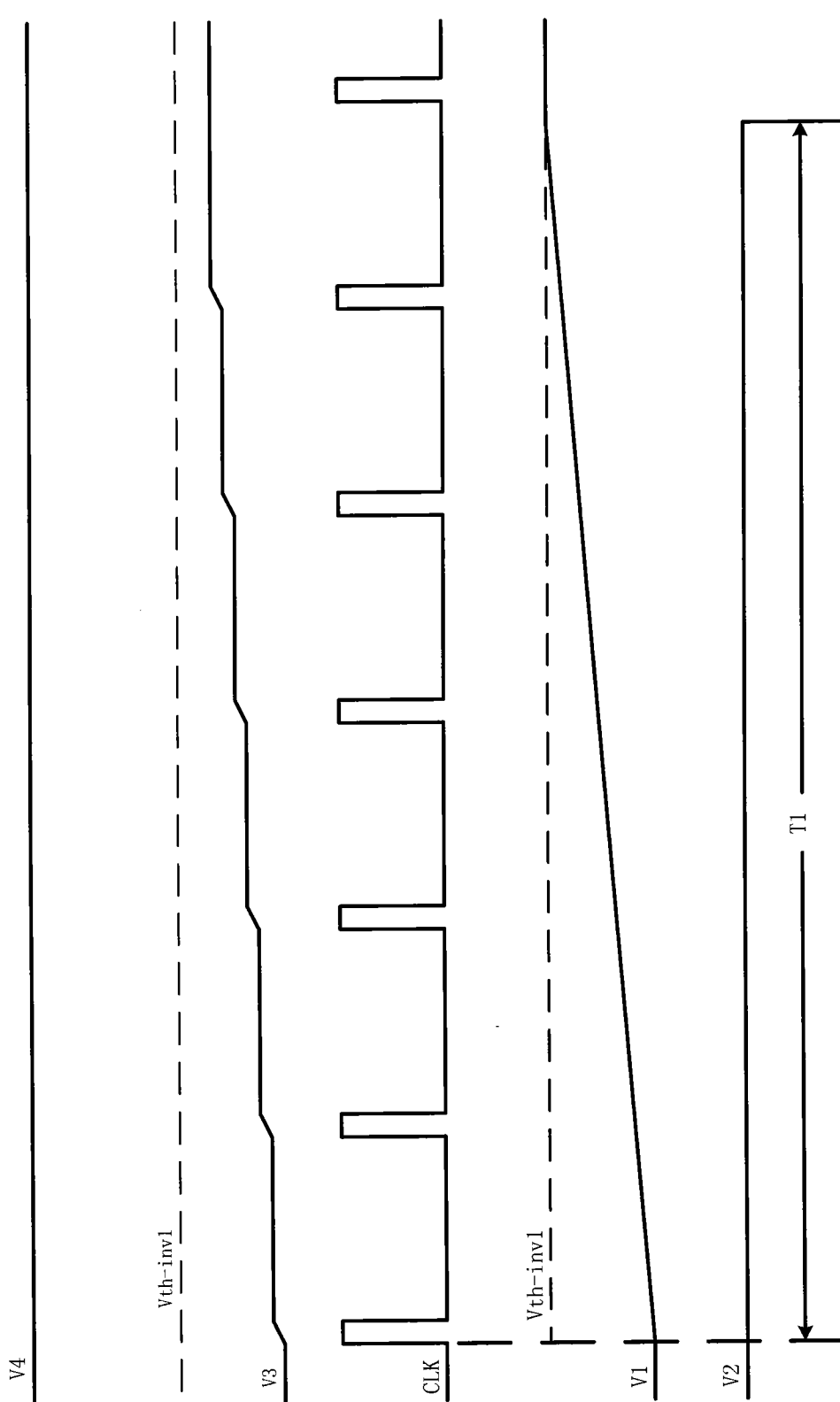


图 4b

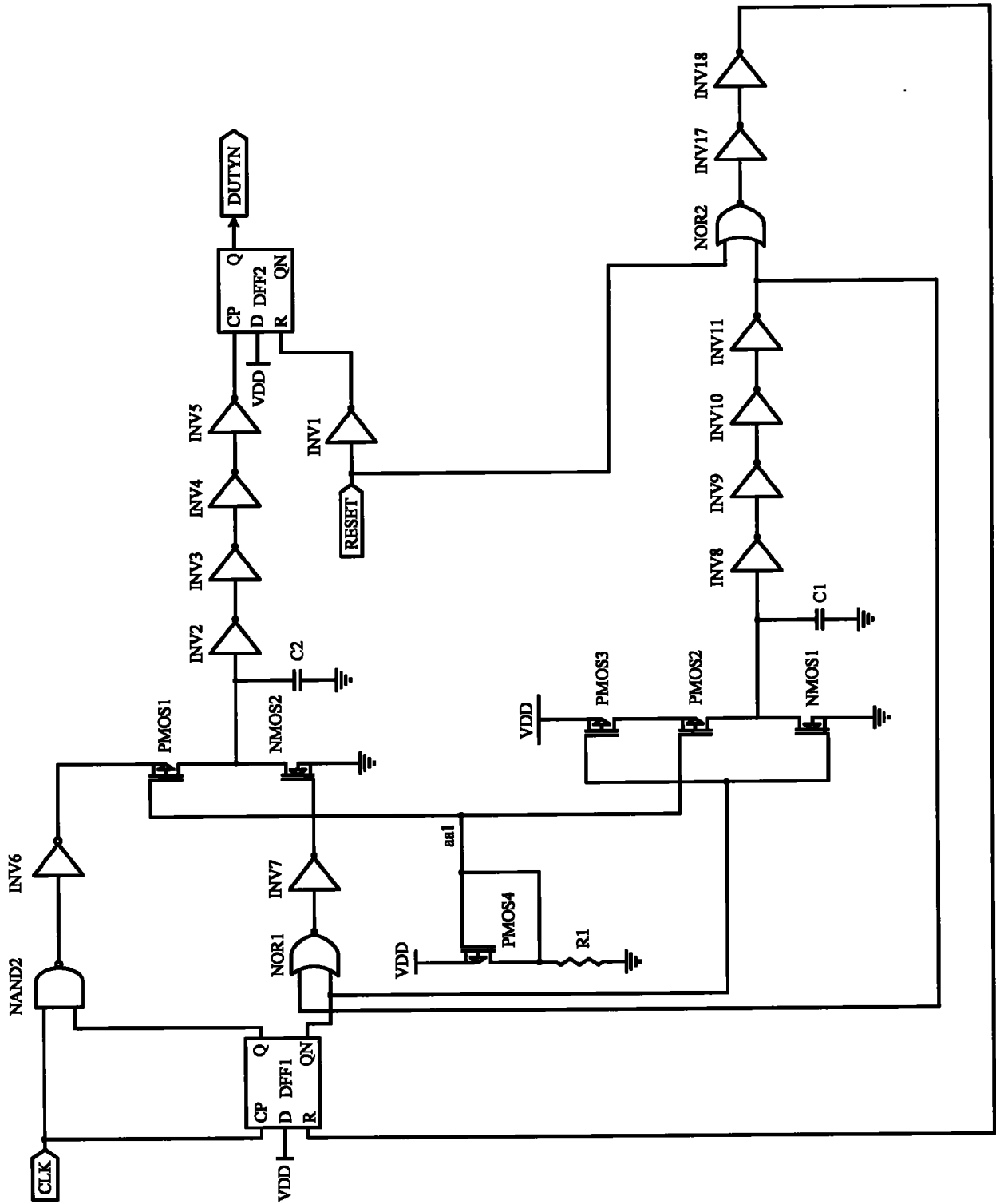


图 5

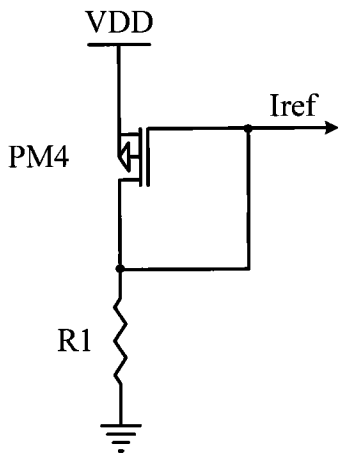


图 5a

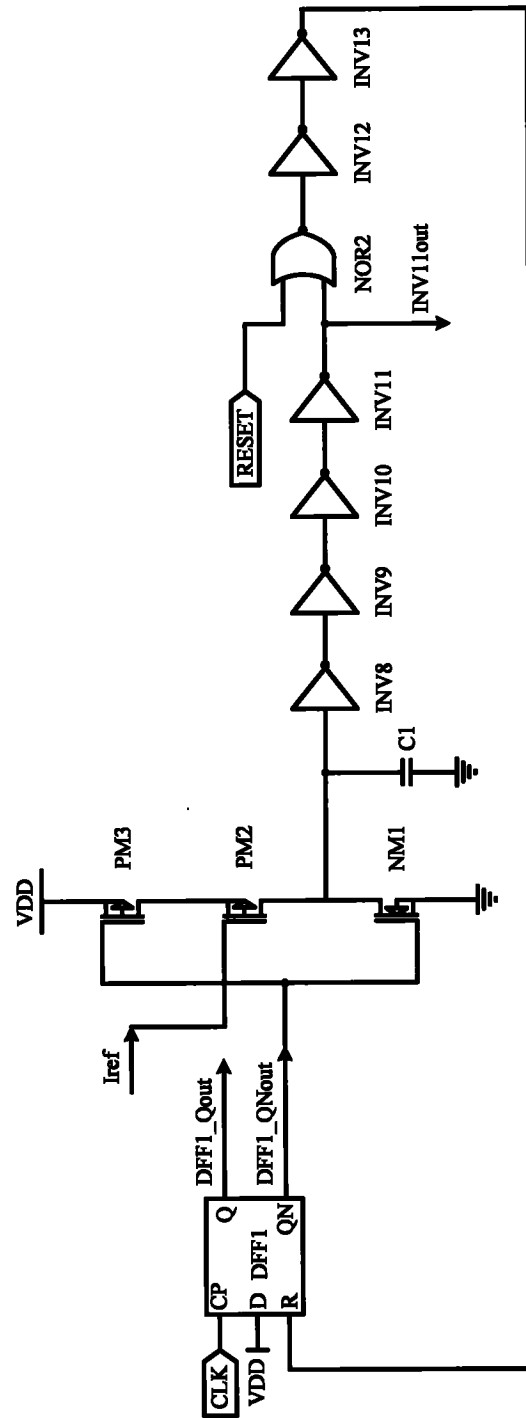


图 5b

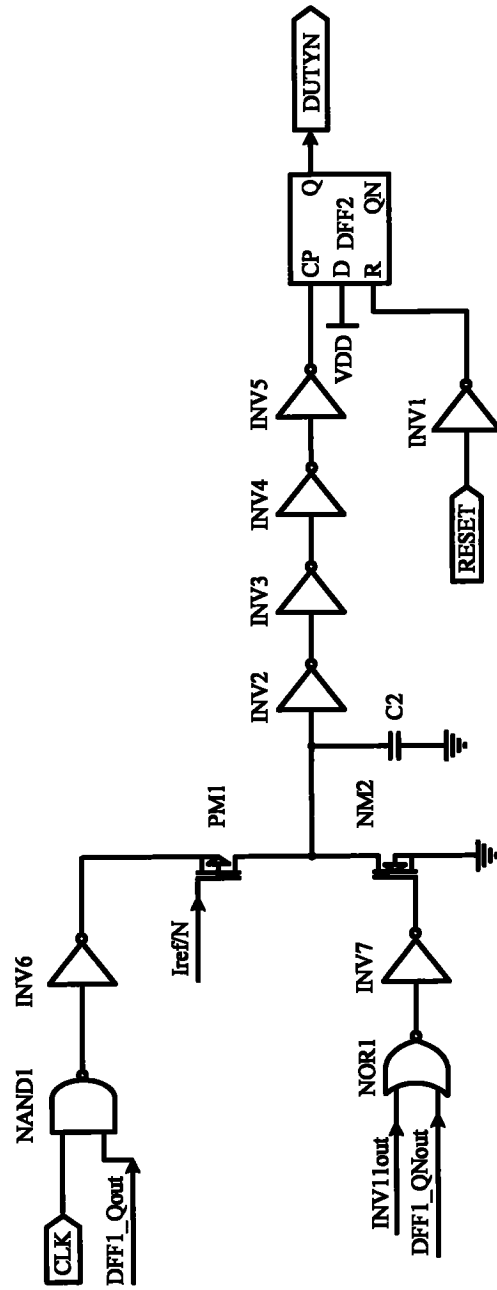


图 5c