

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第5653507号  
(P5653507)

(45) 発行日 平成27年1月14日(2015.1.14)

(24) 登録日 平成26年11月28日(2014.11.28)

(51) Int.Cl.		F I			
<b>G06F 11/00</b>	<b>(2006.01)</b>	G06F 9/06	630B		
<b>B60R 16/02</b>	<b>(2006.01)</b>	B60R 16/02	660U		

請求項の数 16 (全 42 頁)

(21) 出願番号	特願2013-226399 (P2013-226399)	(73) 特許権者	000006013
(22) 出願日	平成25年10月31日(2013.10.31)		三菱電機株式会社
審査請求日	平成25年10月31日(2013.10.31)		東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100110423
			弁理士 曾我 道治
		(74) 代理人	100111648
			弁理士 梶並 順
		(74) 代理人	100122437
			弁理士 大宅 一宏
		(74) 代理人	100147566
			弁理士 上田 俊一
		(74) 代理人	100161171
			弁理士 吉田 潤一郎
		(74) 代理人	100161115
			弁理士 飯野 智史

最終頁に続く

(54) 【発明の名称】 プログラムツールが接続される電子制御装置

(57) 【特許請求の範囲】

【請求項1】

入力インタフェース回路を介して外部接続されたセンサの動作状態と、電氣的に読み書きが行える不揮発性のプログラムメモリに格納された全体制御プログラムTCPRGの一部である入出力主制御プログラムCPRGの内容に応動して、出力インタフェース回路を介して外部接続された電気負荷を駆動制御する制御用マイクロプロセッサを備えた電子制御装置と、前記全体制御プログラムTCPRGが書き込まれているソースメモリと、当該全体制御プログラムTCPRGを、前記プログラムメモリに転送書込みするための転送用マイクロプロセッサとを備えた第一の外部ツールとが、相互にシリアル接続される、プログラムツールが接続される電子制御装置であって、

10

前記シリアル接続は、前記第一の外部ツール側の親局ドライバ及び親局レシーバと、前記電子制御装置側の子局レシーバ及び子局ドライバを一对の通信回線LANH, LANNによって接続した、LAN(Local Area Network)トランシーバが使用され、

前記一对の通信回線LANH, LANNは、少なくとも前記第一の外部ツールに代わる第二の外部ツールがシリアル接続される汎用通信回線となっており、

前記制御用マイクロプロセッサは更に、演算処理用のRAMメモリと、いずれもが前記プログラムメモリの一部領域であるか、又は分割して接続された不揮発性のブートプログラムメモリと、可変設定される制御定数、又は一部の制御プログラムを含む制御定数が格納されるデータメモリとを備え、

20

前記ブートプログラムメモリには前記LANトランシーバを介して前記全体制御プログラムTCPRGを転送書込みするための転送制御プログラムTPRGが予め格納され、

前記第一の外部ツールは前記転送用マイクロプロセッサと、前記親局ドライバと前記親局レシーバとに制御電圧Vccを供給する制御電源と、前記全体制御プログラムTCPRGを転送する前に前記第一の外部ツールが発生する切換信号MODに応動して、少なくとも前記一对の通信回線LANH, LANNの一方に対して高圧電圧Vaaを供給する高圧電源とを備え、前記高圧電圧Vaaは前記制御電圧Vccより高く、前記LANトランシーバが正常動作する耐圧電圧以下の電圧であって、

前記第一の外部ツールから前記電子制御装置に対して前記全体制御プログラムTCPRGを転送書込みするときには、少なくとも前記制御用マイクロプロセッサがプログラム書込みモードであることを認識するまでは、前記通信回線LANH, LANNの一方に高圧電圧Vaaが印加され、

10

前記電子制御装置は前記通信回線LANH, LANNによる送信信号電圧が、少なくとも前記制御電圧Vccを超過する電圧であるかどうかを判定する比較回路を備え、

前記比較回路が前記制御電圧Vccを超過する高電圧を検出すると、書込みモード判定回路によって書込みモード信号WMを発生するとともに、リセットパルス発生回路によって前記制御用マイクロプロセッサを初期化して再起動し、再起動された前記制御用マイクロプロセッサは、前記書込みモード信号WMによって書込みモードであることを認識し、前記ブートプログラムメモリを参照して前記第一の外部ツールから送信された前記全体制御プログラムTCPRGを受信して、前記プログラムメモリ又は当該プログラムメモリと前記データメモリに転送保存し、

20

前記第二の外部ツールは前記高圧電源を封殺又は除外されていて、前記全体制御プログラムTCPRGの他の一部である交信制御プログラムTPRGUの内容に基づいて、前記データメモリに対して前記制御定数の書込を行う

ことを特徴とするプログラムツールが接続される電子制御装置。

#### 【請求項2】

前記第一の外部ツールによって前記電子制御装置の前記プログラムメモリに転送書込みされる前記全体制御プログラムTCPRGは更に、前記入出力主制御プログラムCPROGに付随する可変制御定数に対する仮設定データCDAT0を備えたとともに、

前記第一の外部ツールは、前記制御定数となる初期設定データCDATが格納されたソースメモリを備え、前記転送用マイクロプロセッサと前記制御用マイクロプロセッサとは協働し、前記交信制御プログラムTPRGUを用いて前記初期設定データCDATの一部又は全部を前記データメモリに転送し、

30

前記電子制御装置は前記初期設定データCDATが前記データメモリに格納されているときには、当該初期設定データCDATと前記入出力主制御プログラムCPROGに基づいて入出力制御を行ない、前記初期設定データCDATが前記データメモリに格納されていないときには、前記仮設定データCDAT0と前記入出力主制御プログラムCPROGに基づいて入出力制御を行なうとともに、

前記仮設定データCDAT0は更に、前記初期設定データCDATとして格納される可変制御定数の上限値と下限値との間の予め設定された所定値となっている

40

ことを特徴とする請求項1に記載のプログラムツールが接続される電子制御装置。

#### 【請求項3】

前記電子制御装置の前記ブートプログラムメモリ又は前記プログラムメモリには機種コード情報が格納されており、

前記第一の外部ツールは、前記転送用マイクロプロセッサと協働するツール制御プログラムメモリを備え

前記ツール制御プログラムメモリは、適用される前記電子制御装置の機種種別とは無関係な主要制御プログラムと、前記機種種別に対応した個別制御プログラムによって構成されたツール制御プログラムを包含し、

前記転送用マイクロプロセッサは、前記電子制御装置から送信された前記機種コード情

50

報に基づいて、前記主要制御プログラムと、前記機種種別に対応した個別制御プログラムを実行し、

前記第一の外部ツールは、複数種類の前記電子制御装置に対する前記全体制御プログラム T C P R G の書込みに適用されることを特徴とする

請求項 1 又は請求項 2 に記載のプログラムツールが接続される電子制御装置。

【請求項 4】

前記親局ドライバと子局ドライバとは、送信論理信号 T X D が論理レベル「L」又は「H」のどちらか一方である優勢論理のときに、前記通信回線 L A N H 側の論理レベルが「H」で通信回線 L A N N 側の論理レベルが「L」となるドミナントモードとなり、

送信論理信号 T X D が反転論理レベル「H」又は「L」のどちらか他方である劣勢論理のときに、前記通信回線 L A N H , L A N N の論理レベルが共に電源電圧の中間電位でフローティング状態となるリセッシブモードとなり、

前記高圧電圧 V a a は、前記切換信号 M O D が発生したときに前記高圧電源から逆流防止ダイオードを含む高圧電源スイッチを介して前記通信回線 L A N H に直接印加されるとともに、前記親局ドライバ及び子局ドライバの送信論理信号 T X D は劣勢論理又は優勢論理としておく

か、もしくは、

前記高圧電圧 V a a は、前記切換信号 M O D が発生したときに前記高圧電源から逆流防止ダイオードを含む高圧電源スイッチを介して前記通信回線 L A N N に直接印加されるとともに、前記親局ドライバ及び子局ドライバの送信論理信号 T X D は劣勢論理とし、

前記比較回路は前記高圧電圧 V a a が印加されている通信回線 L A N H 又は L A N N の信号電圧を監視するものであることを特徴とする

請求項 1 から 3 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。

【請求項 5】

前記親局ドライバと子局ドライバとは、送信論理信号 T X D が論理レベル「L」又は「H」のどちらか一方である優勢論理のときに、前記通信回線 L A N H 側の論理レベルが「H」で通信回線 L A N N 側の論理レベルが「L」となるドミナントモードとなり、

送信論理信号 T X D が反転論理レベル「H」又は「L」のどちらか他方である劣勢論理のときに、前記通信回線 L A N H , L A N N の論理レベルが共に電源電圧の中間電位でフローティング状態となるリセッシブモードとなり、

前記切換信号 M O D が発生して書込みモードを通過するときには、高圧電源スイッチを介して前記高圧電圧 V a a が前記親局ドライバの電源電圧として印加され、書込みモードを解除したときには前記親局ドライバの電源電圧は前記制御電圧 V c c に復元接続するとともに、前記親局ドライバの送信論理信号 T X D は書込みモード期間においては優勢論理とし、このとき、前記子局ドライバの送信論理信号 T X D は劣勢論理又は優勢論理のいずれであってもよく、これによって通信回線 L A N H の論理レベルは「H」、通信回線 L A N N の論理レベルは「L」となり、

前記比較回路は前記高圧電圧 V a a が発生する通信回線 L A N H の信号電圧、又は通信回線 L A N H と通信回線 L A N N の各信号電圧の差分電圧を監視するものであることを特徴とする

請求項 1 から 3 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。

【請求項 6】

前記第一の外部ツールと前記電子制御装置とがシリアル接続された状態において、

前記第一の外部ツールの操作キーによって書込みモードの設定が行われると、前記転送用マイクロプロセッサは前記切換信号 M O D を発生して、前記通信回線 L A N H 又は L A N N に印加される信号電圧が予め設定された所定の設定期間において前記高圧電圧 V a a となるように切換え接続し、

前記所定の設定期間は、前記電子制御装置が前記比較回路によって書込みモードである

ことを認識して、前記制御用マイクロプロセッサを初期化して再起動するに要する時間以上の時間となっており、

前記電子制御装置は受信信号電圧レベルを判定する前記比較回路が、前記制御電圧  $V_{cc}$  による信号電圧であると判定したことによってシリアル信号情報の送受信を開始することを特徴とする請求項 1 から 5 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。

【請求項 7】

前記比較回路は前記高圧電圧  $V_{aa}$  を受信したことに応動して判定論理信号  $CM P$  を発生し、前記書込モード判定回路は前記判定論理信号  $CM P$  が予め設定された所定の継続時間以上において発生したことによって前記書込モード信号  $WM$  を発生し、

10

前記所定の継続時間は、前記  $L A N$  トランシーバが 1 フレームのデータを送信するに必要とする時間以上の時間であることを特徴とする

請求項 1 から 6 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。

【請求項 8】

前記第一の外部ツールは、前記切換信号  $M O D$  を予め設定された所定期間で断続し、前記電子制御装置では、前記比較回路によって前記高圧電圧  $V_{aa}$  の断続動作に応動して反転動作する判定論理信号  $CM P$  を発生し、前記書込モード判定回路は前記判定論理信号  $CM P$  が予め設定された所定時間内に予め設定された所定回数発生したときに前記書込モード信号  $WM$  を発生することを特徴とする請求項 1 から 6 までのいずれか 1 項に記載の

20

プログラムツールが接続される電子制御装置。

前記第一の外部ツール内に設けられた前記高圧電源の出力電圧である高圧電圧  $V_{aa}$  は、前記電子制御装置を給電駆動する直流の駆動電圧  $V_{bb}$  よりも高い電圧となっており、前記制御用マイクロプロセッサ及び前記子局側のドライバとレシーバは、前記駆動電圧  $V_{bb}$  を降圧して得られる予め設定された所定の安定化電源によって給電されることを特徴とする

請求項 1 から 8 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。

【請求項 10】

30

前記比較回路は前記高圧電圧  $V_{aa}$  が印加されている前記通信回線  $L A N H$  又は  $L A N N$  の信号電圧を分圧抵抗によって減圧して得られる第 1 の入力信号電圧と、基準電圧源による予め設定された所定の出力電圧である第 2 の入力信号電圧とを比較して、前記通信回線  $L A N H$  又は  $L A N N$  の信号電圧が前記制御電圧  $V_{cc}$  を超過しているときに書込モードに対応した判定論理信号  $CM P$  を発生し、

前記比較回路の電源電圧は、前記電子制御装置に設けられた制御電源が発生する制御電圧  $V_{cc}$  であることを特徴とする

請求項 1 から 9 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。

【請求項 11】

40

前記比較回路は前記高圧電圧  $V_{aa}$  が印加されている前記通信回線  $L A N H$  又は  $L A N N$  の信号電圧を分圧抵抗によって減圧して得られる第 1 の入力信号電圧と、基準電圧源による予め設定された所定の出力電圧である第 2 及び第 3 の入力信号電圧とを比較して、前記通信回線  $L A N H$  又は  $L A N N$  の信号電圧が前記制御電圧  $V_{cc}$  を超過した予め設定された所定の電圧帯域内であることによって書込モードに対応した判定論理信号  $CM P$  を発生し、

前記比較回路の電源電圧は、前記電子制御装置に設けられた制御電源が発生する制御電圧  $V_{cc}$  であることを特徴とする

請求項 1 から 9 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。

50

## 【請求項 1 2】

前記第一の外部ツールによって前記電子制御装置の前記プログラムメモリに転送書込みされる前記全体制御プログラム T C P R G は更に、前記入出力主制御プログラム C P R O G に付随する可変制御定数に対する仮設定データ C D A T 0 を備えるとともに、

前記電子制御装置に対して、第二の外部ツールが前記 L A N トランシーバを介してシリアル接続され、

前記第二の外部ツールは、転送用マイクロプロセッサと協働するツール制御プログラムメモリと、前記制御定数となる初期設定データ C D A T が格納されたソースメモリを備え、前記転送用マイクロプロセッサと前記制御用マイクロプロセッサとは協働し、前記交信制御プログラム T P R G U を用いて前記初期設定データ C D A T の一部又は全部を前記データメモリに転送し、

前記電子制御装置は、前記第二の外部ツールから送信された前記初期設定データ C D A T を受信すると、前記仮設定データ C D A T 0 に代わって、前記初期設定データ C D A T と前記入出力主制御プログラム C P R O G によって入出力制御を行なうとともに、

前記仮設定データ C D A T 0 は更に、前記初期設定データ C D A T として格納される可変制御定数の上限値と下限値との間の予め設定された所定値となっていることを特徴とする

請求項 1 から 1 1 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。

## 【請求項 1 3】

前記第二の外部ツールから前記データメモリに転送される初期設定データ C D A T は、一旦は前記電子制御装置に設けられた前記 R A M メモリに転送され、

前記電子制御装置は、運転用スイッチである電源スイッチが開路された後に、予め設定された所定の遅延給電期間をおいて遮断される電源リレーの出力素子を介して給電されており、

前記 R A M メモリに書込まれた前記初期設定データ C D A T は、前記電源スイッチが遮断されて、前記電気負荷に対する駆動出力が停止した前記遅延給電期間において、前記不揮発性のデータメモリに対して転送書込みされる

ことを特徴とする請求項 1 2 に記載のプログラムツールが接続される電子制御装置。

## 【請求項 1 4】

複数の前記電子制御装置は L A N トランシーバと一対の通信回線 L A N H , L A N N によって相互に接続されていて、それぞれに適用されるセンサと電気負荷が接続されて、駆動電圧 V b b が印加されている組付調整運転又は保守点検調整運転状態及び実働運転状態においては、前記第一の外部ツールは取外されていて、

前記 L A N トランシーバの通信回線 L A N H , L A N N には、少なくとも 1 台以上の複数の電子制御装置が順次シリアル接続されて相互に協調運転が行われており、

前記第二の外部ツールは運転中の前記電子制御装置に対して通信回線 L A N H , L A N N を介して接続され、

前記第二の外部ツールに設けられた前記ツール制御プログラムメモリ 1 0 2 C は、前記複数の電子制御装置に対応した機種コード情報を備え、前記第二の外部ツールで指定した前記複数の電子制御装置のいずれかに対して前記初期設定データ C D A T を送信することを特徴とする

請求項 1 2 又は請求項 1 3 に記載のプログラムツールが接続される電子制御装置。

## 【請求項 1 5】

前記電子制御装置内に設けられた前記プログラムメモリの一部領域に格納される前記仮設定データ C D A T 0 は、データ番号  $i = 1, 2, 3, \dots, m$  に対応した最小値  $A_i$  と最大値  $B_i$  の実数値を含むとともに、前記最小値  $A_i$  と最大値  $B_i$  との偏差を最大段数  $J_{max}$  で分割したときの選択段数  $J_i$  との比率である選択値  $K_{ij} = J_i / J_{max}$  の値を各設定データ毎に仮選択した仮選択値  $K_{1j}, K_{2j}, K_{3j}, \dots, K_{mj}$  を包含し、

10

20

30

40

50

前記第一の外部ツール又は前記第二の外部ツールによって設定される初期設定データ C D A T は、適用されたセンサ又は電気負荷に対応して各データ毎に新に選択決定した決定選択値  $K_{1j}$ ,  $K_{2j}$ ,  $K_{3j}$ ,  $\dots$ ,  $K_{mj}$  であり、

前記データ番号  $i$  に関する前記仮設定データ C D A T 0 又は初期設定データ C D A T の設定値  $D_{ij}$  である実数値 D A T  $i$  は、(1) 式および(2) 式によって算出され、

$$D A T i = D i j = A i + K i j \times ( B i - A i ) \quad \dots \dots (1)$$

$$\text{但し、} K i j = J i / J \text{max} \quad \dots \dots (2)$$

前記仮選択値及び決定選択値  $K_{ij}$  は、初期設定データの実数値よりも短い、予め設定された所定ビット以下の数値データであることを特徴とする

請求項 12 から 14 までのいずれか 1 項に記載のプログラムツールが接続される電子制御装置。 10

#### 【請求項 16】

前記仮設定データ C D A T 0 に含まれる、データ番号  $i = 1 \sim m$  の中のいずれかの番号  $p$  に関し、前記最小値  $A_p$  を 0 とし、前記最大値  $B_p$  を前記最大段数  $J_{max}$  とし、仮設定データ C D A T 0 又は初期設定データ C D A T の実数値 D A T  $p$  は、前記(1) 式に基づいて算出し、

$$\begin{aligned} D A T p &= A p + K p j \times ( B p - A p ) \\ &= 0 + ( J p / J \text{max} ) \times ( J \text{max} - 0 ) \\ &= J p \end{aligned}$$

選択段数  $J_p$  が得られるようにしたことを特徴とする 20

請求項 15 に記載のプログラムツールが接続される電子制御装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

この発明は、LAN (Local Area Network) トランシーバを介して、相互にシリアル接続された、例えばエンジン制御装置、変速機制御装置、ブレーキ制御装置などの車載用の電子制御装置に関連し、特に、改良された入出力制御プログラムの書込装置、及び入出力制御プログラムに付随する可変制御定数の書込装置を適用するための「プログラムツールが接続される電子制御装置」の改良に関するものである。

#### 【背景技術】

#### 【0002】

入出力制御プログラムが格納されたプログラムメモリと、当該プログラムメモリと協働するマイクロプロセッサとを備えた電子制御装置において、入出力制御プログラムの書込み・書換え装置である外部ツールと、電子制御装置を車載 LAN である CAN バスで接続し、当該バス通信回線を用いて入出力制御プログラムの書込み・書換えを行うことは公知である。

例えば、下記の特許文献 1 「車載電子制御装置の通信装置」の図 1 によれば、書換対象電子制御ユニット 10 は、外部ツール 20 からの書き込み開始要求信号に基づいて、自己診断の停止及び自己診断結果の送信の停止を行い、非書換対象電子制御ユニット 12, 14 は、外部ツール 20 からの書き込み開始要求信号及び書換対象電子制御ユニットからの自己診断停止要求信号、又は書換対象電子制御ユニットからの自己診断停止要求信号及び他の非書換対象電子制御ユニットからの自己診断結果送信停止信号に基づいて自己診断の停止及び自己診断結果の送信の停止を行い、外部ツール 20 は、書換対象電子制御ユニット 10 及び非書換対象電子制御ユニット 12, 14 における自己診断の停止及び自己診断結果の送信の停止の後に、書換対象電子制御ユニット 10 に対してデータの送信を行い、制御プログラムの書換えを行い、通信ラインを介して相互に接続されている複数の電子制御ユニットのなかの 1 つが記憶している制御プログラムの書換えを行う場合に、他の電子制御ユニットが異常を検知することによる誤動作を防止する技術が開示されている。

#### 【0003】

また、前記プログラムメモリとして電氣的に読み書きが行える不揮発性のフラッシュメモ 50

メモリが使用され、プログラムメモリが制御プログラム記憶領域と調整値記憶領域に分割されて、個々の領域に対する書込み・書換えが行えるようにすることも公知である。

例えば、下記の特許文献2「制御装置、書換装置、書換方法および書換プログラム」の図2及び図7によれば、制御装置10の記憶部11に調整値記憶部11aおよびプログラム記憶部11bの2つの領域を有するよう構成し、また、書換装置20の書換処理部23aが、制御装置10のプログラム記憶部11bに記憶されている制御プログラムを新たな制御プログラムに書換えるプログラム書換処理、および/または、調整値記憶部11aに記憶されている調整値を新たな調整値に書換える調整値書換処理を行うよう構成し、さらに、書換装置20の書換チェック処理部23bが、書換処理が成功したか否かを確認するよう構成し、これにより、製造コストを抑えることができ、かつ、記憶データの変更後においても品質を確保することができる制御装置10と、その書換装置20を提供する技術が開示されている。

10

また、書換装置20は車載LANを介して制御装置10と交信する通信手段を備え、当該通信手段によって制御装置10内のメモリに記憶されたデータを書き換えるようになっている。

#### 【0004】

また、前記プログラムメモリとして電氣的に読み書きが行える不揮発性のフラッシュメモリが使用され、プログラムメモリが制御プログラムを格納するメインフラッシュ領域と、起動用プログラムを格納するブートフラッシュ領域に分割されて、個々の領域に対する書込み・書換えが行えるようにすることも公知である。

20

例えば、下記の特許文献3「電子装置のメモリ書換システム」の図1によれば、メモリ書換装置4は、ECU2側のマイコン8にフラッシュROM20の書き換えを行わせるための処理を実行するCPU、ROM、RAM等を内蔵したマイコン30と、このマイコン30からの指令に応じて、ECU2側のマイコン8へ、フラッシュROM20のデータ書換時に必要な書換電圧Vpp（実施例では12V）を供給する電源回路32と、ECU2の動作モードを、エンジンの制御を行う通常モードからフラッシュROM20のデータを書き換える書換モードに変更させるための書換スイッチSWとを備えている。

フラッシュROM20はエンジン制御用の制御プログラムを格納するためのメインフラッシュ領域20aと、リセット解除の直後に実行される起動用プログラムを格納するためのブートフラッシュ領域20bとに分割されている。

30

更に、メモリ書換装置4は、ECU2へ送信する書換制御ソフト（詳しくは、書換制御ソフトを構成するプログラムコード及びその実行時に参照されるデータ）が格納された第1のROM34と、ECU2へ送信すべき書込データ（即ち、フラッシュROM20に書き込むべき新たなプログラムであり、以下、新ソフトともいう）が格納された第2のROMと36と、マイコン30からの指令に応じて各種メッセージを表示する表示装置37とを備えていて、第1のROM34と第2のROM36は、夫々、周知のICソケット38、40によって、当該メモリ書換装置4に着脱可能に設けられている。

#### 【先行技術文献】

#### 【特許文献】

#### 【0005】

40

【特許文献1】特開2005-297653号公報（図1、要約）

【特許文献2】特開2006-331185号公報（図2、要約、図7、段落[0081]）

【特許文献3】特開平10-149282号公報（図1、段落[0066]～[0072]）

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0006】

（1）従来技術の課題の説明

前記の特許文献1による「車載電子制御装置の通信装置」は、CANバスで相互に接続

50

されたエンジン制御装置 10 と変速機制御装置 12 とブレーキ制御装置 14 のそれぞれの電子制御装置に対して、少なくとも CAN プロトコルに対応する起動プログラムが予め格納されていて、電源スイッチ 22 が投入されると少なくとも外部ツール 20 との交信を行うことができることが前提となっているが、外部ツールの誤操作又はノイズ誤動作によって、誤って制御プログラムの書換えが行われないようにする保護対策が施されていないという問題点がある。

また、各電子制御装置が既に起動プログラムを有する場合であっても、入出力制御プログラムの全てを電子制御装置のメーカ（製造者）以外の第三者によって自由に書込み可能にすることは、品質保証上の問題がある。

一方、前記の特許文献 2 による「制御装置、書換装置、書換方法および書換プログラム」では、記憶部 11 を調整値記憶部 11a およびプログラム記憶部 11b の 2 つの領域に分割し、書換装置 20 は個々の領域にプログラム又は調整値を書込むことができるようになっている。

#### 【0007】

従って、電子制御装置のメーカはプログラム及び調整値の書込みを行ない、ユーザ側では調整値のみの書き込みを行うことができるように配慮することは可能となる。

しかしながら、ユーザ側で調整値の書込みを行うときに外部ツールの誤操作又はノイズ誤動作によって、誤って制御プログラムの書換えが行われないようにする保護対策が施されていない問題点があり、LAN 通信によって、プログラムの書換えであるか、調整値の書換えであるかを判別しようとした場合、誤ってブートプログラムが起動されるとプログラム記憶部 11b 内に間違えたプログラムが書込まれる危険性がある。

前記の特許文献 3 による「電子装置のメモリ書換システム」では、メモリ書換装置 4 は初品の電子制御装置 2 に対して起動プログラムと入出力制御プログラムを書込みすることができるように構成されているが、プログラムの書込みモードを設定するために、メモリ書換装置 4 には書換スイッチ SW が設けられ、電子制御装置 2 は書換スイッチ信号を受信するためのコネクタピンを設ける必要があつて、モード設定用の専用信号回線が必要となるという問題点がある。

#### 【0008】

この発明は、かかる問題点を解決するためになされたものであり、電子制御装置の出荷調整工程において、第一の外部ツールと電子制御装置とがシリアル接続されて電子制御装置に対して制御プログラムの転送を行なうものにおいて、書換スイッチや書込みモード設定用の専用信号回線を不要にするとともに、書込みモードの設定を行うために、シリアル通信情報には依存せず、未起動状態にある電子制御装置側のマイクロプロセッサの動作状態に依存しないで手軽に書込みモードの判定を行うことができる簡易な電子制御装置を提供することを目的としている。

#### 【課題を解決するための手段】

#### 【0009】

この発明による「プログラムツールが接続される電子制御装置」は、入力インタフェース回路を介して外部接続されたセンサの動作状態と、電気的に読書が行える不揮発性のプログラムメモリに格納された全体制御プログラム T C P R G の内容に反応して、出力インタフェース回路を介して外部接続された電気負荷を駆動制御する制御用マイクロプロセッサを備えた電子制御装置と、前記全体制御プログラム T C P R G が書き込まれているソースメモリと、当該全体制御プログラム T C P R G を、前記プログラムメモリに転送書込みするための転送用マイクロプロセッサとを備えた第一の外部ツールとが、相互にシリアル接続される「プログラムツールが接続される電子制御装置」であつて、前記シリアル接続は、前記第一の外部ツール側の親局ドライバ、親局レシーバと、前記電子制御装置側の子局レシーバ、子局ドライバを一对の通信回線 LANH, LANN によって接続した、LAN (Local Area Network) トランシーバが使用され、前記一对の通信回線 LANH, LANN は、少なくとも前記第一の外部ツールに代わる第二の外部ツールがシリアル接続される汎用通信回線となつており、前記制御用マイクロプロセッサは更に

10

20

30

40

50



、演算処理用のRAMメモリと、いずれもが前記プログラムメモリの一部領域であるか、又は分割して接続された不揮発性のブートプログラムメモリと、可変設定される制御定数、又は一部の制御プログラムを含む制御定数が格納されるのデータメモリとを備え、前記ブートプログラムメモリには前記LANトランシーバを介して前記全体制御プログラムTCPRGを転送書込みするための転送制御プログラムTPRG予め格納されている。

#### 【0010】

そして、前記第一の外部ツールは前記転送用マイクロプロセッサと、前記親局ドライバと前記親局レシーバとに制御電圧Vccを供給する制御電源と、前記全体制御プログラムTCPRGを転送する前に前記第一の外部ツールが発生する切換信号MODに反応して、少なくとも前記一对の通信回線LANH, LANNの一方に対して高圧電圧Vaaを供給する高圧電源を備え、前記高圧電圧Vaaは前記制御電圧Vccよりは高く、前記LANトランシーバが正常動作する耐圧電圧以下の電圧であって、前記第一の外部ツールから前記電子制御装置に対して前記全体制御プログラムTCPRGを転送書込みするときには、少なくとも前記制御用マイクロプロセッサがプログラム書込みモードであることを認識するまでは、前記通信回線LANH, LANNの一方に高圧電圧Vaaが印加され、前記電子制御装置は前記通信回線LANH, LANNによる送信信号電圧が、少なくとも前記制御電圧Vccを超過する電圧であるかどうかを判定する比較回路を備え、前記比較回路が前記制御電圧Vccを超過する高電圧を検出すると、書込モード判定回路によって書込モード信号WMを発生するとともに、リセットパルス発生回路によって前記制御用マイクロプロセッサを初期化して再起動し、再起動された前記制御用マイクロプロセッサは、前記書込モード信号WMによって書込みモードであることを認識し、前記ブートプログラムメモリを参照して前記第一の外部ツールから送信された前記全体制御プログラムTCPRGを受信して、前記プログラムメモリ又は当該プログラムメモリと前記データメモリに転送保存し、前記第二の外部ツールは前記高圧電源を封殺又は除外されていて、前記データメモリに対して前記制御定数の書込を行うようになっている。

#### 【発明の効果】

#### 【0011】

以上のとおり、この発明によるプログラムツールが接続される電子制御装置は、電氣的に読み書きが行える不揮発性のプログラムメモリと協働する制御用マイクロプロセッサを備えた電子制御装置と、前記プログラムメモリに転送書込みするためのソースプログラムを有する第一の外部ツールとが、汎用のLANトランシーバによって相互にシリアル接続されて構成され、電子制御装置はトランシーバによる受信信号電圧が、通常の信号電圧よりも高い高圧電圧であったことを検出することによって、第一の外部ツールが接続されて、プログラムの転送書込みを行なおうとしていることを認識し、第一の外部ツールから電子制御装置に対するプログラムの転送が実行されるようになっている。

従って、書込みモードの設定を行うために、書込モード設定スイッチを電子制御装置に接続する必要がなく、電子制御装置のコネクタピン数を削減して、小型安価な電子制御装置が得られる効果がある。

また、書込みモードの設定を行うために、シリアル通信回線が利用されていても、シリアル通信情報には依存せず、電子制御装置は受信信号電圧の大小比較回路によって書込みモードであるかどうかの判定を行うようになっているので、制御用マイクロプロセッサの動作状態に依存しないで手軽に書込みモードの判定を行うことができる効果がある。

また、汎用のシリアル通信回線には、制御定数の書込を行うための第二の外部ツールが接続された場合に、誤ってプログラムの転送書込みモードになって、既に書込み保存されていた全体制御プログラムが破壊される恐れがなく、全体制御プログラムの信頼性が向上する効果がある。

#### 【図面の簡単な説明】

#### 【0012】

【図1】この発明の実施の形態1によるプログラムツールが接続される電子制御装置の全体ブロック図である。

10

20

30

40

50

【図 2】図 1 のプログラムツールが接続される電子制御装置の LAN トランシーバの説明用回路図とタイムチャートである。

【図 3】図 1 のプログラムツールが接続される電子制御装置の制御動作を示すフローチャートの前半図である。

【図 4】図 1 のプログラムツールが接続される電子制御装置の制御動作を示すフローチャートの後半図である。

【図 5】この発明の実施の形態 2 によるプログラムツールが接続される電子制御装置の全体ブロック図である。

【図 6】図 5 のプログラムツールが接続される電子制御装置の制御動作を示すフローチャートの前半図である。

10

【図 7】図 5 のプログラムツールが接続される電子制御装置の制御動作を示すフローチャートの後半図である。

【図 8】この発明の実施の形態 3 によるプログラムツールが接続される電子制御装置の全体ブロック図である。

【図 9】図 8 のプログラムツールが接続される電子制御装置の制御動作を示すフローチャートの前半図である。

【図 10】図 8 のプログラムツールが接続される電子制御装置の制御動作を示すフローチャートの後半図である。

【図 11】図 8 のプログラムツールが接続される電子制御装置の初期設定データの設定テーブルである。

20

【図 12】図 8 のプログラムツールが接続される電子制御装置の初期設定データの説明用線図である。

【発明を実施するための形態】

【0013】

実施の形態 1 .

( 1 ) 構成の詳細な説明

以下、この発明の実施の形態 1 による「プログラムツールが接続される電子制御装置」の全体ブロック図である図 1 について説明する。

図 1 において、プログラムツールが接続される電子制御装置 30 A は、プログラム書込装置である第一の外部ツール 10 A と、電子制御装置 20 A とを、通信回線 LAN H , L A N N によって接続して構成されていて、外部ツール 10 A は電子制御装置 20 A の出荷調整工程に設けられた製造ライン内の設備であり、電子制御装置 20 A は最終出荷調整ラインに順次移送されてきた未完成状態の製品となっていて、第一の外部ツール 10 A によって制御プログラムの書込みを行い、模擬的に接続されたセンサ 60 と電気負荷 70 を用いて性能テストが行われるようになっている。

30

第一の外部ツール 10 A は電源線 80 を介して商用電源から給電されて動作し、第一の外部ツール 10 A 内に設けられた制御電源 108 は例えば DC 5 V である安定化された制御電圧 V c c を生成し、高圧電源 109 は例えば DC 20 V の安定化された高圧電圧 V a を生成するようになっている。

【0014】

40

第一の外部ツール 10 A の主要構成要素である転送用マイクロプロセッサ 100 は、制御電圧 V c c によって給電駆動され、ブートプログラムメモリ 101 と、ツール制御プログラムメモリ 102 A と、RAMメモリ 103 と協働して、電子制御装置 20 A に対して後述のプログラムの転送を行なうようになっている。

例えばメモリカセットであるソースメモリ 104 A には、第一の外部ツール 10 A から電子制御装置 20 A 内のプログラムメモリ 204 A に転送される全体制御プログラム T C P R G が格納されている。

例えばメモリカセットであるソースメモリ 105 には、第一の外部ツール 10 A から電子制御装置 20 A 内のデータメモリ 205 に転送される初期設定データ C D A T が格納されている。

50

なお、全体制御プログラムTCPRGは、後述する入出力主制御プログラムCPRGと、仮設定データCDATOと、交信制御プログラムTPRGUによって構成されている。

#### 【0015】

第一の外部ツール10Aには、マン・マシンインタフェースとしての操作キー106（キーボード）と表示器107（ディスプレイ装置）とが設けられていて、操作キー106によってプログラムの転送書込み指令が発生し、表示器107には書込み完了表示、或いは異常発生情報の表示が行なわれるようになっている。

なお、電子制御装置20A内に既に何らかの入出力制御プログラムや初期設定データ・仮設定データが格納されているときには、これらの既存データは一括削除され、新たなプログラムが転送書換えされるようになっている。

第一の外部ツール10A内に設けられたLAN通信用のドライバ110（以下、親局ドライバ110という）は、図2で詳述するとおり、転送用マイクロプロセッサ100が発生する送信論理信号TXDの論理レベルが優勢論理（例えば「L」）のときに、一方の通信回線LANHの出力が論理レベル「H」で、他方の通信回線LANNの出力論理が「L」レベルとなるドミナントモードとなるように、一对の通信回線LANH、LANNを駆動するための一对の出力信号を発生する。

また、送信論理信号TXDの論理レベルが劣勢論理（例えば「H」）のときには、一对の通信回線LANH、LANNの出力論理レベルが、共に親局ドライバ110に与えられた電源電圧である制御電圧Vccの中間電圧でフローティング状態となるリセッシブモードとなる。

#### 【0016】

第一の外部ツール10A内に設けられたLAN通信用のレシーバ111（以下、親局レシーバ111という）は、一对の通信回線LANH、LANNの差動信号電圧に応動する受信論理信号RXDを発生して転送用マイクロプロセッサ100に入力し、受信論理信号RXDは通信回線LANH、LANNがドミナントモードであれば優勢論理（例えば「L」）、リセッシブモードであれば劣勢論理（例えば「H」）となるようになっている。

高圧電源スイッチ109Aは転送用マイクロプロセッサ100が発生する切換信号MODに依動するトランジスタスイッチであり、この高圧電源スイッチ109Aが閉路すると通信回線LANHには高圧電源109が発生する高圧電圧Vaaが印加されるようになっている。

なお、高圧電圧Vaaの値は親局ドライバ110の電源電圧である制御電圧Vccよりも大きく、望ましくは電子制御装置20Aの電源電圧である後述の駆動電圧Vbbよりも更に大きく、通信回線LANH、LANNに接続される全てのドライバとレシーバの耐圧よりは低い電圧となっている。

#### 【0017】

外部電源90は例えば車載バッテリーに相等する地上電源であって、電源リレーRyの出力素子91が閉路すると電子制御装置20Aに対して例えばDC12V系の駆動電圧Vbbを供給するようになっている。

なお、電源リレーRyは電源スイッチ92が閉路されたときに付勢され、電源スイッチ92が開路されても、暫時（予め設定された所定時間内）は、電子制御装置20Aが発生する自己保持駆動出力DRVによって付勢が持続し、当該所定時間の経過後に消勢されるようになっている。

電子制御装置20Aの主要構成要素である制御用マイクロプロセッサ200は、制御電源208が発生する制御電圧Vccを電源として動作し、入力インタフェース回路206を介して接続された検査設備としてのセンサ60の動作状態に応動して、出力インタフェース回路207を介して接続された検査設備としての電気負荷70を駆動制御することができるようになっている。

なお、制御電源208が立ち上がると、電源投入検出パルス発生回路209はパワーオンリセット信号RSTOを発生して、論理和素子221を介して制御用マイクロプロセッ

10

20

30

40

50

サ 200 を初期化して起動するようになっている。

【0018】

ブートプログラムメモリ 201 は、例えばフラッシュメモリである後述のプログラムメモリ 204 A の一部領域であるか、又は分割接続された ROM メモリであって、第一の外部ツール 10 A と電子制御装置 20 A とが、予め設定された所定の LAN 通信プロトコルに基づいて、全体制御プログラム T C P R G をソースメモリ 104 A からプログラムメモリ 204 A へ転送するための転送制御プログラム T P R G が格納されている。

プログラムメモリ 204 A は、例えばブロック単位で一括消去が可能な不揮発性のフラッシュメモリであって、このプログラムメモリ 204 A にはソースメモリ 104 A から全体制御プログラム T C P R G が転送格納される。

10

データメモリ 205 は、例えばフラッシュメモリである前述のプログラムメモリ 204 A の一部領域であるか、又は分割接続された電氣的に読み書きが行える不揮発性のメモリであって、このデータメモリ 205 にはソースメモリ 105 から初期設定データ C D A T が転送格納される。

【0019】

なお、プログラムメモリ 204 A に格納された全体制御プログラム T C P R G は、電子制御装置 20 A に接続されたセンサ 60 の動作状態に反応して、電気負荷 70 を駆動制御するための入出力主制御プログラム C P R O G と、後述の第二の外部ツール 10 C を用いて初期設定データ C D A T をデータメモリ 205 に転送するための交信制御プログラム T P R G U と、初期設定データ C D A T が書き込みされるまでの期間において、初期設定データ C D A T の代替となる仮設定データ C D A T 0 によって構成されている。

20

演算処理用の RAM メモリ 203 は、第一の外部ツール 10 A のソースメモリ 104 A 及び 105 から電子制御装置 20 A のプログラムメモリ 204 A とデータメモリ 205 への転送情報を中継したり、電子制御装置 20 A の実働運転中においては、可変制御定数の経時変化を学習記憶して、初期設定データ C D A T の内容を逐次更新補正するための記憶媒体として使用されるものである。

【0020】

なお、RAM メモリ 203 は、電源リレーの出力素子 91 が開路しても、図示しないバックアップ電源によって書き込み情報は保持されるようになっている。

また、制御用マイクロプロセッサ 200 は初期設定データ C D A T が格納されていないときには、入出力主制御プログラム C P R O G と仮設定データ C D A T 0 に基づく入出力制御プログラム C P R O G + C D A T 0 に基づいて入出力制御を行ない、初期設定データ C D A T が格納されると入出力主制御プログラム C P R O G と初期設定データ C D A T に基づく入出力制御プログラム C P R O G + C D A T に基づいて入出力制御を行ない、初期設定データ C D A T の一部は制御用マイクロプロセッサ 200 の学習演算機能によって補正されるようになっている。

30

【0021】

電子制御装置 20 A に設けられ、制御電圧  $V_{cc}$  を電源電圧として動作するレシーバ 211 (以下、子局レシーバ 211 という) と、ドライバ 210 (以下、子局ドライバ 210 という) は通信回線 L A N H , L A N N を介して第一の外部ツール 10 A と接続され、子局レシーバ 211 から得られる受信論理信号 R X D は制御用マイクロプロセッサ 200 に入力され、制御用マイクロプロセッサ 200 が発生する送信論理信号 T X D は子局ドライバ 210 を介して第一の外部ツール 10 A へ送信されるようになっている。

40

なお、ここでいう子局ドライバ 210 と子局レシーバ 211 は図 8 で後述するとおり、親局が存在しなくても子局間で自由に信号交信が行えるものとなっている。

分圧抵抗 213 , 214 と平滑コンデンサ 215 は、通信回線 L A N H とグランド回路 G N D 間の電圧を分圧して、第 1 の入力信号電圧として比較回路 212 A の正入力端子に入力するようになっている。

正帰還抵抗 216 は比較回路 212 A の出力端子と正入力端子間に接続され、比較回路 212 A の出力論理レベルに反応して第 1 の入力信号電圧の値を変更してヒステリシス特

50

性を持たせるためのものとなっている。

比較回路 2 1 2 A の負入力端子には、基準電圧源 2 1 7 A から第 2 の入力信号電圧として例えば DC 2 . 1 V が印加されている。

#### 【 0 0 2 2 】

従って、第 1 の入力信号電圧が 2 . 1 V 以上に増加すると、比較回路 2 1 2 A の出力信号である判定論理信号 CMP の論理レベルが「H」となり、一旦出力論理レベルが「H」になると、第 1 の入力信号電圧が例えば 1 . 6 V 以下に減少するまでは論理レベル「H」を維持し、1 . 6 V 未満になると論理レベルが「L」に復帰するように正帰還抵抗 2 1 6 の抵抗値が定められている。

一方、分圧抵抗 2 1 4 と正帰還抵抗 2 1 6 とが並列接続されているときの分圧抵抗 2 1 4 ・ ( 2 1 4 / / 2 1 6 ) による分圧比は例えば 1 / 8 となっており、この場合、通信回線 LANH に高圧電圧  $V_{aa} = 20 \text{ V}$  が印加されると第 1 の入力信号電圧は  $20 / 8 = 2 . 5 \text{ V}$  となるので、比較回路 2 1 2 A は確実に動作して判定論理信号 CMP は論理レベル「H」となる。

しかしながら、通信回線 LANH の信号電圧が  $V_{cc} = 5 \text{ V}$  のときには、第 1 の入力信号電圧は  $5 / 8 = 0 . 6 \text{ V}$  に分圧されているので、比較回路 2 1 2 A は確実に不動作となって判定論理信号 CMP は論理レベル「L」となる。

また、電子制御装置 2 0 A の実働運転中において、通信回線 LANH が外部電源 9 0 の正配線に混触し、このときの駆動電圧が  $V_{bb} = 12 \sim 16 \text{ V}$  であった場合には、第 1 の入力信号電圧は  $12 \sim 16 / 8 = 1 . 5 \sim 2 . 0 \text{ V}$  となるので、判定論理信号 CMP が論理レベル「H」になることはない。

#### 【 0 0 2 3 】

書込モード判定回路 2 1 8 A は、判定論理信号 CMP が出力論理レベル「H」を、予め設定した所定の継続時間の間で持続したことによって、書込モード信号 WM を発生するようになっている。

リセットパルス発生回路 2 1 9 は、書込モード判定回路 2 1 8 A が書込モード信号 WM を発生したことに伴って、第 1 リセット信号 RST1 を発生し、論理和素子 2 2 1 を介して制御用マイクロプロセッサ 2 0 0 を初期化して再起動するようになっている。

制御用マイクロプロセッサ 2 0 0 が起動すると、予め設定された所定周期以下のパルス列信号であるウォッチドッグ信号 WDS を発生し、ウォッチドッグタイマ 2 2 0 はウォッチドッグ信号 WDS のパルス幅が予め設定された所定値以下であれば、出力許可信号 OUTE を発生して出力インタフェース回路 2 0 7 の出力発生を許可するとともに、自己保持回路 2 2 2 に作用して電源リレー Ry に対する自己保持駆動出力 DRV を発生するようになっている。

但し、ウォッチドッグ信号 WDS のパルス幅が予め設定された所定値を超過すると、出力許可信号 OUTE は停止して第 2 リセット信号 RST2 が発生し、論理和素子 2 2 1 を介して制御用マイクロプロセッサ 2 0 0 を初期化して再起動するようになっている。

#### 【 0 0 2 4 】

次に、図 1 に示した LAN トランシーバの説明用回路図とタイムチャートである図 2 について説明する。

図 2 ( A ) において、親局ドライバ 1 1 0 と親局レシーバ 1 1 1 を一体化して構成された LAN トランシーバ 1 1 0 0 は、制御電圧  $V_{cc}$  が印加される正側配線に接続された上流トランジスタ 1 1 0 1 H と、当該上流トランジスタ 1 1 0 1 H に直列接続された上流ダイオード 1 1 0 2 H と、グランド回路 GND に接続された下流トランジスタ 1 1 0 1 N と、当該下流トランジスタ 1 1 0 1 N に直列接続された下流ダイオード 1 1 0 2 N を備え、上流トランジスタ 1 1 0 1 H の下流端は通信回線 LANH に接続するための上流出力端子に接続され、下流トランジスタ 1 1 0 1 N の上流端は通信回線 LANN に接続するための下流出力端子に接続されている。

P チャンネル形の電界効果型トランジスタである上流トランジスタ 1 1 0 1 H のゲート端子と、N チャンネル形の電界効果型トランジスタである下流トランジスタ 1 1 0 1 N の

10

20

30

40

50

ゲート端子とは、駆動抵抗 1103 と NPN 形トランジスタである駆動トランジスタ 1104 との直列回路によって接続され、駆動トランジスタ 1104 が導通すると上流トランジスタ 1101H 及び下流トランジスタ 1101N が導通するようになっている。

#### 【0025】

上流ゲート抵抗 1105H は上流トランジスタ 1101H のゲート端子と正側配線との間に接続され、下流ゲート抵抗 1105N は下流トランジスタ 1101N のゲート端子とグランド回路 GND との間に接続され、駆動トランジスタ 1104 が開路すると上流トランジスタ 1101H と下流トランジスタ 1101N が開路するようになっている。

開路安定抵抗 1106 は駆動トランジスタ 1104 のベース端子とグランド回路 GND 間に接続され、駆動トランジスタ 1104 は送信論理信号 TXD が入力される論理反転素子 1110 を介してベース電圧が印加されるようになっている。

正側配線とグランド回路 GND との間に接続された上流分圧抵抗 1107H, 1107N の相互の接続点は、通信回線 LANH の上流出力端子に接続されている。

正側配線とグランド回路 GND との間に接続された下流分圧抵抗 1108H, 1108N の相互の接続点は下流出力端子 LANN に接続されている。

差動増幅器によって構成された親局レシーバ 111 の正側入力端子は、通信回線 LANH の上流出力端子に接続され、負側入力端子は下流出力端子 LANN に接続され、出力端子は受信論理信号 RXD を発生するようになっている。

#### 【0026】

図 2 (B) において、送信論理信号 TXD の論理レベルを「H」にすると、駆動トランジスタ 1104 は開路し、上流トランジスタ 1101H と下流トランジスタ 1101N が不導通となり、通信回線 LANH の上流出力端子は上流分圧抵抗 1107H, 1107N の分圧比で定まる中間電圧となり、下流出力端子 LANN は下流分圧抵抗 1108H, 1108N の分圧比で定まる中間電圧となるリセッブモードとなり、この状態では受信論理信号 RXD の論理レベルは「H」となるように親局レシーバ 111 の入力回路が構成されている。

また、送信論理信号 TXD の論理レベルを「L」にすると、駆動トランジスタ 1104 は閉路し、上流トランジスタ 1101H と下流トランジスタ 1101N が導通して、通信回線 LANH の上流出力端子は論理レベル「H」、下流出力端子 LANN は論理レベル「L」となるドミナントモードとなり、この状態では受信論理信号 RXD の論理レベルは「L」となっている。

なお、この実施の形態 1 においては通信回線 LANH, LANN の論理レベルがドミナントモードであるときには、ドライバの送信論理信号 TXD とレシーバの受信論理信号 RXD の論理レベルは「L」となり、リセッブモードではドライバの送信論理信号 TXD とレシーバの受信論理信号 RXD の論理レベルは「H」とであるとしたが、ドライバの入力回路又はレシーバの出力回路に論理反転素子が挿入されると、入出力の論理レベルは反転することになる。

#### 【0027】

また、図 2 (A) で示された LAN トランシーバ 1100 内の上流ダイオード 1102H は、図 1 で示した高圧電源スイッチ 109A が閉路したときに、高圧電源 109 から制御電源 108 へ流れる電流を阻止するようになっている。

また、図 1 で示した高圧電源スイッチ 109A に内蔵された直列ダイオードは、高圧電源 109 が出力停止しているときに、通信回線 LANH がグランド回路 GND に短絡接続されるのを防止するためのものとなっている。

一方、図 2 (A) で示された LAN トランシーバ 1100 内の下流ダイオード 1102N は、通信回線 LANN に対して負電圧を印加することができるようになっている。

従って、書込みモードを指示するための高圧電圧は、制御電圧 Vcc とは異なる異種電圧であればよいので、通信回線 LANN 側に負電圧を印加することによって書込みモードを指示することもできるが、この場合には第一の外部ツール 10A、電子制御装置 20A が負電圧電源を備える必要があつて得策ではない。

10

20

30

40

50

## 【 0 0 2 8 】

## ( 2 ) 作用・動作の詳細な説明

以下、図 1 に示したプログラムツールが接続される電子制御装置 3 0 A の制御動作を示すフローチャートの前半図である図 3 と後半図である図 4 によって作用・動作を詳細に説明する。

まず、図 3 において、工程 S 3 0 0 において第一の外部ツール 1 0 A に電源が投入されると、図示しないパワーオンリセット回路が作用（工程 S 3 0 0 a 参照）して転送用マイクロプロセッサ 1 0 0 は初期化されて、工程 S 3 0 1 a においてプログラムの転送制御動作を開始する。

続く工程 S 3 0 1 b では、まず、ブートプログラムメモリ 1 0 1 内の起動プログラムが実行されるが、ツール制御プログラムメモリ 1 0 2 A に既にツール制御プログラムが書込まれている場合には直ちに工程 S 3 0 1 c へ移行して、以降の工程 S 3 0 2 から図 4 の工程 S 3 1 9 に至るツール制御プログラムが実行される。

工程 S 3 0 2 は操作キー 1 0 6 の操作情報を読み出し、続く工程 S 3 0 3 では工程 S 3 0 2 によるキー操作が書込みモードの設定キーであったかどうかを判定し、書込みモードキーが操作された場合には Y E S の判定を行って工程 S 3 0 4 へ移行し、一方、書込みモードキーが押されなかった場合には N O の判定を行って工程 S 3 0 2 へ復帰して、工程 S 3 0 2 と工程 S 3 0 3 を循環しながら書込みモードキーが押されるのを待機することになる。

## 【 0 0 2 9 】

一方、工程 S 3 2 0 a a で電源スイッチ 9 2 が投入されると、続く工程 S 3 2 0 で電源リレー R y の出力素子 9 1 が閉路して、電子制御装置 2 0 A に対して駆動電圧 V b b が印加される。

その結果、制御電源 2 0 8 が制御電圧 V c c を発生して、制御用マイクロプロセッサ 2 0 0 及び子局レシーバ 2 1 1、子局ドライバ 2 1 0 を含む各部に制御電圧 V c c を供給するとともに、電源投入検出パルス発生回路 2 0 9 はパワーオンリセット信号 R S T 0 を発生し、論理和素子 2 2 1 を介して制御用マイクロプロセッサ 2 0 0 を初期化し（工程 S 3 2 0 a 参照）、工程 S 3 2 1 において制御動作を開始する。

続く工程 S 3 2 2 では、書込モード判定回路 2 1 8 A が書込モード信号 W M を発生しているかどうかを読み出して工程 S 3 2 4 へ移行する。

工程 S 3 2 4 では、書込モード信号 W M が発生していれば Y E S の判定を行って工程 S 3 2 5 へ移行し、書込モード信号 W M を発生していなければ N O の判定を行って工程 S 3 2 7 へ移行する。

工程 S 3 2 7 では図 4 で後述する工程 S 3 4 4 によって、全体制御プログラム T C P R G がプログラムメモリ 2 0 4 A に格納されているかが判定され、若しも全体制御プログラム T C P R G が既に書込み保存されていれば Y E S の判定を行なって工程 S 3 2 8 へ移行し、全体制御プログラム T C P R G がまだ書込みされていなければ、N O の判定を行って動作終了工程 S 3 3 0 へ移行する。

## 【 0 0 3 0 】

なお、ブートプログラムメモリ 2 0 1 には、第一の外部ツール 1 0 A と電子制御装置 2 0 A とが、L A N 通信プロトコルに基づいて全体制御プログラム T C P R G を転送するための転送制御プログラム T P R G が予め格納されている。

従って、全体制御プログラム T C P R G が未保存の状態では、動作終了工程 S 3 3 0 を経由して動作開始工程 S 3 2 1 へ循環移行し、制御用マイクロプロセッサ 2 0 0 は動作開始工程 S 3 2 1 ・工程 S 3 2 2 ・工程 S 3 2 4 ・工程 S 3 2 7 ・動作終了工程 S 3 3 0 ・動作開始工程 S 3 2 1 を循環実行し、書込モード信号 W M の発生を待機している状態となる。

工程 S 3 2 8 では後述の工程 S 3 2 5 によって記憶された書込モード信号 W M の発生情報に関する記憶を消去してから、図 4 の工程 S 3 4 0 へ移行する。

第一の外部ツール 1 0 A において書込モードの設定操作が行われると、工程 S 3 0 4 で

10

20

30

40

50

は切換信号MODを発生し、その結果、高圧電源スイッチ109Aが閉路して通信回線LANHには高圧電圧Vaaが印加される。

【0031】

続く工程S308では切換信号MODの発生時間が所定の継続時間に達したかどうかを判定し、未達であればNOの判定を行って工程S304へ復帰して高圧電圧Vaaの印加を持続し、予め設定された所定の継続時間に到達するとYESの判定を行って工程S309へ移行する。

工程S309では切換信号MODを解除し、一对の通信回線LANH, LANNには親局ドライバ110又は子局ドライバ210が発生する信号電圧が印加されるようにしてから、図4の工程S312へ移行する。

一方、電子制御装置20Aでは、工程S324がYESの判定を行ったことによって前述の循環ループを脱出し、工程S325において書込モード信号WMが発生したことを記憶して工程S326へ移行する。

続く工程S326では書込モード判定回路218Aが発生している書込モード信号WMが論理レベル「L」に復帰して、通信回線LANHに対する高圧電圧Vaaの印加が解除されたかどうかを判定し、高圧電圧Vaaの印加が解除されればYESの判定を行って、図4の工程S332へ移行し、一方、高圧電圧Vaaの印加が解除されていなければNOの判定を行って工程S326へ復帰して、高圧電圧Vaaの印加が解除されるのを待機する。

【0032】

続く図4において、工程S309に続いて動作する工程S312では、ソースメモリ104Aに格納された全体制御プログラムTCPRGが送信されるが、電子制御装置20A側では工程S332によって工程S312で送信された全体制御プログラムTCPRGを受信して一時的にはRAMメモリ203に格納し、やがては後述の工程S344においてプログラムメモリ204Aに転送されるようになっている。

なお、全体制御プログラムTCPRGは複数バイト単位でRAMメモリ203を経由しながら、工程S332において逐次プログラムメモリ204Aに転送するようにしてもよい。

【0033】

工程S312に続く工程S313では、全体制御プログラムTCPRGの送信が完了したかどうかを判定し、未完了であればNOの判定を行って工程S312へ復帰し、完了であればYESの判定を行って工程S314へ移行して、電子制御装置20Aに対してプログラムの転送完了信号を送信する。

工程S332に続く工程S334では、工程S314で送信される完了信号を受信したかどうかを判定し、未受信であればNOの判定を行って工程S332へ復帰し、受信すればYESの判定を行って工程S335へ移行する。

工程S335では、工程S332で受信した全体制御プログラムTCPRGを、例えばCRCチェックで代表される符号点検手段によって点検して異常の有無を判定し、続く工程S336では異常が無ければNOの判定を行って工程S338へ移行し、異常があればYESの判定を行って工程S337へ移行する。

工程S337では第一の外部ツール10Aに対して異常発生報告を返信して動作終了工程S330へ移行する。

工程S338では、工程S325で記憶しておいた書込モード信号WMの記憶を解除してから動作終了工程S330へ移行する。

【0034】

工程S314に続く工程S317では、工程S337で報告返信された異常発生情報を受信して、異常の有無を判定し、異常があればYESの判定を行って工程S318へ移行し、異常がなければNOの判定を行って工程S400へ移行する。

工程S318では異常発生を表示器107によって報知し、再操作を指示して動作終了工程S319へ移行する。

10

20

30

40

50



工程 S 4 0 0 では、ソースメモリ 1 0 5 に格納されている初期設定データ C D A T を送信して動作終了工程 S 3 1 9 へ移行する。

図 3 の工程 S 3 2 8 に続く工程 S 3 4 0 では、工程 S 3 3 2 で受信した全体制御プログラム T C P R G か、後述の工程 S 3 4 4 でプログラムメモリ 2 0 4 A に転送保存された全体制御プログラム T C P R G が起動される。

続く工程 S 4 3 0 では、工程 S 4 0 0 で送信された初期設定データ C D A T が、工程 S 3 4 0 で起動された全体制御プログラム T C P R G 中の交信制御プログラム T P R G U によって受信され、R A M メモリ 2 0 3 に一時保存される。

#### 【 0 0 3 5 】

続く工程 S 3 4 1 では工程 S 3 4 0 で起動された全体制御プログラム T C P R G 中の入出力主制御プログラム C P R O G によって入出力制御が実行される。

続く工程 S 3 4 2 では電子制御装置 2 0 A に入力されている電源スイッチ 9 2 が閉路されているかどうかを判定し、閉路されていれば動作終了工程 S 3 3 0 を経由して動作開始工程 S 3 2 1 へ循環移行し、開路されていれば N O の判定を行って工程 S 3 4 3 へ移行する。

なお、工程 S 3 4 2 による電源スイッチ 9 2 が閉路されているかどうかを判定は、全体制御プログラム T C P R G 中で所定周期未満の間隔で実行されるようになっている。

工程 S 3 4 3 では電源スイッチ 9 2 が初めて開路されて、まだ全体制御プログラム T C P R G や初期設定データ C D A T がプログラムメモリ 2 0 4 A やデータメモリ 2 0 5 に転送保存されていないときに Y E S の判定を行って工程 S 3 4 4 へ移行し、転送保存が完了している再度の電源スイッチ 9 2 の遮断時には N O の判定を行って工程 S 3 4 5 へ移行する。

#### 【 0 0 3 6 】

工程 S 3 4 4 では、工程 S 3 3 2 で受信し、R A M メモリ 2 0 3 に書き込みされていた全体制御プログラム T C P R G が、プログラムメモリ 2 0 4 A の所定のアドレスに転送保存されるとともに、工程 S 4 3 0 で受信し、R A M メモリ 2 0 3 に書き込みされていた初期設定データ C D A T が、データメモリ 2 0 5 の所定のアドレスに転送保存される。

工程 S 3 4 5 では、工程 S 3 4 5 で格納された初期設定データ C D A T の一部について、電子制御装置 2 0 A の運転中に学習記憶された適性値に書換えたり、運転中に発生した異常情報の類別集計値が、異常発生履歴情報として更新保存されるようになっている。

工程 S 3 4 6 では、工程 S 3 4 4 又は工程 S 3 4 5 によるプログラムメモリ 2 0 4 A やデータメモリ 2 0 5 への転送処理が完了した時点でウォッチドッグ信号 W D S を停止する。

工程 S 3 4 7 では、ウォッチドッグ信号 W D S が停止したことによって、ウォッチドッグタイマ 2 2 0 が出力許可信号 O U T E を停止し、これによって自己保持回路 2 2 2 が自己保持駆動出力 D R V を停止して電源リレー R y が消勢されるようになっている。

#### 【 0 0 3 7 】

なお、プログラムメモリ 2 0 4 A に対するプログラムの転送が完了し、第一の外部ツール 1 0 A を取外した実働運転状態においては、電源投入によって工程 S 3 2 1 で制御用マイクロプロセッサ 2 0 0 が動作を開始すると、工程 S 3 2 2 によって一時的に書込モード信号 W M が読み出され、工程 S 3 2 4 が N O の判定を行い、工程 S 3 2 7 が Y E S の判定を行うことによって、工程 S 3 2 8 を経由して工程 S 3 4 0 によって全体制御プログラム T C P R G が起動され、工程 S 3 4 1 によって入出力制御が実行される。

電源スイッチ 9 2 が閉路している状態では工程 S 3 4 2 から動作終了工程 S 3 3 0 へ定期的に移行して、動作開始工程 S 3 2 1 ・工程 S 3 2 2 ・工程 S 3 2 4 ・工程 S 3 2 7 ・工程 S 3 2 8 ・工程 S 3 4 0 ・工程 S 4 3 0 ・工程 S 3 4 1 ・工程 S 3 4 2 ・動作終了工程 S 3 3 0 が繰返し実行されることになる。

しかしながら、電源スイッチ 9 2 が開路されると工程 S 3 4 2 が N O の判定を行って循環ループを脱出して、工程 S 3 4 4 又は工程 S 3 4 5 を実行してから電源リレー R y が消勢されることになる。

10

20

30

40

50

電源スイッチ 92 が再び閉路されて制御用マイクロプロセッサ 200 が動作を開始すると、データメモリ 205 に格納されていた初期設定データ C D A T は工程 S 3 4 1 において R A M メモリ 203 に読出転送され、電子制御装置 20A の運転中において一部の初期設定データ C D A T について学習補正が行われるようになっている。

#### 【 0038 】

##### (3) 実施の形態 1 の要点と特徴

以上の説明で明らかとなっており、この発明の実施の形態 1 による「プログラムツールが接続される電子制御装置」は、本願の請求項 1 に記載の発明に関連して、以下の特徴を備えている。

この発明の実施の形態 1 による「プログラムツールが接続される電子制御装置」は、入力インタフェース回路 206 を介して外部接続されたセンサ 60 の動作状態と、電氣的に読み書きが行える不揮発性のプログラムメモリ 204A に格納された全体制御プログラム T C P R G の一部である入出力制御プログラム C P R O G の内容に応動して、出力インタフェース回路 207 を介して外部接続された電気負荷 70 を駆動制御する制御用マイクロプロセッサ 200 を備えた電子制御装置 20A と、前記全体制御プログラム T C P R G が書き込まれているソースメモリ 104A と、当該全体制御プログラム T C P R G を、前記プログラムメモリ 204A に転送書込みするための転送用マイクロプロセッサ 100 とを備えた第一の外部ツール 10A とが、相互にシリアル接続される「プログラムツールが接続される電子制御装置」30A であって、前記シリアル接続は、前記第一の外部ツール 10A 側の親局ドライバ 110 及び親局レシーバ 111 と、前記電子制御装置 20A 側の子局レシーバ 211 及び子局ドライバ 210 を一対の通信回線 L A N H , L A N N によって接続した、L A N ( L o c a l A r e a N e t w o r k ) トランシーバ 1100 が使用され、前記一対の通信回線 L A N H , L A N N は、少なくとも前記第一の外部ツール 10A に代わる第二の外部ツール 10C がシリアル接続される汎用通信回線となっており、前記制御用マイクロプロセッサ 200 は更に、演算処理用の R A M メモリ 203 と、いずれもが前記プログラムメモリ 204A の一部領域であるか、又は分割して接続された不揮発性のブートプログラムメモリ 201 と、可変設定される制御定数又は一部の制御プログラムを含む制御定数が格納される不揮発性のデータメモリ 205 とを備えている。

#### 【 0039 】

前記ブートプログラムメモリ 201 には前記 L A N トランシーバ 1100 を介して前記全体制御プログラム T C P R G を転送書込みするための転送制御プログラム T P R G が予め格納され、前記第一の外部ツール 10A は前記転送用マイクロプロセッサ 100 と、前記親局ドライバ 110 と前記親局レシーバ 111 とに制御電圧 V c c を供給する制御電源 108 と、前記全体制御プログラム T C P R G を転送する前に前記第一の外部ツール 10A が発生する切換信号 M O D に応動して、少なくとも前記一対の通信回線 L A N H , L A N N の一方に対して高圧電圧 V a a を供給する高圧電源 109 とを備え、前記高圧電圧 V a a は前記制御電圧 V c c より高く、前記 L A N トランシーバ 1100 が正常動作する耐圧電圧以下の電圧であって、前記第一の外部ツール 10A から前記電子制御装置 20A に対して前記全体制御プログラム T C P R G を転送書込みするときには、少なくとも前記制御用マイクロプロセッサ 200 がプログラム書込みモードであることを認識するまでは、前記通信回線 L A N H , L A N N の一方に高圧電圧 V a a が印加され、前記電子制御装置 20A は前記通信回線 L A N H , L A N N による送信信号電圧が、少なくとも前記制御電圧 V c c を超過する電圧であるかどうかを判定する比較回路 212A を備えている。

#### 【 0040 】

前記比較回路 212A が前記制御電圧 V c c を超過する高電圧を検出すると、書込みモード判定回路 218A によって書込みモード信号 W M を発生するとともに、リセットパルス発生回路 219 によって前記制御用マイクロプロセッサ 200 を初期化して再起動し、再起動された前記制御用マイクロプロセッサ 200 は、前記書込みモード信号 W M によって書込みモードであることを認識し、前記ブートプログラムメモリ 201 を参照して、前記第一の外部ツール 10A から送信された前記全体制御プログラム T C P R G を受信して、前記

10

20

30

40

50

プログラムメモリ204A、又は当該プログラムメモリと前記データメモリ205に転送保存し、前記第二の外部ツール10Cは前記高圧電源109を封殺又は除外されていて、前記全体制御プログラムTCPRGの他の一部である交信制御プログラムTPRGUの内容に基づいて、前記データメモリ205に対して前記制御定数の書込を行うようになっている。

#### 【0041】

また、本願の請求項2に記載の発明に関連して、以下の特徴を備えている。

前記第一の外部ツール10Aによって前記電子制御装置20Aの前記プログラムメモリ204Aに転送書込みされる前記全体制御プログラムTCPRGは更に、前記入出力主制御プログラムCPRGに付随する可変制御定数に対する仮設定データCDAT0を備えるとともに、前記第一の外部ツール10Aは、前記制御定数となる初期設定データCDATが格納されたソースメモリ105を備え、前記転送用マイクロプロセッサ100と前記制御用マイクロプロセッサ200とは協働し、前記交信制御プログラムTPRGUを用いて前記初期設定データCDATの一部又は全部を前記データメモリ205に転送し、前記電子制御装置20Aは前記初期設定データCDATが前記データメモリ205に格納されているときには、当該初期設定データCDATと前記入出力主制御プログラムCPRGに基づいて入出力制御を行ない、前記初期設定データCDATが前記データメモリ205に格納されていないときには、前記仮設定データCDAT0と前記入出力主制御プログラムCPRGに基づいて入出力制御を行なうとともに、前記仮設定データCDAT0は更に、前記初期設定データCDATとして格納される可変制御定数の上限値と下限値との間にある予め設定された所定値となっている。

以上のとおり、この発明の請求項2に関連し、電子制御装置の製造出荷段階で使用される第一の外部ツールでは、入出力主制御プログラムCPRGに加えて少なくとも可変制御定数に対する仮設定データCDAT0が全体制御プログラムTCPRGの一部としてプログラムメモリに格納され、可変制御定数が既知である場合には、これを初期設定データCDATとしてデータメモリへ転送することもできるようになっている。

従って、一般には可変制御定数の一部は電子制御装置の出荷後において、適用されるセンサと電気負荷の様子が確定した段階で決定され、この時点で初期設定データCDATとしてデータメモリに書込みされるものであるが、出荷時点において可変制御定数が既知である内蔵部品に関するものである場合には、これを初期設定データCDATとして格納保存することができるので、取扱上の自由度が向上する特徴がある。

#### 【0042】

また、本願の請求項4に記載の発明に関連して、以下の特徴を備えている。

前記親局ドライバ110と子局ドライバ210とは、送信論理信号TXDが論理レベル「L」又は「H」のどちらか一方である優勢論理のときに、前記通信回線LANH側の論理レベルが「H」で通信回線LANN側の論理レベルが「L」となるドミナントモードとなり、送信論理信号TXDが反転論理レベル「H」又は「L」のどちらか他方である劣勢論理のときに、前記通信回線LANH、LANNの論理レベルが共に電源電圧の中間電位でフローティング状態となるリセッシブモードとなり、前記高圧電圧Vaaは、前記切換信号MODが発生したときに前記高圧電源109から逆流防止ダイオードを含む高圧電源スイッチ109Aを介して前記通信回線LANHに直接印加されるとともに、前記親局ドライバ110及び子局ドライバ210の送信論理信号TXDは劣勢論理又は優勢論理としておくか、もしくは、前記高圧電圧Vaaは、前記切換信号MODが発生したときに前記高圧電源109から逆流防止ダイオードを含む高圧電源スイッチ109Aを介して前記通信回線LANNに直接印加されるとともに、前記親局ドライバ110及び子局ドライバ210の送信論理信号TXDは劣勢論理とし、前記比較回路212Aは前記高圧電圧Vaaが印加されている通信回線LANH又はLANNの信号電圧を監視するようになっている。

以上のとおり、この発明の請求項4に関連し、書込みモードを通達するための高圧電圧Vaaは一对の通信回線LANH又はLANNのどちらか一方に直接印加されるようにな

っている。

従って、通信回線 L A N H 側に高圧電圧 V a a を印加するようにしておけば、親局及び子局ドライバの送信論理信号 T X D は優勢論理又は劣勢論理のどちらでもよい特徴があり、若しも通信回線 L A N N 側に高圧電圧 V a a を印加する場合には、親局及び子局ドライバの送信論理信号 T X D は劣勢論理にしておけばよいことになる。

#### 【 0 0 4 3 】

また、本願の請求項 6 に記載の発明に関連して、以下の特徴を備えている。

前記第一の外部ツール 1 0 A と前記電子制御装置 2 0 A とがシリアル接続された状態において、前記第一の外部ツール 1 0 A の操作キー 1 0 6 によって書込みモードの設定が行われると、前記転送用マイクロプロセッサ 1 0 0 は前記切換信号 M O D を発生して、前記通信回線 L A N H 又は L A N N に印加される信号電圧が予め設定された所定の設定期間において前記高圧電圧 V a a となるように切換え接続し、前記所定の設定期間は、前記電子制御装置 2 0 A が前記比較回路 2 1 2 A によって書込みモードであることを認識して、前記制御用マイクロプロセッサ 2 0 0 を初期化して再起動するに要する時間以上の時間となっており、前記電子制御装置 2 0 A は受信信号電圧レベルを判定する前記比較回路 2 1 2 A が、制御電圧 V c c による信号電圧であると判定したことによってシリアル信号情報の送受信を開始するようになっている。

以上のとおり、この発明の請求項 6 に関連し、電子制御装置において書込みモードの認識が完了し、通信回線の信号電圧が高圧電圧 V a a から制御電圧 V c c に切換えられてから、第一の外部ツールと電子制御装置間のシリアル信号の交信が開始するようになっている。

従って、電子制御装置側には L A N トランシーバを駆動するための高圧電源が不要となって小型安価な電子制御装置が得られる特徴がある。

#### 【 0 0 4 4 】

また、本願の請求項 7 に記載の発明に関連して、以下の特徴を備えている。

前記比較回路 2 1 2 A は前記高圧電圧 V a a を受信したことに応動して判定論理信号 C M P を発生し、前記書込モード判定回路 2 1 8 A は前記判定論理信号 C M P が予め設定された所定の継続時間以上において発生したことによって前記書込モード信号 W M を発生し、前記所定の継続時間は、前記 L A N トランシーバが 1 フレームのデータを送信するに必要とする時間以上の時間となっている。

以上のとおり、この発明の請求項 7 に関連し、書込モード判定回路は、比較回路の判定論理信号が所定の継続時間以上において発生したことによって前記書込モード信号 W M を発生するようになっている。

従って、電子制御装置の実働運転中において、通信回線 L A N H , L A N N に誘導されたノイズ信号によって、誤って電子制御装置が運転停止する可能性が軽減される特徴がある。

なお、上記所定の継続時間は通常のノイズフィルタで得る時間に比べて大幅に長い時間となっていて、判定論理信号の発生が遅れることになるが、この遅れ時間はプログラムの転送書込み操作の開始時点で 1 回だけ発生する遅延時間であるため、実用上の問題は発生せず、ノイズ誤動作を防止するために十分な時間を確保することができるものである。

#### 【 0 0 4 5 】

また、本願の請求項 9 に記載の発明に関連して、以下の特徴を備えている。

前記第一の外部ツール 1 0 A 内に設けられた前記高圧電源 1 0 9 の出力電圧である高圧電圧 V a a は、前記電子制御装置 2 0 A を給電駆動する直流の駆動電圧 V b b よりも高い電圧となっており、前記制御用マイクロプロセッサ 2 0 0 及び前記子局側のドライバ 2 1 0 とレシーバ 2 1 1 は、前記駆動電圧 V b b を降圧して得られる予め設定された所定の安定化電源によって給電されるようになっている。

以上のとおり、この発明の請求項 9 に関連し、書込みモードを判定するために設けられた高圧電圧 V a a は、電子制御装置を給電駆動する駆動電圧 V b b よりも高い電圧となっている。

従って、電子制御装置の実働運転中において、電源線とシリアル通信回線が混触したときに、誤って書込みモードが選択されることがない特徴がある。

【0046】

また、本願の請求項10に記載の発明に関連して、以下の特徴を備えている。

前記比較回路212Aは前記高圧電圧V<sub>aa</sub>が印加されている前記通信回線LANH又はLANNの信号電圧を分圧抵抗213, 214によって減圧して得られる第1の入力信号電圧と、基準電圧源217Aによる予め設定された所定の出力電圧である第2の入力信号電圧とを比較して、前記通信回線LANH又はLANNの信号電圧が前記制御電圧V<sub>cc</sub>を超過しているときに書込みモードに対応した判定論理信号CMPを発生し、前記比較回路212Aの電源電圧は、前記電子制御装置20Aに設けられた制御電源208が発生する制御電圧V<sub>cc</sub>となっている。

10

以上のとおり、この発明の請求項10に関連し、電子制御装置内の比較回路にはシリアル通信回線の信号電圧を分圧した減圧電圧が入力されるようになっている。

従って、比較回路を駆動するための電源として高圧電源を必要とせず、制御用マイクロプロセッサを駆動する制御電源がそのまま利用できる特徴がある。

【0047】

実施の形態2.

(1)構成の詳細な説明

以下、この発明の実施の形態2による「プログラムツールが接続される電子制御装置」の全体ブロック図である図5について、図1との相違点を中心にして説明する。

20

なお、各図において同一符号は同一部分を示しており、実施の形態1と実施の形態2において対応する符号は大文字のAとBで区別されている。

図5において、プログラムツールが接続される電子制御装置30Bは、プログラム書込装置である第一の外部ツール10Bと、複数種類の電子制御装置20B<sub>n</sub>(n=1, 2, ...)の中の一つの電子制御装置20B<sub>n</sub>とを通信回線LANH, LANNによって接続して構成されていて、第一の外部ツール10Bは電子制御装置20B<sub>n</sub>の出荷調整工程に設けられた製造ライン内の設備であり、電子制御装置20B<sub>n</sub>は最終出荷調整ラインに順次移送されてきた未完成状態の製品となっていて、第一の外部ツール10Bによって制御プログラムの書込みを行い、選択された電子制御装置20B<sub>n</sub>に対応して模擬的に接続されたセンサ60と電気負荷70を用いて性能テストが行われるようになっている。

30

第一の外部ツール10Bの主要構成要素である転送用マイクロプロセッサ100は、制御電圧V<sub>cc</sub>によって給電駆動され、ブートプログラムメモリ101と、ツール制御プログラムメモリ102Bと、RAMメモリ103と協働して、電子制御装置20B<sub>n</sub>に対して後述のプログラムの転送を行なうようになっている。

【0048】

例えばメモリカセットであるソースメモリ104B<sub>n</sub>には、電子制御装置20B<sub>n</sub>のプログラムメモリ204B<sub>n</sub>に転送される全体制御プログラムTCPRGが書込まれており、例えばメモリカセットであるソースメモリ105には、電子制御装置20B<sub>n</sub>のデータメモリ205に転送される初期設定データCDATが格納されている。

第一の外部ツール10B内に設けられた親局ドライバ110と親局レシーバ111とによって構成されたLANトランシーバは図2で説明したとおりのものとなっている。

40

予め設定された所定周期で断続動作する高圧電源スイッチ109Bは転送用マイクロプロセッサ100が発生する切換信号MODに応動するトランジスタスイッチであり、この高圧電源スイッチ109Bが作動すると、親局ドライバ110と親局レシーバ111の電源電圧は、例えばDC5Vの制御電圧V<sub>cc</sub>から、DC20Vの高圧電圧V<sub>aa</sub>に切換え接続されるようになっている。

【0049】

電子制御装置20B<sub>n</sub>の主要構成要素である制御用マイクロプロセッサ200は、制御電源208が発生する制御電圧V<sub>cc</sub>を電源として動作し、入力インタフェース回路206を介して接続された検査設備としてのセンサ60の動作状態に応動して、出力インタフ

50

エース回路 207 を介して接続された検査設備としての電気負荷 70 を駆動制御することができるようになっている。

ブートプログラムメモリ 201 は、例えばフラッシュメモリである後述のプログラムメモリ 204 B n の一部領域であるか、又は分割接続された ROM メモリであって、第一の外部ツール 10 B と電子制御装置 20 B とが、所定の LAN 通信プロトコルに基づいて、全体制御プログラム T C P R G をソースメモリ 104 B n からプログラムメモリ 204 B n へ転送するための転送制御プログラム T P R G が格納されている。

プログラムメモリ 204 B n は、例えばブロック単位で一括消去が可能な不揮発性のフラッシュメモリであって、このプログラムメモリ 204 B n にはソースメモリ 104 B n から全体制御プログラム T C P R G が転送格納される。

10

データメモリ 205 は、例えばフラッシュメモリである前述のプログラムメモリ 204 B n の一部領域であるか、又は分割接続された電氣的に読書きが行える不揮発性のメモリであって、このデータメモリ 205 にはソースメモリ 105 から初期設定データ C D A T が転送格納される。

#### 【0050】

電子制御装置 20 B n に設けられ、制御電圧  $V_{cc}$  を電源電圧として動作する子局レシーバ 211 と、子局ドライバ 210 は、通信回線 LAN H, LAN N を介して第一の外部ツール 10 B と接続され、子局レシーバ 211 から得られる受信論理信号 R X D は制御用マイクロプロセッサ 200 に入力され、制御用マイクロプロセッサ 200 が発生する送信論理信号 T X D は子局ドライバ 210 を介して第一の外部ツール 10 B へ送信されるよう

20

になっている。  
分圧抵抗 213, 214 と平滑コンデンサ 215 は、通信回線 LAN H とグランド回路 G N D 間の電圧を分圧して、第 1 の入力信号電圧として比較回路 212 B の監視入力端子に入力するようになっていて、比較回路 212 B は一対の比較器を組合せた帯域比較回路を構成している。

基準電圧源 217 B は、帯域比較回路を構成する比較回路 212 B に対し、第 2 の入力信号電圧として例えば  $D C 2.4 V$  を印加し、第 3 の入力信号電圧として例えば  $D C 2.6 V$  を印加するようになっている。

#### 【0051】

従って、第 1 の入力信号電圧が  $2.4 \sim 2.6 V$  の帯域内であれば、比較回路 212 B の出力信号である判定論理信号 C M P の論理レベルが「H」となり、 $2.4 V$  未満又は  $2.6 V$  超過であれば判定論理信号 C M P の論理レベルが「L」となるようになっている。

30

一方、分圧抵抗 213, 214 による分圧比は例えば  $1/8$  となっており、通信回線 LAN H に高圧電圧  $V_{aa} = 20 V$  が印加されると第 1 の入力信号電圧は  $2.5 V$  となるので、比較回路 212 B は確実に動作して判定論理信号 C M P は論理レベル「H」となる。

しかしながら、通信回線 LAN H の信号電圧が  $V_{cc} = 5 V$  のときには、第 1 の入力信号電圧は  $0.6 V$  に分圧されているので、比較回路 212 B は確実に不動作となって判定論理信号 C M P は論理レベル「L」となる。

また、電子制御装置 20 B n の実働運転中において、通信回線 LAN H が外部電源 90 の正配線に混触し、このときの駆動電圧が  $V_{bb} = 1.2 \sim 1.6 V$  であった場合には、第 1 の入力信号電圧は  $1.5 \sim 2.0 V$  となるので、判定論理信号 C M P が論理レベル「H」になることはない。

40

#### 【0052】

比較回路 212 B は、予め設定された所定周期で断続動作する高圧電源スイッチ 109 B の断続動作に応動して、判定論理信号 C M P の論理レベルが変化する。当該判定論理信号 C M P の論理レベルに応動する書込モード判定回路 218 B は、予め設定された所定時間内に判定論理信号 C M P が予め設定された所定回数の論理変化を行った場合に、書込モード信号 W M を発生するようになっている。

なお、親局ドライバ 110 の電源を切換信号 M O D によって断続切換えしている期間において、親局ドライバ 110 の送信論理信号 T X D は優勢論理レベルに維持しておくもの

50

とし、子局ドライバ210の送信論理信号TXDは優勢論理又は劣勢論理のいずれであってもよいようになっている。

【0053】

他の構成については、実施の形態1と同じであるため、ここでは説明を省略する。

【0054】

(2)作用・動作の詳細な説明

以下、図5に示したプログラムツールが接続される電子制御装置の制御動作を示すフローチャートの前半図である図6と後半図である図7によって、図4と図5との相違点を中心にして作用・動作を説明する。

なお、図6および図7において、S300番台およびS400番台の符号で示した工程は、図4および図5と同じ工程であり、相違する工程はS600番台で示されている。

まず、図6において、第一の外部ツール10B側の工程S303がYESの判定を行ったときに作用する工程S604では、親局ドライバ110の送信論理信号TXDの論理レベルを「L」（優勢論理）にし、切換信号MODを断続発生することによって通信回線LANHの印加電圧を高圧電圧Vaa又は制御電圧Vccレベルに交互に切換える。

電子制御装置20Bn側では、比較回路212Bによって通信回線LANHから入力された第1の入力信号電圧の値と、基準電圧源217Bが発生する第2・第3の入力信号電圧とを比較して、第1の入力信号電圧が所定の電圧範囲内であったときに判定論理信号CMPを発生し、書込モード判定回路218Bが所定時間内に所定回数の判定論理信号CMPを検出したことによって書込モード信号WMを発生する。

【0055】

工程S322に続く工程S624では、書込モード信号WMが発生したかどうかを判定し、発生していないときにはNOの判定を行って、工程S627へ移行するようになっている。一方、発生しているときには、YESの判定を行って、工程S325へ移行する。

工程S627では、図7で後述する工程S644によって全体制御プログラムTCPRGがプログラムメモリ204Bnに格納されているかが判定され、もし、全体制御プログラムTCPRGが既に入力済み保存されていればYESの判定を行なって、工程S328へ移行し、一方、全体制御プログラムTCPRGがまだ入力済みされていなければ、NOの判定を行って、動作終了工程S330へ移行する。

工程S309に続く工程S600では電子制御装置20Bnの種類に対応した第一の外部ツール10Bのツール番号を送信し、電子制御装置20Bnでは工程S326に続く工程S620によってツール番号を受信して、ツール番号の適合性を認証して返信し、第一の外部ツール10Bは適合性を確認して、図7の工程S612へ移行する。

また、工程S620は、図7の工程S632へ移行し、工程S328は、図7の工程S340へ移行する。

【0056】

続く図7において、前述した工程S600に続いて動作する工程S612では、第一の外部ツール10Bのソースメモリ104Bnに格納された全体制御プログラムTCPRGが送信されるが、電子制御装置20Bn側では、予めブートプログラムメモリ201に格納されているブートプログラムに基づいて、工程S612によって送信された全体制御プログラムTCPRGを受信して一時的にはRAMメモリ203に格納し、やがては後述の工程S644において、プログラムメモリ204Bnの予め設定された所定領域に転送されるようになっている。

なお、全体制御プログラムTCPRGは工程S632において複数バイト単位でRAMメモリ203を経由しながら、逐次プログラムメモリ204Bnに転送するようにしてもよい。

工程S342に続く工程S643では、電源スイッチ92が初めて開路されて、工程S632および工程S430による全体制御プログラムTCPRGおよび初期設定データCDATが、プログラムメモリ204Bnまたはデータメモリ205に転送保存されていないときにYESの判定を行って、工程S644へ移行し、一方、転送保存が完了している

10

20

30

40

50

再度の電源スイッチ 9 2 の遮断時には、NO の判定を行って、工程 S 3 4 5 へ移行する。

工程 S 6 4 4 では、工程 S 6 3 2 で受信し RAM メモリ 2 0 3 に書込みされていた全体制御プログラム T C P R G が、プログラムメモリ 2 0 4 B n の予め設定された所定のアドレスに転送保存され、工程 S 4 3 0 で受信して RAM メモリ 2 0 3 に書込みされていた初期設定データ C D A T がデータメモリ 2 0 5 の予め設定された所定のアドレスに転送保存される。

#### 【 0 0 5 7 】

なお、プログラムメモリ 2 0 4 B n に対するプログラムの転送が完了し、第一の外部ツール 1 0 B を取外した実働運転状態においては、電源投入によって工程 S 3 2 1 で制御用マイクロプロセッサ 2 0 0 が動作を開始すると、工程 S 3 2 2 によって書込モード信号 W M の読出しを行い、工程 S 6 2 4 が NO の判定を行い、工程 S 6 2 7 が Y E S の判定を行うことによって、工程 S 3 2 8 に続く工程 S 3 4 0 によって、全体制御プログラム T C P R G が起動され、工程 S 4 3 0 によって初期設定データ C D A T を受信し、工程 S 3 4 1 によって入出力制御が実行される。

電源スイッチ 9 2 が閉路している状態では工程 S 3 4 2 から動作終了工程 S 3 3 0 へ定期的に移行して、動作開始工程 S 3 2 1 ・工程 S 3 2 2 ・工程 S 6 2 4 ・工程 S 6 2 7 ・工程 S 3 2 8 ・工程 S 3 4 0 ・工程 S 4 3 0 ・工程 S 3 4 1 ・工程 S 3 4 2 ・動作終了工程 S 3 3 0 が繰返し実行されることになる。

しかしながら、電源スイッチ 9 2 が開路されると工程 S 3 4 2 が NO の判定を行って循環ループを脱出して、工程 S 6 4 4 又は工程 S 3 4 5 を実行してから電源リレー R y が消勢されることになる。

#### 【 0 0 5 8 】

以上の説明では通信回線 L A N H に対する高圧電圧 V a a の印加手段として、図 1 では直接印加方式、図 5 では電源切換え方式が適用されている。

また、書込モードを確実に判定するための手段として、図 1 では遅延判定方式、図 5 では断続駆動方式が適用されている。

また、高圧電圧 V a a の比較判定手段として、図 1 では単なる分圧検出による大小判定方式、図 5 では帯域比較方式が適用されている。

しかしながら、これらの各方式は適宜の混合編成することができるものであるとともに、高圧電圧を印加する通信回線 L A N H は通信回線 L A N N に置き換えることも可能である。

#### 【 0 0 5 9 】

##### ( 3 ) 実施の形態 2 の要点と特徴

以上の説明で明らかな通り、この発明の実施の形態 2 による「プログラムツールが接続される電子制御装置」は、本願の請求項 1 に記載の発明に関連して、以下の特徴を備えている。

この発明の実施の形態 2 による「プログラムツールが接続される電子制御装置」は、入力インタフェース回路 2 0 6 を介して外部接続されたセンサ 6 0 の動作状態と、電氣的に読み書きが行える不揮発性のプログラムメモリ 2 0 4 B n に格納された全体制御プログラム T C P R G の一部である入出力主制御プログラム C P R O G の内容に応動して、出力インタフェース回路 2 0 7 を介して外部接続された電気負荷 7 0 を駆動制御する制御用マイクロプロセッサ 2 0 0 を備えた電子制御装置 2 0 B n と、前記全体制御プログラム T C P R G が書き込まれているソースメモリ 1 0 4 B n と、当該全体制御プログラム T C P R G を、前記プログラムメモリ 2 0 4 B n に転送書込みするための転送用マイクロプロセッサ 1 0 0 とを備えた第一の外部ツール 1 0 B とが、相互にシリアル接続される「プログラムツールが接続される電子制御装置」 3 0 B であって、前記シリアル接続は、前記第一の外部ツール 1 0 B 側の親局ドライバ 1 1 0 及び親局レシーバ 1 1 1 と、前記電子制御装置 2 0 B n 側の子局レシーバ 2 1 1 及び子局ドライバ 2 1 0 を一対の通信回線 L A N H , L A N N によって接続した、LAN ( Local Area Network ) トランシーバ 1 1 0 0 が使用され、前記一対の通信回線 L A N H , L A N N は、少なくとも前記第一の

10

20

30

40

50



外部ツール10Bに代わる第二の外部ツール10Cがシリアル接続される汎用通信回線となっており、前記制御用マイクロプロセッサ200は更に、演算処理用のRAMメモリ203と、いずれもが前記プログラムメモリ204Bnの一部領域であるか、又は分割して接続された不揮発性のブートプログラムメモリ201と、可変設定される制御定数又は一部の制御プログラムを含む制御定数が格納される不揮発性のデータメモリ205とを備えている。

#### 【0060】

前記ブートプログラムメモリ201には前記LANトランシーバ1100を介して前記全体制御プログラムTCPRGを転送書込みするための転送制御プログラムTPRGが予め格納され、前記第一の外部ツール10Bは前記転送用マイクロプロセッサ100と、前記親局ドライバ110と前記親局レシーバ111とに制御電圧Vccを供給する制御電源108と、前記全体制御プログラムTCPRGを転送する前に前記第一の外部ツール10Bが発生する切換信号MODに反応して、少なくとも前記一对の通信回線LANH, LANNの一方に対して高圧電圧Vaaを供給する高圧電源109とを備え、前記高圧電圧Vaaは前記制御電圧Vccより高く、前記LANトランシーバ1100が正常動作する耐圧電圧以下の電圧であって、前記第一の外部ツール10Bから前記電子制御装置20Bnに対して前記全体制御プログラムTCPRGを転送書込みするときには、少なくとも前記制御用マイクロプロセッサ200がプログラム書込みモードであることを認識するまでは、前記通信回線LANH, LANNの一方に高圧電圧Vaaが印加され、前記電子制御装置20Bnは前記通信回線LANH, LANNによる送信信号電圧が、少なくとも前記制御電圧Vccを超過する電圧であるかどうかを判定する比較回路212Bを備えている。

#### 【0061】

前記比較回路212Bが前記制御電圧Vccを超過する高電圧を検出すると、書込みモード判定回路218A; 218Bによって書込みモード信号WMを発生するとともに、リセットパルス発生回路219によって前記制御用マイクロプロセッサ200を初期化して再起動し、再起動された前記制御用マイクロプロセッサ200は、前記書込みモード信号WMによって書込みモードであることを認識し、前記ブートプログラムメモリ201を参照して、前記第一の外部ツール10Bから送信された前記全体制御プログラムTCPRGを受信して、前記プログラムメモリ204Bn、又は当該プログラムメモリと前記データメモリ205に転送保存し、前記第二の外部ツール10Cは前記高圧電源109を封殺又は除外されていて、前記全体制御プログラムTCPRGの他の一部である交信制御プログラムTPRGUの内容に基づいて、前記データメモリ205に対して前記制御定数の書込を行うようになっている。

#### 【0062】

また、本願の請求項2に記載の発明に関連して、以下の特徴を備えている。

前記第一の外部ツール10Bによって前記電子制御装置20Bnの前記プログラムメモリ204Bnに転送書込みされる前記全体制御プログラムTCPRGは更に、前記入出力主制御プログラムCPROGに付随する可変制御定数に対する仮設定データCDAT0を備えとともに、前記第一の外部ツール10Bは、前記制御定数となる初期設定データCDATが格納されたソースメモリ105を備え、前記転送用マイクロプロセッサ100と前記制御用マイクロプロセッサ200とは協働し、前記交信制御プログラムTPRGUを用いて前記初期設定データCDATの一部又は全部を前記データメモリ205に転送し、前記電子制御装置20Bnは前記初期設定データCDATが前記データメモリ205に格納されているときには、当該初期設定データCDATと前記入出力主制御プログラムCPROGに基づいて入出力制御を行ない、前記初期設定データCDATが前記データメモリ205に格納されていないときには、前記仮設定データCDAT0と前記入出力主制御プログラムCPROGに基づいて入出力制御を行なうとともに、前記仮設定データCDAT0は更に、前記初期設定データCDATとして格納される可変制御定数の上限値と下限値との間の予め設定された所定値となっている。

#### 【0063】

以上のとおり、この発明の請求項 2 に関連し、電子制御装置の製造出荷段階で使用される第一の外部ツールでは、入出力制御プログラム C P R O G に加えて少なくとも可変制御定数に対する仮設定データ C D A T 0 が全体制御プログラム T C P R G の一部としてプログラムメモリに格納され、可変制御定数が既知である場合には、これを初期設定データ C D A T としてデータメモリへ転送することもできるようになっている。

従って、一般には可変制御定数の一部は電子制御装置の出荷後において、適用されるセンサと電気負荷の仕様が確定した段階で決定され、この時点で初期設定データ C D A T としてデータメモリに書込みされるものであるが、出荷時点において可変制御定数が既知である内蔵部品に関するものである場合には、これを初期設定データ C D A T として格納保存することができるので、取扱上の自由度が向上する特徴がある。

10

これは、後述の実施の形態 3 に記載の電子制御装置についても同様である。

#### 【 0 0 6 4 】

また、本願の請求項 3 に記載の発明に関連して、以下の特徴を備えている。

前記電子制御装置 2 0 B n の前記ブートプログラムメモリ 2 0 1 又は前記プログラムメモリ 2 0 4 B n には機種コード情報が格納されており、前記第一の外部ツール 1 0 B は、前記転送用マイクロプロセッサ 1 0 0 と協働するツール制御プログラムメモリ 1 0 2 B を備え、前記ツール制御プログラムメモリ 1 0 2 B は、適用される前記電子制御装置 2 0 B n の機種種別とは無関係な主要制御プログラムと、前記機種種別に対応した個別制御プログラムによって構成されたツール制御プログラムを包含し、前記転送用マイクロプロセッサ 1 0 0 は、前記電子制御装置 2 0 B n から送信された前記機種コード情報に基づいて、前記主要制御プログラムと、前記機種種別に対応した個別制御プログラムを実行し、前記第一の外部ツール 1 0 B は、複数種類の前記電子制御装置 2 0 B n に対する前記全体制御プログラム T C P R G の書込みに適用されるようになっている。

20

以上のとおり、この発明の請求項 3 に関連し、第一の外部ツールは、例えば車載電子制御装置であるエンジン制御装置、或いは変速機制御装置、或いはブレーキ制御装置などの多様な電子制御装置に対して共用されるようになっている。これは、第一の外部ツールと多様な電子制御装置とが、汎用の L A N プロトコルで相互に通信できるものであることによって手軽に達成されるものである。

これは、後述の実施の形態 3 に記載の電子制御装置についても同様である。

#### 【 0 0 6 5 】

また、本願の請求項 5 に記載の発明に関連して、以下の特徴を備えている。

前記親局ドライバ 1 1 0 と子局ドライバ 2 1 0 とは、送信論理信号 T X D が論理レベル「L」又は「H」のどちらか一方である優勢論理のときに、前記通信回線 L A N H 側の論理レベルが「H」で通信回線 L A N N 側の論理レベルが「L」となるドミナントモードとなり、送信論理信号 T X D が反転論理レベル「H」又は「L」のどちらか他方である劣勢論理のときに、前記通信回線 L A N H , L A N N の論理レベルが共に電源電圧の中間電位でフローティング状態となるリセッショモードとなり、前記切換信号 M O D が発生して書込みモードを通過するときには、高圧電源スイッチ 1 0 9 B を介して前記高圧電圧 V a a が前記親局ドライバ 1 1 0 の電源電圧として印加され、書込みモードを解除したときには前記親局ドライバ 1 1 0 の電源電圧は前記制御電圧 V c c に復元接続するとともに、前記親局ドライバ 1 1 0 の送信論理信号 T X D は書込みモード期間においては優勢論理とし、このとき、前記子局ドライバ 2 1 0 の送信論理信号 T X D は劣勢論理又は優勢論理のいずれであってもよく、これによって通信回線 L A N H の論理レベルは「H」、通信回線 L A N N の論理レベルは「L」となり、前記比較回路 2 1 2 B は前記高圧電圧 V a a が発生する通信回線 L A N H の信号電圧、又は通信回線 L A N H と通信回線 L A N N の各信号電圧の差分電圧を監視するようになっている。

40

#### 【 0 0 6 6 】

以上のとおり、この発明の請求項 5 に関連し、書込みモードを通過するための高圧電圧 V a a は、親局ドライバの電源電圧として印加し、高圧電圧 V a a が発生する通信回線 L A N H の信号電圧、又は通信回線 L A N H と通信回線 L A N N の各信号電圧の差分電圧を

50

監視して書込みモードを判定するようになっている。

従って、差分電圧を監視するようになれば通信回線に混入するノイズの影響が軽減される特徴があり、通信回線LANH側のみの電圧を監視するようになれば、比較回路が単純化される特徴がある。

【0067】

また、本願の請求項6に記載の発明に関連して、以下の特徴を備えている。

前記第一の外部ツール10Bと前記電子制御装置20Bnとがシリアル接続された状態において、前記第一の外部ツール10Bの操作キー106によって書込みモードの設定が行われると、前記転送用マイクロプロセッサ100は前記切換信号MODを発生して、前記通信回線LANH又はLANNに印加される信号電圧が、予め設定された所定の設定期間において前記高圧電圧Vaaとなるように切換え接続し、前記所定の設定期間は、前記電子制御装置20Bnが前記比較回路212Bによって書込みモードであることを認識して、前記制御用マイクロプロセッサ200を初期化して再起動するに要する時間以上の時間となっており、前記電子制御装置20Bnは受信信号電圧レベルを判定する前記比較回路212Bが、前記制御電圧Vccによる信号電圧であると判定したことによってシリアル信号情報の送受信を開始するようになっている。

10

以上のとおり、この発明の請求項6に関連し、電子制御装置において書込みモードの認識が完了し、通信回線の信号電圧が高圧電圧Vaaから制御電圧Vccに切換えられてから、第一の外部ツールと電子制御装置間のシリアル信号の交信が開始するようになっている。

20

従って、電子制御装置側にはLANトランシーバを駆動するための高圧電源が不要となって小型安価な電子制御装置が得られる特徴がある。

これは、後述の実施の形態3に記載の電子制御装置についても同様である。

【0068】

また、本願の請求項8に記載の発明に関連して、以下の特徴を備えている。

前記第一の外部ツール10Bは、前記切換信号MODを予め設定された所定期間で断続し、前記電子制御装置20Bnでは、前記比較回路212Bによって前記高圧電圧Vaaの断続動作に応動して反転動作する判定論理信号CMPを発生し、前記書込みモード判定回路218Bは前記判定論理信号CMPが予め設定された所定時間内に予め設定された所定回数発生したときに前記書込みモード信号WMを発生するようになっている。

30

以上のとおり、この発明の請求項8に関連し、第一の外部ツールは書込みモードを通達するために通信回線に印加される高圧電圧を断続し、電子制御装置内の比較回路と書込みモード判定回路は、所定時間内に所定回数の判定論理信号を検出したことによって書込みモードであることを判定するようになっている。

従って、電子制御装置の実働運転中において、通信回線LANH、LANNに誘導されたノイズ信号によって、誤って電子制御装置が運転停止する可能性が軽減される特徴がある。

【0069】

また、本願の請求項9に記載の発明に関連して、以下の特徴を備えている。

前記第一の外部ツール10B内に設けられた前記高圧電源109の出力電圧である高圧電圧Vaaは、前記電子制御装置20Bnを給電駆動する直流の駆動電圧Vbbよりも高い電圧となっており、前記制御用マイクロプロセッサ200及び前記子局側のドライバ210とレシーバ211は、前記駆動電圧Vbbを降圧して得られる予め設定された所定の安定化電源によって給電される。

40

以上のとおり、この発明の請求項9に関連し、書込みモードを判定するために設けられた高圧電圧Vaaは、電子制御装置を給電駆動する駆動電圧Vbbよりも高い電圧となっている。

従って、電子制御装置の実働運転中において、電源線とシリアル通信回線が混触したときに、誤って書込みモードが選択されることがない特徴がある。

これは、後述の実施の形態3に記載の電子制御装置についても同様である。

50

## 【 0 0 7 0 】

また、本願の請求項 1 1 に記載の発明に関連して、以下の特徴を備えている。

前記比較回路 2 1 2 B は前記高圧電圧  $V_{aa}$  が印加されている前記通信回線 LANH 又は LANN の信号電圧を分圧抵抗 2 1 3 , 2 1 4 によって減圧して得られる第 1 の入力信号電圧と、基準電圧源 2 1 7 B による予め設定された所定の出力電圧である第 2 及び第 3 の入力信号電圧とを比較して、前記通信回線 LANH 又は LANN の信号電圧が前記制御電圧  $V_{cc}$  を超過した予め設定された所定の電圧帯域内であることによって書込みモードに対応した判定論理信号 CMP を発生し、前記比較回路 2 1 2 B の電源電圧は、前記電子制御装置 2 0 B n に設けられた制御電源 2 0 8 が発生する制御電圧  $V_{cc}$  となっている。

以上のとおり、この発明の請求項 1 1 に関連し、電子制御装置内の比較回路にはシリアル通信回線の信号電圧を分圧した減圧電圧が入力されるようになっている。

従って、比較回路を駆動するための電源として高圧電源を必要とせず、制御用マイクロプロセッサを駆動する制御電源がそのまま利用できる特徴がある。

また、通信回線 LANH 又は LANN の信号電圧が、所定の制御電圧  $V_{cc}$  を超過した所定の電圧帯域内であることによって、書込みモードであることを判定するようになっているので、通信回線に異電圧が混触した場合に、誤って書込みモードの判定が行われる可能性が軽減される特徴がある。

## 【 0 0 7 1 】

実施の形態 3 .

## ( 1 ) 構成の詳細な説明

以下、この発明の実施の形態 3 による「プログラムツールが接続される電子制御装置」の全体ブロック図である図 8 について、その構成を詳細に説明する。

図 8 において、プログラムツールが接続される電子制御装置 3 0 C である複数の電子制御装置 2 0 X , 2 0 Y , 2 0 Z は、例えば車載電子制御装置であるエンジン制御装置、変速機制御装置、ブレーキ制御装置であって、それぞれに図示しないセンサ 6 0 と電気負荷 7 0 とが接続されている。センサ 6 0 と電気負荷 7 0 とは、実施の形態 1 , 2 と同じであるため、ここでは詳細な説明は省略する。

電子制御装置 2 0 X , 2 0 Y , 2 0 Z には、制御用マイクロプロセッサ 2 0 0 と、予め転送制御プログラム T P R G が格納されているブートプログラムメモリ 2 0 1 と、第一の外部ツール 1 0 B によって全体制御プログラム T C P R G が格納されたプログラムメモリ 2 0 4 X , 2 0 4 Y , 2 0 4 Z と、初期設定データ C D A T が格納されるデータメモリ 2 0 5 と、演算処理用の R A M メモリ 2 0 3 とを備えている。

なお、図 8 では、図の簡略化のために、電子制御装置 2 0 X , 2 0 Y , 2 0 Z の内部構成の一部のみを示している。しかしながら、電子制御装置 2 0 X , 2 0 Y , 2 0 Z は、図 5 に示した電子制御装置 2 0 B n が有している他の構成要素を有するものである。

## 【 0 0 7 2 】

なお、ブートプログラムメモリ 2 0 1 と、プログラムメモリ 2 0 4 X , 2 0 4 Y , 2 0 4 Z と、データメモリ 2 0 5 は、1 個又は複数個に分割された不揮発性のメモリとなっている。

また、全体制御プログラム T C P R G は、入出力主制御プログラム C P R O G と、仮設定データ C D A T 0 と、第一の外部ツール 1 0 A , 1 0 B 又は第二の外部ツール 1 0 C からデータメモリ 2 0 5 へ初期設定データ C D A T を転送するための交信制御プログラム T P R G U とを備えている。

電子制御装置 2 0 X , 2 0 Y , 2 0 Z は、例えば車載バッテリーである外部電源 9 0 から、電源リレー ( 図示省略、図 1 および図 5 参照 ) の出力素子 9 1 a , 9 1 b , 9 1 c を介して駆動電圧  $V_{bb}$  が供給されるようになっている。

電子制御装置 2 0 X , 2 0 Y , 2 0 Z は、また、子局となる図示しない LAN トランシーバが内蔵され、一対の通信回線 LANH , LANN によって相互に接続されている。

## 【 0 0 7 3 】

第二の外部ツール 1 0 C は、操作キー 1 0 6 と表示器 1 0 7 を用いながら、電子制御装

10

20

30

40

50

置 20X, 20Y, 20Z のデータメモリ 205 に対して初期設定データ CDAT を転送書込みするためのものであって、コネクタ 93 を介して外部電源 90 から給電されるとともに、内蔵された親局ドライバ 110 と親局レシーバ 111 は、通信回線 LANH, LANN に接続されている。

なお、電子制御装置 20X, 20Y, 20Z が、既に初期設定データ CDAT を有する場合であっても、変更が許可されているものについては第二の外部ツール 10C によって初期設定データ CDAT の書換え変更が行われるようになっている。

第二の外部ツール 10C の主要構成要素である転送用マイクロプロセッサ 100 は、制御電源 108 によって生成された制御電圧 Vcc によって給電駆動され、ブートプログラムメモリ 101 と、ツール制御プログラムメモリ 102C と、RAMメモリ 103 とが協働して、ソースメモリ 105 に格納された初期設定データ CDAT を電子制御装置 20X, 20Y, 20Z に対して転送するようになっている。

なお、親局ドライバ 110 と親局レシーバ 111 は、制御電圧 Vcc によって駆動され、外部ツール 10C には通信回線 LANH, LANN に与える高圧電圧 Vaa は設けられていない。

#### 【0074】

第二の外部ツール 10C は、図 1 および図 5 で示すとおり、電子制御装置 20A、電子制御装置 20Bn に対しても接続することができる。

なお、データメモリ 205 に格納される様々な初期設定データ CDAT のうち、電子制御装置 20A, 20Bn, 20X ~ 20Z の内蔵部品の特性に関する現品特性については、第一の外部ツール 10A, 10B によってプログラムメモリ 204A, 204Bn, 204X ~ 204Z に対して全体制御プログラム TCRPG を書込むときに、同時に書込み処理が行われ、これが図 4 と図 7 におけるの工程 S400 と工程 S430 によって示されている。

しかし、併用されたセンサ 60 又は電気負荷 70 の現品特性については、これらが電子制御装置に接続された時点で、第二の外部ツール 10C によってデータメモリ 205 へ書込み設定されるようになっている。

#### 【0075】

##### (2) 作用・動作の詳細な説明

以下、図 8 のプログラムツールが接続される電子制御装置の制御動作を示すフローチャートの前半図である図 9 と後半図である図 10 によって作用・動作を説明する。

なお、図 9 および図 10 において、S300 番台の符号で示された工程は、図 3 および図 4 で示された同一番号の符号に相当した工程となっている。

まず、図 9 において、工程 S900 において第二の外部ツール 10C に電源が投入されると、図示しないパワーオンリセット回路（工程 S900a 参照）が作用して転送用マイクロプロセッサ 100 は初期化されて、工程 S901a において初期設定データ CDAT の転送制御動作を開始する。続く工程 S901b では、まず、ブートプログラムメモリ 101 内の起動プログラムが実行されるが、ツール制御プログラムメモリ 102C に既にツール制御プログラムが書込まれている場合には、直ちに、工程 S901c へ移行して、以降の工程 S902 から図 10 の工程 S919 に至るツール制御プログラムが実行される。

#### 【0076】

工程 S902 は操作キー 106 の操作情報を読み出し、続く工程 S903 では工程 S902 によるキー操作が初期設定データ CDAT の転送先データであったかどうかを判定し、転送先の入力が完了すると YES の判定を行って、工程 S912a へ移行し、一方、未完了の場合には NO の判定を行って、工程 S902 へ復帰して、工程 S902 と工程 S903 を循環しながら転送先データが入力されるのを待機することになる。

工程 S912a では、工程 S902 で指定された電子制御装置 20X, 20Y, 20Z のいずれかに対して、ソースメモリ 105C に格納された初期設定データの送信を行う予告情報を送信する。

一方、工程 S920aa で、電源スイッチ 92（図示省略、図 1, 図 5 参照）が投入さ

10

20

30

40

50

れると、続く工程 S 9 2 0 で電源リレー R y の出力素子 9 1 a , 9 1 b , 9 1 c が閉路して、電子制御装置 2 0 X , 2 0 Y , 2 0 Z に対して、駆動電圧 V b b が印加される。

その結果、図示しないパワーオンリセット回路が作用（工程 S 9 2 0 a 参照）して、制御用マイクロプロセッサ 2 0 0 は初期化されて、工程 S 9 2 1 a において制御動作を開始する。

続く工程 S 3 2 2 では、書込モード判定回路 2 1 8 A , 2 1 8 b（図示省略、図 1 , 図 5 参照）が書込モード信号 W M を発生しているかどうかを読み出して、工程 S 3 2 4 へ移行する。

工程 S 3 2 4 では、書込モード信号 W M が発生していれば Y E S の判定を行って図 3 ・図 6 の工程 S 3 2 5 へ移行し、書込モード信号 W M を発生していなければ N O の判定を行って工程 S 3 4 0 へ移行する。

10

#### 【 0 0 7 7 】

但し、第二の外部ツール 1 0 C が接続されているときには、書込モード信号 W M は発生しないようになっているので、工程 S 3 2 4 が Y E S の判定を行うことはない。

工程 S 3 4 0 では、図 4 や図 7 の工程 S 3 3 2 や工程 S 6 3 2 で受信した全体制御プログラム T C P R G が起動される。

続く工程 S 3 4 1 では、工程 S 3 4 0 で起動された全体制御プログラム T C P R G の中の入出力制御プログラム C P R O G によって入出力制御が実行される。

続く工程 S 9 3 2 a は、工程 S 9 1 2 a による送信予告を受信したかどうかを図示しないフラグメモリを読み出すことによって判定し、送信予告があれば Y E S の判定を行って工程 S 9 3 2 b へ移行し、送信予告がないときや、第二の外部ツール 1 0 C が接続されていないときには N O の判定を行って、図 1 0 の工程 S 9 4 0 へ移行するようになっている。

20

#### 【 0 0 7 8 】

第二の外部ツール 1 0 C では、工程 S 9 1 2 a に続いて工程 S 9 1 2 b へ移行し、工程 S 9 1 2 b ではソースメモリ 1 0 5 に格納された初期設定データ C D A T が送信されるが、電子制御装置 2 0 X , 2 0 Y , 2 0 Z 側では工程 S 3 4 0 で起動された全体制御プログラム T C P R G の中の交信制御プログラム T P R G U に基づいて、工程 S 9 1 2 b によって送信された初期設定データ C D A T を工程 S 9 3 2 b によって受信して一時的には R A M メモリ 2 0 3 に格納し、やがては後述の工程 S 9 4 4 において対象となる電子制御装置 2 0 X , 2 0 Y , 2 0 Z のデータメモリ 2 0 5 に転送されるようになっている。

30

なお、初期設定データ C D A T は複数バイト単位で R A M メモリ 2 0 3 を経由しながら、工程 S 9 3 2 b において逐次データメモリ 2 0 5 に転送するようにしてもよい。

工程 S 9 1 2 b に続く工程 S 9 1 3 では、初期設定データ C D A T の送信が完了したかどうかを判定し、未完了であれば N O の判定を行って工程 S 9 1 2 b へ復帰し、一方、完了であれば Y E S の判定を行って工程 S 9 1 4 へ移行する。

工程 S 9 1 4 では、電子制御装置 2 0 X , 2 0 Y , 2 0 Z に対してプログラムの転送完了信号を送信し、図 1 0 の工程 S 9 1 7 へ移行する。

工程 S 9 3 2 b に続く工程 S 9 3 4 では、工程 S 9 1 4 で送信される完了信号を受信したかどうかを判定し、未受信であれば工程 S 9 3 2 b へ復帰し、一方、受信すれば Y E S の判定を行って、図 1 0 の工程 S 9 3 5 へ移行する。

40

#### 【 0 0 7 9 】

図 1 0 において、工程 S 9 3 5 では、工程 S 9 3 2 b で受信した初期設定データ C D A T について、例えば C R C チェックで代表される符号点検手段によって点検して異常の有無を判定し、続く工程 S 9 3 6 では、異常が無ければ N O の判定を行って工程 S 9 4 0 へ移行し、異常があれば Y E S の判定を行って工程 S 9 3 7 へ移行する。

工程 S 9 3 7 では第二の外部ツール 1 0 C に対して異常発生報告を返信して工程 S 3 4 2 へ移行する。工程 S 3 4 2 では、電源スイッチ 9 2 が閉路されているかの判定を行う。閉路していれば、 Y E S の判定を行って、 C P U 2 0 0 の動作終了工程 S 3 3 0 へ移行する。一方、閉路していなければ、 N O の判定を行って、工程 S 9 4 2 へ移行する。

50

工程 S 9 1 4 に続く工程 S 9 1 7 では、工程 S 9 3 7 で報告返信された異常発生情報を受信して、異常の有無を判定し、異常があれば Y E S の判定を行って工程 S 9 1 8 へ移行し、異常がなければ N O の判定を行って動作終了工程 S 9 1 9 へ移行する。

工程 S 9 1 8 では異常発生を表示器 1 0 7 によって報知し、再操作を指示して動作終了工程 S 9 1 9 へ移行する。

工程 S 3 4 2 に続く工程 S 9 4 2 では、電源スイッチ 9 2 が開路されて、工程 S 9 3 2 b による初期設定データ C D A T がデータメモリ 2 0 5 に転送保存されていないときに Y E S の判定を行って工程 S 9 4 4 へ移行し、転送保存が完了している再度の電源スイッチ 9 2 の遮断時には N O の判定を行って工程 S 3 4 5 へ移行する。

#### 【 0 0 8 0 】

工程 S 9 4 4 では、工程 S 9 3 2 b で受信し R A M メモリ 2 0 3 に書込みされていた初期設定データ C D A T がデータメモリ 2 0 5 の所定のアドレスに転送保存される。

工程 S 3 4 5 では、初期設定データ C D A T の一部について、電子制御装置 2 0 X , 2 0 Y , 2 0 Z の運転中に学習記憶された適性値に書換えたり、運転中に発生した異常情報の類別集計値が、異常発生履歴情報として更新保存されるようになっている。

工程 S 3 4 6 では、工程 S 9 4 4 又は工程 S 3 4 5 によるデータメモリ 2 0 5 への転送処理が完了した時点でウォッチドッグ信号 W D S を停止する。

工程 S 3 4 7 では、ウォッチドッグ信号 W D S が停止したことによって、図 1 および図 5 で示されたものと同様のウォッチドッグタイマ 2 2 0 が出力許可信号 O U T E を停止し、これによって自己保持回路 2 2 2 が自己保持駆動出力 D R V を停止して電源リレー R y が消勢されるようになっている。

#### 【 0 0 8 1 】

なお、初期設定データ C D A T の転送が完了し、第二の外部ツール 1 0 C を取外した実働運転状態においては、電源投入によって工程 S 9 2 1 a で制御用マイクロプロセッサ 2 0 0 が動作を開始すると、工程 S 3 2 2 によって書込モード信号 W M が読み出され、工程 S 3 2 4 が N O の判定を行うことによって工程 S 3 4 0 において全体制御プログラム T C P R G が起動されて、工程 S 3 4 1 において入出力制御が開始するが、第二の外部ツール 1 0 C が接続されていないと工程 S 9 3 2 a から直ちに工程 S 3 4 2 へ移行し、電源スイッチ 9 2 が閉路している状態では工程 S 3 4 2 から動作終了工程 S 3 3 0 へ定期的に移行して、動作開始工程 S 9 2 1 a ・工程 S 3 2 2 ・工程 S 3 2 4 ・工程 S 3 4 0 ・工程 S 3 4 1 ・工程 S 9 3 2 a ・工程 S 3 4 2 ・動作終了工程 S 3 3 0 が繰り返し実行されることになる。

しかし、電源スイッチ 9 2 が開路されると工程 S 3 4 2 が N O の判定を行って循環ループを脱出して、工程 S 9 4 4 と工程 S 3 4 5 を実行してから電源リレー R y が消勢されることになる。

#### 【 0 0 8 2 】

次に、図 8 に示すプログラムツールが接続される電子制御装置の初期設定データ C D A T の設定テーブルである図 1 1 と、初期設定データ C D A T の説明用線図である図 1 2 について説明する。

図 1 1 において、最上段に示された D A T i = D A T 1 ~ D A T 8 は 8 種類の初期設定データの番号を示しており、D A T i は実数値として格納される最小値 A i と最大値 B i との間の値となっている。

例えば D A T 1 が、ある温度センサの基準温度 2 5 における検出信号電圧の値であるとした場合であって、この温度センサは許容される範囲の固体パラツキ変動が検出電圧 = 2 . 5 ~ 2 . 8 V であるとした場合には、A 1 = 2 . 5、B 1 = 2 . 8 となる。

図 1 1 の左列に設けられた選択段数 J i は、例えば 0 ~ 1 0 段の選択が各データ D A T i 毎に設定できるようになっている。

もしも、D A T 1 において選択段数 J i = 3 を選択すると、設定値 D i j = D 1 3 は、下記の ( 1 ) 式および ( 2 ) 式によって算出される 2 . 5 9 となる。

#### 【 0 0 8 3 】

10

20

30

40

50

$$\text{設定値 } D_{ij} = A_i + K_{ij} \times (B_i - A_i) \quad \dots (1)$$

$$\text{選択値 } K_{ij} = J_i / J_{\max} \quad \dots (2)$$

但し  $J_i$  は  $DAT_i$  の選択段数、 $J_{\max}$  は最大段数

$$D_{13} = 2.5 + (3 / 10) \times (2.8 - 2.5) = 2.59$$

#### 【0084】

従って、適用現品の検出電圧がもしも  $2.59V$  であった場合には選択段数  $J = 3$  を選択すればよい。

温度センサの現品特性が未知の時点では、例えば中間の選択段数として  $J = 5$  を仮選択するか、もしくはフェールセーフの観点から選択段数を小さい目又は大きい目にしておいたほうが良いとするならば  $J = 0$  又は  $J = 10$  を仮選択しておくもよい。

図12において、縦軸は、上記の(1)式で示された設定値  $D_{ij}$  の値であり、横軸は  $DAT_i$  に対する選択段数  $J_i$  となっている。

従って、選択段数  $J_i = 0$  のときには、設定値  $D_{i0} = A_i$  となり、選択段数  $J_i = J_{\max} = 10$  のときには、設定値  $D_{i10} = B_i$  となっている。

#### 【0085】

図11で示された設定テーブルの典型的な利用方法として、例えば  $DAT_1$  から  $DAT_8$  の順に選択段数  $J_i$  として「3、1、4、1、5、9、2、6」を選択し、外部ツール10Cからこの数列を入力すると、図11の色付けされた設定値  $D_{ij}$  を初期設定データ  $CDAT$  として設定することができることになる。

また、選択段数  $J_i$  として  $J_{\max} + 1$  の特殊設定を行うと、既に書込み保存されている初期設定データ  $CDAT$  の変更は行われずに現状維持するようにすることができる。

これにより、複数の初期設定データ  $DAT_i$  の中の、特定の初期設定データだけを変更するのが容易となる。

図11で示された設定テーブルの他の典型的な利用方法として、例えば  $DAT_2$  の設定値として最小値  $A_2 = 0$ 、最大値  $B_2 = J_{\max}$  とした場合には、設定値  $D_{2j}$  は、上記の(1)式および(2)式によって次のとおり算出される。

#### 【0086】

$$\begin{aligned} D_{2j} &= A_2 + (J_2 / J_{\max}) \times (B_2 - A_2) \\ &= 0 + (J_2 / J_{\max}) \times (J_{\max} - 0) \\ &= J_2 \end{aligned}$$

#### 【0087】

従って、設定値  $D_{2J}$  は選択段数  $J_2$  そのものであり、選択段数  $J_2$  は様々なパラメータ番号として利用することができる。

#### 【0088】

例えば、入出力主制御プログラム  $CPRG$  には、適用車種に応じて10種類のデータテーブルが設けられていて、そのうちのどの番号のデータテーブルを用いるのかを選択段数  $J_2$  によって決定することができる。

或いは、入出力主制御プログラム  $CPRG$  には、適用車種に応じて選択される10種類のサブルーチンプログラムが設けられていて、そのうちのどの番号のサブルーチンプログラムを用いるのかを選択段数  $J_2$  によって決定することができる。

なお、電子制御装置  $20X$ 、 $20Y$ 、 $20Z$  の実働運転中にこれらの初期設定データ  $CDAT$  が変更された場合に、直ちにこれを有効にすることも可能ではあるが、安全性を考慮すれば電子制御装置  $20X$ 、 $20Y$ 、 $20Z$  を一旦停止して、初期設定データ  $CDAT$  を  $RAM$  メモリ  $203$  から不揮発性のデータメモリ  $205$  に転送保存し、その後の運転再開時に新たな初期設定データを有効にしたほうがよい。

#### 【0089】

以上の説明では、第二の外部ツール10Cは初期設定データ  $CDAT$  の書込み・書換えを目的にしたものであって、これによりサブルーチンプログラムの選択切換えも行えとしたが、第二の外部ツール10Cからの設定変更を、電子制御装置  $20X$ 、 $20Y$ 、 $20Z$  の運転再開時に有効とする場合には、第二の外部ツール10Cから変更可能なオプショ

10

20

30

40

50



ン機能として、例えば、予めユーザに開放された特定のプログラム言語による簡単な選択制御プログラムを書込み設定することも可能となる。

しかし、電子制御装置 20X, 20Y, 20Z の入出力主制御プログラム C P R O G は、品質保証の観点から電子制御装置 20X, 20Y, 20Z で使用する第一の外部ツール 10A・10B によってのみ変更可能とし、ユーザ側での自由な変更は制限するようになっている。

#### 【0090】

このように、限定目的で使用される第二の外部ツール 10C と、万能目的の第一の外部ツール 10A, 10B とが、同じ通信回線 L A N H, L A N N に接続することができるということは、システム構成が簡略・安価なものとなる大きな利点が得られることになるが、その反面で、第二の外部ツール 10C の誤操作や、電子制御装置 20X, 20Y, 20Z の実働運転中のノイズ誤動作によって、誤って書込みモードとなって電子制御装置 20X, 20Y, 20Z が運転停止されたり、入出力制御プログラムが異常とならないように配慮することが肝要となるものである。

10

この発明による電子制御装置は、書込みモードの設定は第一の外部ツールによってのみ可能であるとともに、シリアル通信回線が利用されていても、シリアル通信情報には依存せず、電子制御装置は受信信号電圧の大小比較回路によって書込みモードであるかどうかの判定を行うようになっているので、制御用マイクロプロセッサの動作状態に依存しないで確実に書込みモードの設定を行うことができるようになっている。

また、初期設定データの書込み・書換えを行うための第二の外部ツールは、第一の外部ツールと同じ通信回線を用い、同じ転送制御プログラムによって動作するので、電子制御装置内のプログラムメモリの容量を低減し、ハードウェア構成を簡略化することができるようになっている。

20

#### 【0091】

##### (3) 実施の形態 3 の要点と特徴

以上の説明で明らかなおり、この発明の実施の形態 3 による「プログラムツールが接続される電子制御装置」は、本願の請求項 1 に記載の発明に関連して、以下の特徴を備えている。

この発明の実施の形態 3 による「プログラムツールが接続される電子制御装置」は、実施の形態 1, 2 の場合と同様に、入力インタフェース回路 206 を介して外部接続されたセンサ 60 の動作状態と、電氣的に読み書きが行える不揮発性のプログラムメモリ 204X ~ 204Z に格納された全体制御プログラム T C P R G の一部である入出力主制御プログラム C P R O G の内容に応動して、出力インタフェース回路 207 を介して外部接続された電気負荷 70 を駆動制御する制御用マイクロプロセッサ 200 を備えた電子制御装置 20X ~ 20Z と、前記全体制御プログラム T C P R G が書き込まれているソースメモリ 104Bn と、当該全体制御プログラム T C P R G を、前記プログラムメモリ 204X ~ 204Z に転送書込みするための転送用マイクロプロセッサ 100 とを備えた第一の外部ツール 10B とが、相互にシリアル接続される「プログラムツールが接続される電子制御装置」30C であって、前記シリアル接続は、前記第一の外部ツール 10B 側の親局ドライバ 110 及び親局レシーバ 111 と、前記電子制御装置 20X ~ 20Z 側の子局レシーバ 211 及び子局ドライバ 210 を一対の通信回線 L A N H, L A N N によって接続した、L A N ( L o c a l A r e a N e t w o r k ) トランシーバ 1100 が使用され、前記一対の通信回線 L A N H, L A N N は、少なくとも前記第一の外部ツール 10B に代わる第二の外部ツール 10C がシリアル接続される汎用通信回線となっている。

30

40

#### 【0092】

前記制御用マイクロプロセッサ 200 は、更に、演算処理用の R A M メモリ 203 と、いずれもが前記プログラムメモリ 204X ~ 204Z の一部領域であるか、又は分割して接続された不揮発性のブートプログラムメモリ 201 と、可変設定される制御定数又は一部の制御プログラムを含む制御定数が格納される不揮発性のデータメモリ 205 とを備え、前記ブートプログラムメモリ 201 には前記 L A N トランシーバ 1100 を介して前記

50

全体制御プログラムTCPRGを転送書込みするための転送制御プログラムTPRGが予め格納され、前記第一の外部ツール10Bは前記転送用マイクロプロセッサ100と、前記親局ドライバ110と前記親局レシーバ111とに制御電圧Vccを供給する制御電源108と、前記全体制御プログラムTCPRGを転送する前に前記第一の外部ツール10Bが発生する切換信号MODに応動して、少なくとも前記一对の通信回線LANH, LANNの一方に対して高圧電圧Vaaを供給する高圧電源109とを備え、前記高圧電圧Vaaは前記制御電圧Vccより高く、前記LANトランシーバ1100が正常動作する耐圧電圧以下の電圧であって、前記第一の外部ツール10Bから前記電子制御装置20X~20Yに対して前記全体制御プログラムTCPRGを転送書込みするときには、少なくとも前記制御用マイクロプロセッサ200がプログラム書込みモードであることを認識するまでは、前記通信回線LANH, LANNの一方に高圧電圧Vaaが印加される。

10

#### 【0093】

前記電子制御装置20X~20Zは前記通信回線LANH, LANNによる送信信号電圧が、少なくとも前記制御電圧Vccを超過する電圧であるかどうかを判定する比較回路を備え、前記比較回路212Bが前記制御電圧Vccを超過する高電圧を検出すると、書込みモード判定回路218Bによって書込みモード信号WMを発生するとともに、リセットパルス発生回路219によって前記制御用マイクロプロセッサ200を初期化して再起動し、再起動された前記制御用マイクロプロセッサ200は、前記書込みモード信号WMによって書込みモードであることを認識し、前記ブートプログラムメモリ201を参照して、前記第一の外部ツール10Bから送信された前記全体制御プログラムTCPRGを受信して、前記プログラムメモリ204X~204Z、又は当該プログラムメモリと前記データメモリ205に転送保存し、前記第二の外部ツール10Cは前記高圧電源を封殺又は除外されていて、前記全体制御プログラムTCPRGの他の一部である交信制御プログラムTPRGUの内容に基づいて、前記データメモリ205に対して前記制御定数の書込みを行うようになっている。

20

#### 【0094】

また、本願の請求項12に記載の発明に関連して、以下の特徴を備えている。

前記第一の外部ツール10Bによって前記電子制御装置20X~20Zの前記プログラムメモリ204X~204Zに転送書込みされる前記全体制御プログラムTCPRGは更に、前記入出力主制御プログラムCPRGに付随する可変制御定数に対する仮設定データCDAT0を備えるとともに、前記電子制御装置20X~20Zに対して、第二の外部ツール10Cが前記LANトランシーバ1100を介してシリアル接続され、前記第二の外部ツール10Cは、転送用マイクロプロセッサ100と協働するツール制御プログラムメモリ102Cと、前記制御定数となる初期設定データCDATが格納されたソースメモリ105を備え、前記転送用マイクロプロセッサ100と前記制御用マイクロプロセッサ200とは協働し、前記交信制御プログラムTPRGUを用いて前記初期設定データCDATの一部又は全部を前記データメモリ205に転送し、前記電子制御装置20X~20Zは、前記第二の外部ツール10Cから送信された前記初期設定データCDATを受信すると、前記仮設定データCDAT0に代わって、前記初期設定データCDATと前記入出力主制御プログラムCPRGによって入出力制御を行なうとともに、前記仮設定データCDAT0は更に、前記初期設定データCDATとして格納される可変制御定数の上限値と下限値との間の予め設定された所定値となっている。

30

40

#### 【0095】

以上のとおり、この発明の請求項12に記載の発明に関連し、第一の外部ツールでは入出力主制御プログラムCPRGと、仮設定データCDAT0と、第二の外部ツールに対する交信制御プログラムTPRGUとを含む全体制御プログラムTCPRGとが電子制御装置のプログラムメモリに転送書込され、第二の外部ツールでは入出力主制御プログラムCPRGの一部である仮設定データCDAT0に代わる初期設定データCDATのみが電子制御装置のデータメモリに転送書込みされるようになっている。

従って、第一の外部ツールは電子制御装置の製造メーカーの出荷調整ラインにおいて使用

50

され、第二の外部ツールは電子制御装置の組込みメーカ又は保守点検サービス部門において使用するのに適して、ハードウェアが略共通に構成された第一及び第二の外部ツールを、異なる目的に使い分けることができる特徴がある。

また、第二の外部ツールは通信回線 L A N H , L A N N に対して高圧電圧 V a a を印加するための高圧電源を備えておらず、誤って電子制御装置をプログラム書込みモードにすることがなく、全体制御プログラム T C P R G が不用意に書換え変更されることもないので、全体制御プログラム T C P R G の信頼性が向上する特徴がある。

これは、実施の形態 1 および 2 に記載の電子制御装置についても同様である。

#### 【 0 0 9 6 】

また、本願の請求項 1 3 に記載の発明に関連して、以下の特徴を備えている。

前記第二の外部ツール 1 0 C から前記データメモリ 2 0 5 に転送される初期設定データ C D A T は、一旦は前記電子制御装置 2 0 X ~ 2 0 Z に設けられた前記 R A M メモリ 2 0 3 に転送され、前記電子制御装置 2 0 X ~ 2 0 Z は、運転用スイッチである電源スイッチが開路された後に、予め設定された所定の遅延給電期間において遮断される電源リレーの出力素子 9 1 a , 9 1 b , 9 1 c を介して給電されており、前記 R A M メモリ 2 0 3 に書込まれた前記初期設定データ C D A T は、前記電源スイッチが遮断されて、前記電気負荷に対する駆動出力が停止した前記遅延給電期間において、前記不揮発性のデータメモリ 2 0 5 に対して転送書込みされるようになっている。

#### 【 0 0 9 7 】

以上のとおり、この発明の請求項 1 3 に記載の発明に関連し、第二の外部ツールから転送書込みされる初期設定データ C D A T は、一旦は電子制御装置の R A M メモリ書込まれ、電子制御装置が運転停止した時点で不揮発性のデータメモリに転送されるようになっている。

従って、不揮発性のデータメモリに対する書込み所要時間が影響しないので、第二の外部ツールと電子制御装置間とは高速通信が可能となり、初期設定データの送信中に通信エラーの発生を防止することができる特徴がある。

また、電子制御装置としては、R A M メモリに書込まれた初期設定データ C D A T を直ちに有効にしないで、一旦運転停止した後の運転再開後において、プログラムメモリに格納された初期設定データ C D A T を有効にすることによって、マイクロプロセッサの暴走事故を回避することもできる特徴がある。

この場合、第二の外部ツールを用いて、電子制御装置のメーカから提供された特定の改変制御プログラム、或いはユーザに開放された所定のプログラム言語に基づくアプリケーションプログラムを電子制御装置に送信し、電子制御装置の制御仕様の一部をユーザによって変更することも可能となるものである。

これは、実施の形態 1 および 2 に記載の電子制御装置についても同様である。

#### 【 0 0 9 8 】

また、本願の請求項 1 4 に記載の発明に関連して、以下の特徴を備えている。

複数の前記電子制御装置 2 0 X , 2 0 Y , 2 0 Z は L A N トランシーバと一対の通信回線 L A N H , L A N N によって相互に接続されていて、それぞれに適用されるセンサと電気負荷が接続されて、駆動電圧 V b b が印加されている組付調整運転又は保守点検調整運転状態及び実働運転状態においては、前記第一の外部ツール 1 0 B は取外されていて、前記 L A N トランシーバの通信回線 L A N H , L A N N には、少なくとも 1 台以上の複数の電子制御装置 2 0 X , 2 0 Y , 2 0 Z が順次シリアル接続されて相互に協調運転が行われており、前記第二の外部ツール 1 0 C は運転中の前記電子制御装置 2 0 X , 2 0 Y , 2 0 Z に対して通信回線 L A N H , L A N N を介して接続され、前記第二の外部ツール 1 0 C に設けられた前記ツール制御プログラムメモリ 1 0 2 C は、前記複数の電子制御装置 2 0 X , 2 0 Y , 2 0 Z に対応した機種コード情報を備え、前記第二の外部ツール 1 0 C で指定した前記複数の電子制御装置 2 0 X , 2 0 Y , 2 0 Z のいずれかに対して前記初期設定データ C D A T を送信するようになっている。

#### 【 0 0 9 9 】

以上のとおり、この発明の請求項14に記載の発明に関連し、電子制御装置の運転時には第一の外部ツールは取外されていると、LANトランシーバには他の電子制御装置を接続することができるようになっており、初期設定データCDATを書き込みたいときには、第二の外部ツールを接続することができるようになっている。

従って、第一の外部ツールを接続するために設けられたシリアル通信回線をそのまま利用して、複数の電子制御装置による協調運転を行うことができる特徴がある。

また、第二の外部ツールは、例えば車載電子制御装置であるエンジン制御装置、或いは変速機制御装置、或いはブレーキ制御装置などの多様な電子制御装置に対して共用されるようになっている。

これは、第二の外部ツールと多様な電子制御装置とが、汎用のLANプロトコルで通信することによって手軽に達成することができるものである。

これは、実施の形態1および2に記載の電子制御装置についても同様である。

【0100】

また、本願の請求項15に記載の発明に関連して、以下の特徴を備えている。

前記電子制御装置20X, 20Y, 20Z内に設けられた前記プログラムメモリ204X, 204Y, 204Zの一部領域に格納される前記仮設定データCDAT0は、データ番号*i* = 1, 2, 3, ..., *m*に対応した最小値*A<sub>i</sub>*と最大値*B<sub>i</sub>*の実数値を含むとともに、前記最小値*A<sub>i</sub>*と最大値*B<sub>i</sub>*との偏差を最大段数*J<sub>max</sub>*で分割したときの選択段数*J<sub>i</sub>*との比率である選択値*K<sub>ij</sub>* = *J<sub>i</sub>* / *J<sub>max</sub>*の値を各設定データ毎に仮選択した仮選択値*K<sub>1j</sub>*, *K<sub>2j</sub>*, *K<sub>3j</sub>*, ..., *K<sub>mj</sub>*を包含し、前記第一の外部ツール10A, 10B又は前記第二の外部ツール10Cによって設定される初期設定データCDATは、適用されたセンサ又は電気負荷に対応して各データ毎に新に選択決定した決定選択値*K<sub>1j</sub>*, *K<sub>2j</sub>*, *K<sub>3j</sub>*, ..., *K<sub>mj</sub>*であり、前記データ番号*i*に関する前記仮設定データCDAT0又は初期設定データCDATの設定値*D<sub>ij</sub>*である実数値DAT*i*は、(1)式および(2)式によって算出され、

$$DAT\ i = D\ ij = A\ i + K\ ij \times (B\ i - A\ i) \quad \dots\dots (1)$$

$$\text{但し、} K\ ij = J\ i / J\ max \quad \dots\dots (2)$$

前記仮選択値及び決定選択値*K<sub>ij</sub>*は、初期設定データの実数値よりも短い、所定ビット以下の数値データとなっている。

【0101】

以上のとおり、この発明の請求項15に記載の発明に関連し、電子制御装置におけるプログラムメモリの数値設定領域には、複数の設定データの個々に対する最小値*A<sub>i</sub>*と最大値*B<sub>i</sub>*及び、この最小値と最大値との間の設定値*D<sub>ij</sub>*を指定する選択値*K<sub>ij</sub>*が指定され、仮設定データCDAT0における仮選択値*K<sub>ij</sub>*に比べ、初期設定データCDATにおける決定選択値*K<sub>ij</sub>*は、適用されたセンサ及び電気負荷の特性に合わせて補正された選択値となっている。

従って、電子制御装置の出荷後に電子制御装置に対して書き込み設定される初期設定データCDATは、例えば4ビット16段階以下の段階数値で設定されるので、実数値で設定するよりは転送数値の桁数を大幅に削減し、取扱い性が向上する特徴がある。

また、各設定データには最小値と最大値が書き込み保存されているので、実用する初期設定データが、この最小値と最大値との域外であれば異常であることを判定することができる特徴がある。

これは、実施の形態1および2に記載の電子制御装置についても同様である。

【0102】

また、本願の請求項16に記載の発明に関連して、以下の特徴を備えている。

前記仮設定データCDAT0に含まれる、データ番号*i* = 1 ~ *m*の中のいずれかの番号*p*に関し、前記最小値*A<sub>p</sub>*を0とし、前記最大値*B<sub>p</sub>*を前記最大段数*J<sub>max</sub>*とし、仮設定データCDAT0又は初期設定データCDATの実数値DAT*p*は、前記(1)式に基づいて算出し、

$$DAT\ p = A\ p + K\ pj \times (B\ p - A\ p)$$

$$= 0 + (J_p / J_{max}) \times (J_{max} - 0)$$

$$= J_p$$

選択段数  $J_p$  が得られるようになっている。

以上のとおり、この発明の請求項 16 に関連し、データ番号  $p$  に関する最小値  $A_p$  を 0、最大値  $B_p$  を最大段数  $J_{max}$  とし、設定値の実数値  $DAT_p$  として選択段数  $J_p$  を得るようになっている。

従って、可変選択が可能な整数値である選択段数  $J_p$  は可変パラメータとして利用され、例えばプログラムメモリ内に設けられた 10 種類のデータテーブルのどれかを選択使用したい場合に、パラメータとしてテーブル番号を指定すればよいことになる。

また、複数種類の適用用途（例えば複数種類の適用車種）を持つ電子制御装置において、各適用用途に対応したサブルーチンプログラムが予め入出力制御プログラムの一部として準備されていて、どのサブルーチンプログラムを適用するかをパラメータ番号によって選択設定することによって、入出力制御プログラムの一部を適用用途に対応して変更することもできることになる。

これは、実施の形態 1 および 2 に記載の電子制御装置についても同様である。

#### 【0103】

以上の説明において、所定値、所定の設定時間、所定の継続時間、所定周期、所定時間、所定回数、所定の出力電圧、所定の遅延給電時間、所定ビットなどと記載された「所定」の意味は、「メーカーが予め決定してプログラムメモリに格納しておく固定の設定制御定数、或いは分圧回路の分圧比や比較基準電圧などの回路定数、或いは予め決定されてプログラムメモリに格納しておいた特定の算式に基づいて算出される可変定数」のことであり、一定不変の固定定数だけを指すものではない。

#### 【符号の説明】

#### 【0104】

10A、10B 第一の外部ツール、10C 第二の外部ツール、20A、20Bn 電子制御装置、20X 電子制御装置（エンジン制御）、20Y 電子制御装置（変速機制御）、20Z 電子制御装置（ブレーキ制御）、30A、30B、30C プログラムツールが接続される電子制御装置、60 センサ、70 電気負荷、91、91a、91b、91c 電源リレー（出力素子）、92 電源スイッチ、100 転送用マイクロプロセッサ、102A、102B、102C ツール制御プログラムメモリ、103 RAMメモリ、104A ソースメモリ（TCPRG）、104Bn ソースメモリ（TCPRG）、105 ソースメモリ（CDAT）、106 操作キー、108 制御電源、109 高圧電源、109A、109B 高圧電源スイッチ、110 親局ドライバ、111 親局レシーバ、200 制御用マイクロプロセッサ、201 ブートプログラムメモリ、203 RAMメモリ、204A、204Bn プログラムメモリ、204X、204Y、204Z プログラムメモリ、205 データメモリ、206 入力インタフェース回路、207 出力インタフェース回路、210 子局ドライバ、211 子局レシーバ、212A、212B 比較回路、213、214 分圧抵抗、217A、217B 基準電圧源、218A、218B 書込モード判定回路、219 リセットパルス発生回路、1100 LANトランシーバ。

#### 【要約】

【課題】 LANトランシーバを用いてプログラムが書き込まれる電子制御装置において、実働運転時に誤ってプログラム書込みモードにならないようにする。

【解決手段】 一对の通信回線 LANH、LANN を介して電子制御装置 20A とシリアル接続された第一の外部ツール 10A は、プログラムの書込を行うときに、通常の制御電圧  $V_{cc}$  よりも高い高圧電圧  $V_{aa}$  を通信回線 LANH に印加し、電子制御装置 20A は受信電圧を監視する比較回路 212A と書込モード判定回路 218A によって第一の外部ツール 10A が接続されたことを認識し、マイクロプロセッサ 200 を初期化してブートプログラムメモリ 201 の内容に基づいて全体制御プログラム TCPRG を受信してプログラムメモリ 204A に格納する。電子制御装置 20A の運転時は外部ツール 10A が取外

10

20

30

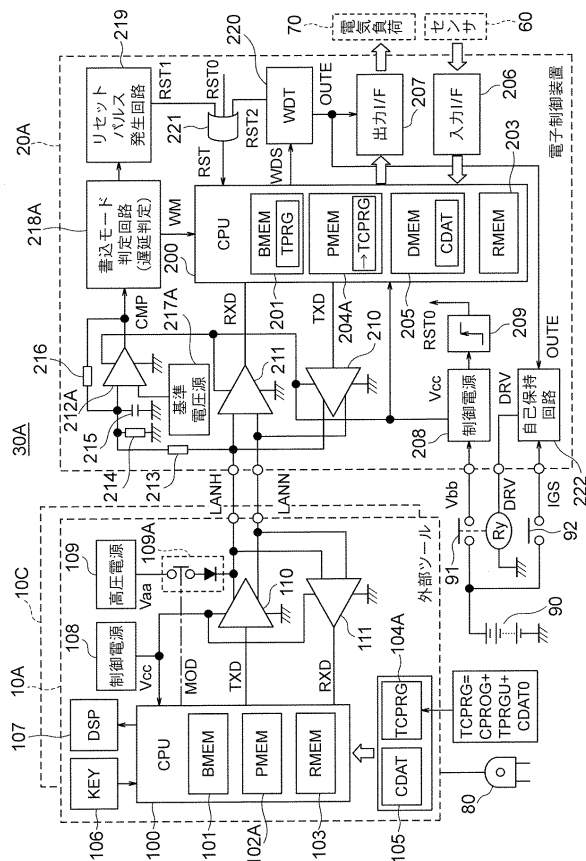
40

50

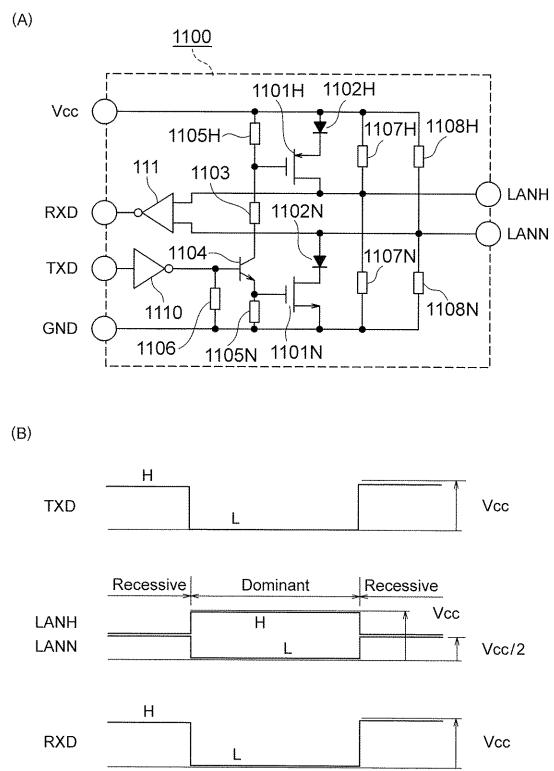
され、通信回線LANHには高圧電圧Vaaが印加されないので、誤って書込みモードになることはない。

【選択図】図1

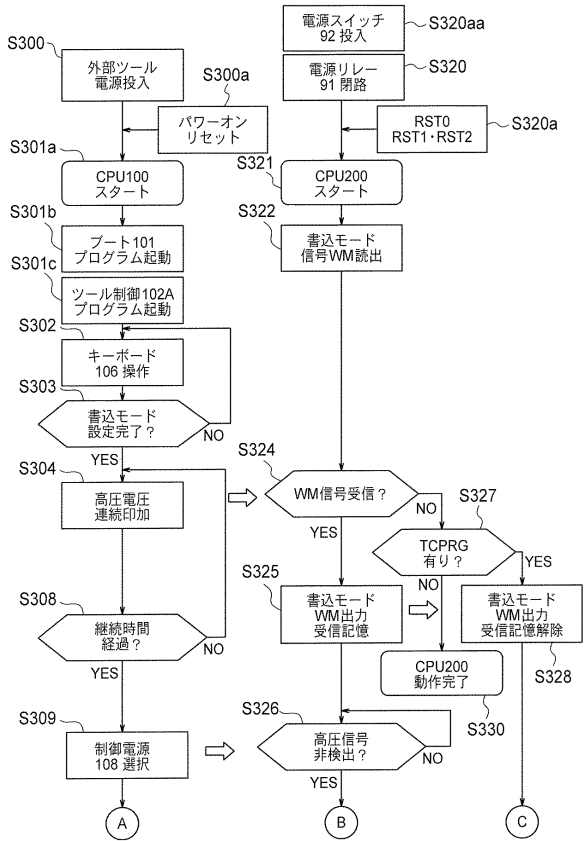
【図1】



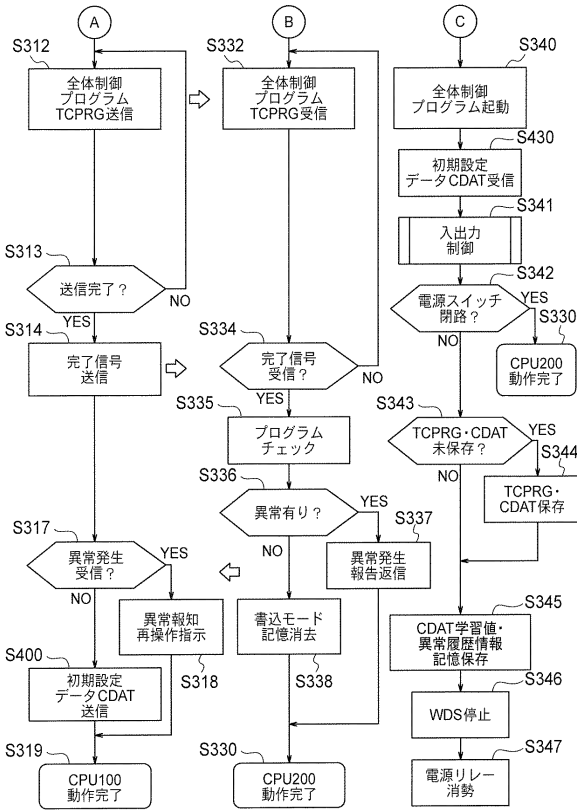
【図2】



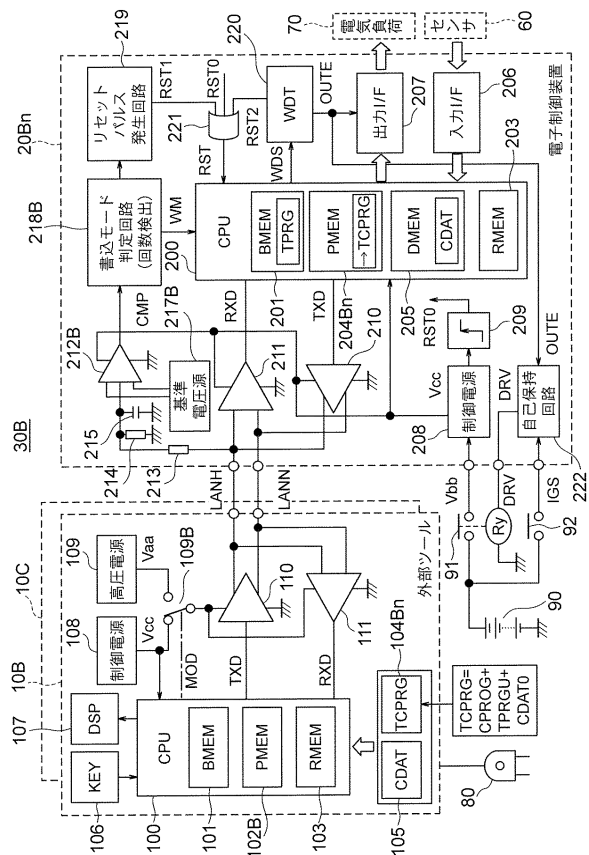
【図3】



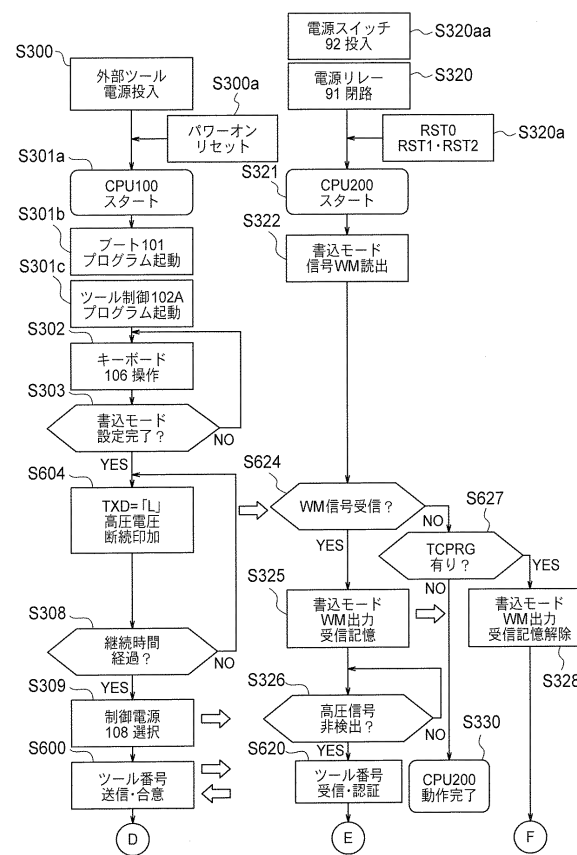
【図4】



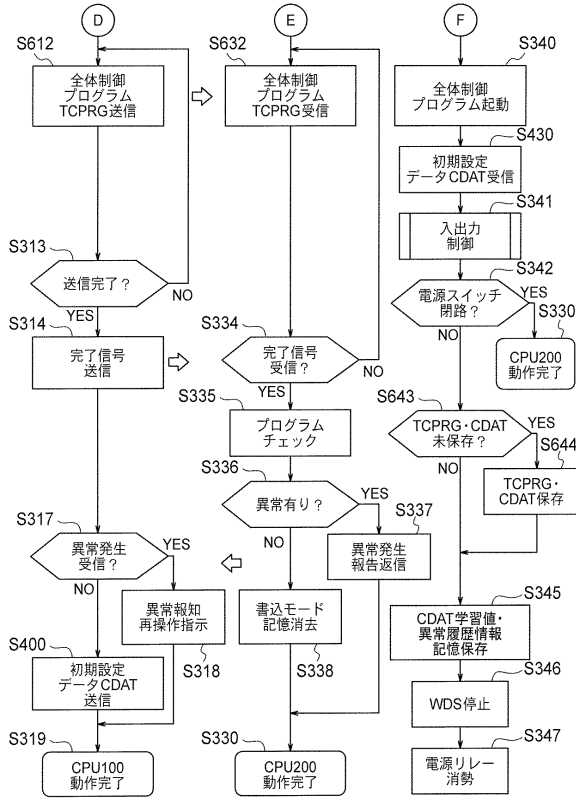
【図5】



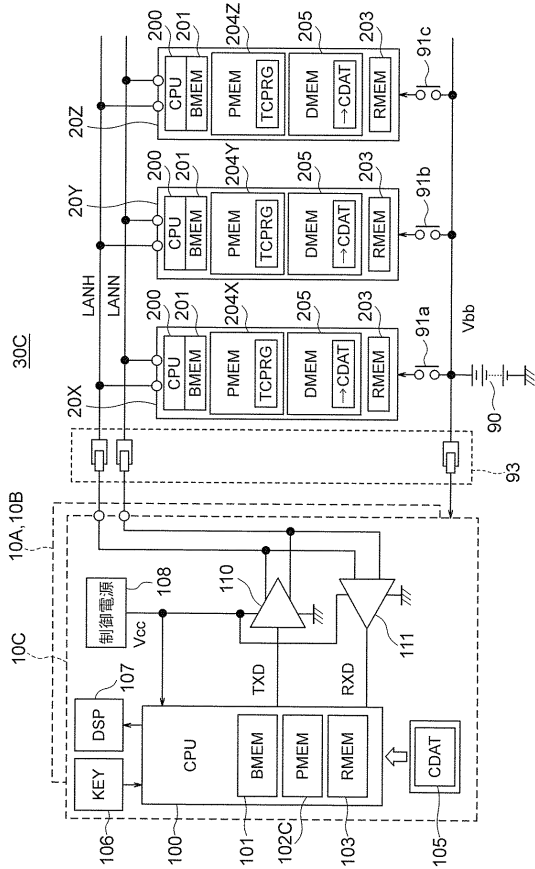
【図6】



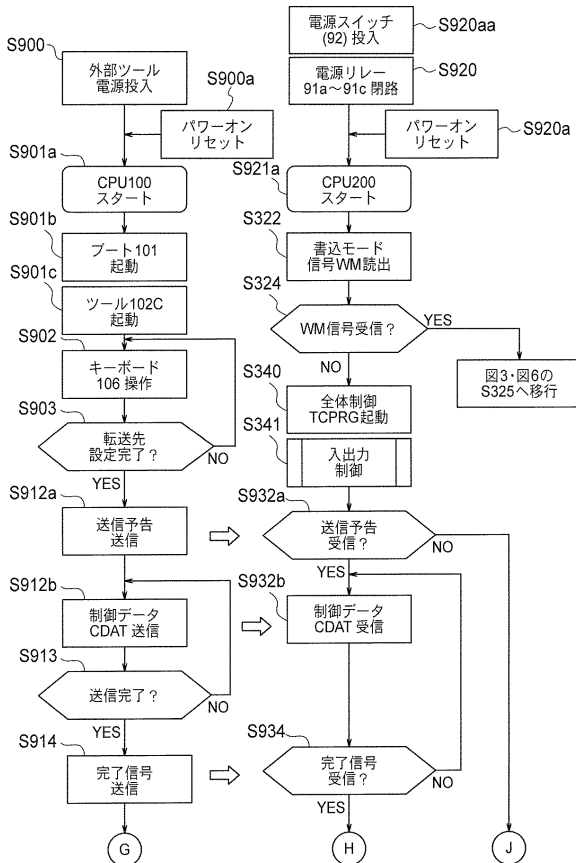
【図7】



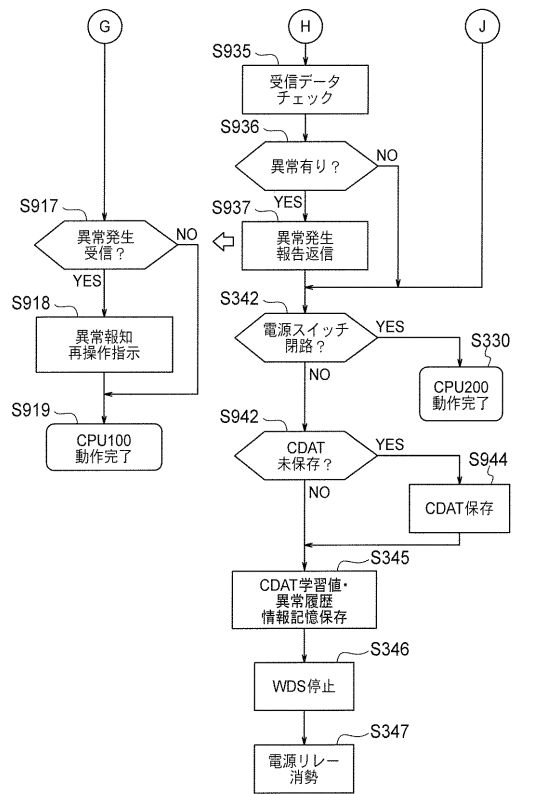
【図8】



【図9】



【図10】

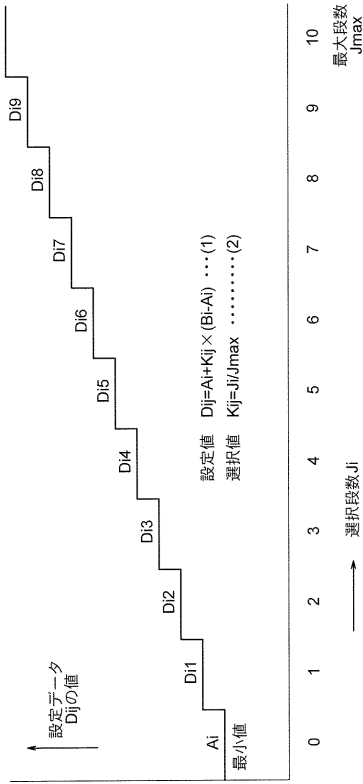




【 1 1 1 】

各データ毎に設定される選択段数J	DAT1	DAT2	DAT3	DAT4	DAT5	DAT6	DAT7	DAT8
	初期設定データの最小値 Ai							
1	A1	A2	A3	A4	A5	A6	A7	A8
2	D11	D21	D31	D41	D51	D61	D71	D81
3	D13	D23	D33	D43	D53	D63	D73	D83
4	D14	D24	D34	D44	D54	D64	D74	D84
5	D15	D25	D35	D45	D55	D65	D75	D85
6	D16	D26	D36	D46	D56	D66	D76	D86
7	D17	D27	D37	D47	D57	D67	D77	D87
8	D18	D28	D38	D48	D58	D68	D78	D88
9	D19	D29	D39	D49	D59	D69	D79	D89
最大段数 Jmax=10 の例	B1	B2	B3	B4	B5	B6	B7	B8
	初期設定データの最大値 Bi							

【 1 2 2 】



---

フロントページの続き

- (72)発明者 西田 充孝  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 岩上 祐希  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 石井 晃弘  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 西澤 理  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 山下 学  
東京都千代田区九段北一丁目13番5号 三菱電機エンジニアリング株式会社内

審査官 多胡 滋

- (56)参考文献 特開2010-250751(JP,A)  
特開2008-176393(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |      |       |
|------|-------|
| G06F | 11/00 |
| B60R | 16/02 |