



(12) 发明专利申请

(10) 申请公布号 CN 117497601 A

(43) 申请公布日 2024. 02. 02

(21) 申请号 202311835796.8

(22) 申请日 2023.12.28

(71) 申请人 深圳天狼芯半导体有限公司

地址 518000 广东省深圳市南山区粤海街道高新区社区科技南路18号深圳湾科技生态园12栋裙楼904-905

(72) 发明人 乔凯

(74) 专利代理机构 深圳中一联合知识产权代理有限公司 44414

专利代理师 阳方玉

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

H01L 29/16 (2006.01)

H01L 21/336 (2006.01)

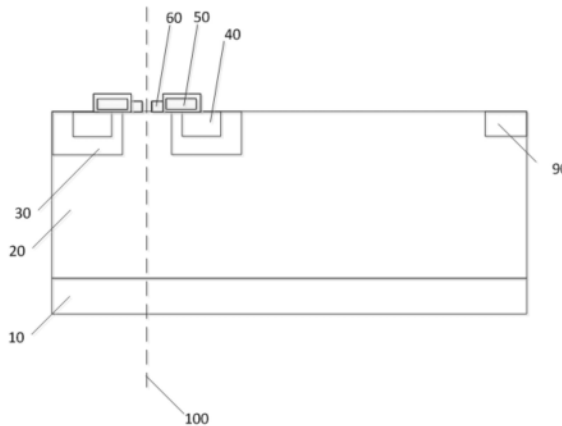
权利要求书2页 说明书7页 附图8页

(54) 发明名称

平面型碳化硅晶体管的结构、制造方法及电子设备

(57) 摘要

一种平面型碳化硅晶体管的结构、制造方法及电子设备,属于半导体技术领域,包括左右对称的两个栅源结构、衬底、漂移层、第一有源区以及多个第二有源,左右对称的切面为矢状面;漂移层设置于衬底的上表面;两个栅源结构和第一有源区均位于漂移层的上表面且间隔设置;栅源结构包括第一阱、第一有源层和栅极结构;第一阱设置于漂移层的上表面;第一阱与矢状面设置预设距离;第一有源层设置于第一阱中且位于第一阱上表面;栅极结构覆盖第一阱的顶部;多个第二有源层设置于两个栅极结构之间;衬底、第二有源层和第一阱的为第一类型;漂移层、第一有源区和第一有源层为第二类型;减小导通损耗和芯片面积,增大可靠性和电流密度,简化工艺。



1. 一种平面型碳化硅晶体管的结构,其特征在于,包括左右对称的两个栅源结构、衬底、漂移层以及第一有源区,左右对称的切面为矢状面;

所述漂移层设置于所述衬底的上表面的;

两个所述栅源结构和所述第一有源区均位于所述漂移层的上表面且间隔设置;

所述栅源结构包括:

设置于所述漂移层的上表面的第一阱;其中,所述第一阱与所述矢状面之间设置预设距离;

设置于所述第一阱中且位于所述第一阱上表面的第一有源层;

覆盖所述第一阱的顶部的栅极结构;

所述平面型碳化硅晶体管的结构还包括:

设置于两个所述栅极结构之间的多个第二有源层;

其中,所述衬底、所述第二有源层和所述第一阱为第一类型;所述漂移层、所述第一有源区和所述第一有源层的为第二类型。

2. 如权利要求1所述的平面型碳化硅晶体管的结构,其特征在于,所述平面型碳化硅晶体管的结构还包括:

设置于所述第一阱远离所述矢状面一侧的两个第二有源区。

3. 如权利要求2所述的平面型碳化硅晶体管的结构,其特征在于,所述平面型碳化硅晶体管的结构包括:

位于所述第二有源区和所述第一有源区之间且位于所述漂移层上表面的第三有源区。

4. 如权利要求1所述的平面型碳化硅晶体管的结构,其特征在于,所述平面型碳化硅晶体管的结构包括:

设置于两个所述第一阱之间的电荷存储区。

5. 如权利要求1所述的平面型碳化硅晶体管的结构,其特征在于,所述第一类型为P型,所述第二类型为N型;或者

所述第一类型为N型,所述第二类型为P型。

6. 如权利要求1至5任意一项所述的平面型碳化硅晶体管的结构,其特征在于,还包括:

覆盖所述第一有源层和所述第二有源层的第一金属层;

位于所述第一有源区的上表面的第二金属层;

与所述栅极结构连接的第三金属层;

所述第一金属层为所述平面型碳化硅晶体管的源极电极,所述第二金属层为所述平面型碳化硅晶体管的漏极电极,所述第三金属层为所述平面型碳化硅晶体管的栅极电极。

7. 如权利要求1至5任意一项所述的平面型碳化硅晶体管的结构,其特征在于,所述栅极结构的材料包括二氧化硅和多晶硅;所述第二有源层的材料包括多晶硅;所述漂移层、所述第一有源区、所述第一有源层和所述第一阱的材料包括碳化硅。

8. 一种平面型碳化硅晶体管的制造方法,其特征在于,所述制造方法包括:

在衬底的上表面形成漂移层;

在所述漂移层第一侧的上表面形成左右对称的两个第一阱;其中,左右对称的切面为矢状面,所述第一阱与所述矢状面之间设置预设距离;

分别在两个所述第一阱中且位于所述第一阱上表面形成两个第一有源层,并在所述漂

移层第二侧的上表面形成第一有源区；

分别在两个所述第一阱的顶部形成两个栅极结构；

在两个所述栅极结构之间形成多个第二有源层。

9. 根据权利要求8所述的平面型碳化硅晶体管的制造方法, 其特征在于, 所述在所述漂移层的上表面形成左右对称的两个第一阱之后还包括:

在两个所述第一阱远离所述矢状面一侧分别形成两个第二有源区。

10. 根据权利要求9所述的平面型碳化硅晶体管的制造方法, 其特征在于, 所述在两个所述第一阱远离所述矢状面一侧分别形成两个第二有源区之后还包括:

在所述第二有源区和所述第一有源区之间且在所述漂移层上表面形成第三有源区。

11. 根据权利要求8所述的平面型碳化硅晶体管的制造方法, 其特征在于, 所述在两个所述栅极结构之间形成多个第二有源层之后还包括:

在第一有源层的上表面和第二有源层的上表面形成第一金属层;

在所述第一有源区的上表面形成第二金属层;

形成与所述栅极结构连接的第三金属层。

12. 一种电子设备, 其特征在于, 所述电子设备包括如权利要求1至7任意一项所述的平面型碳化硅晶体管的结构。

平面型碳化硅晶体管的结构、制造方法及电子设备

技术领域

[0001] 本申请属于半导体技术领域,尤其涉及一种平面型碳化硅晶体管的结构、制造方法及电子设备。

背景技术

[0002] 碳化硅(SiC)功率金属-氧化-半导体场效应晶体管(metal-oxide-semiconductor field-effect transistor,MOSFET)由于其更快的开关速度、更低的开关损耗和更高的工作温度范围,已成为电动汽车和光伏逆变器等高功率应用中硅绝缘栅双极晶体管(IGBT)的有力竞争对手。在实际应用中,MOSFET 需要反并联二极管来处理反向电流,硅基MOSFET常采用体二极管来降低寄生电感,起到续流作用,但是对于SiC MOSFET,其材料带隙较宽,体二极管开启电压(约2.7V)远高于硅基MOSFET(约1.5V),导通损耗较大。

[0003] 相关的碳化硅晶体管将SiC MOSFET与SBD或JFET反并联集成可以起到反向续流作用,但通常并联在平面,其会使芯片面积有所增大;也有相关的碳化硅晶体管通过分裂栅在反向时控制续流通道开启的结构,但其存在栅极可靠性、工艺复杂以及电流密度低的问题。

[0004] 故相关的碳化硅晶体管存在导通损耗大、芯片面积大、可靠性差、工艺复杂以及电流密度低的缺陷。

发明内容

[0005] 本申请的目的在于提供一种平面型碳化硅晶体管的结构、制造方法及电子设备,旨在解决相关的氮化镓功率器件导通损耗大、芯片面积大、可靠性差、工艺复杂以及电流密度低的问题。

[0006] 本申请实施例提供了一种平面型碳化硅晶体管的结构,包括左右对称的两个栅源结构、衬底、漂移层以及第一有源区,左右对称的切面为矢状面;

所述漂移层设置于所述衬底的上表面的;

两个所述栅源结构和所述第一有源区均位于所述漂移层的上表面且间隔设置;

所述栅源结构包括:

设置于所述漂移层的上表面的第一阱;其中,所述第一阱与所述矢状面之间设置预设距离;

设置于所述第一阱中且位于所述第一阱上表面的第一有源层;

覆盖所述第一阱的顶部的栅极结构;

所述平面型碳化硅晶体管的结构还包括:

设置于两个所述栅极结构之间的多个第二有源层;

其中,所述衬底、所述第二有源层和所述第一阱为第一类型;所述漂移层、所述第一有源区和所述第一有源层的为第二类型。

[0007] 在其中一个实施例中,所述平面型碳化硅晶体管的结构还包括:

设置于所述第一阱远离所述矢状面一侧的两个第二有源区。

- [0008] 在其中一个实施例中,所述平面型碳化硅晶体管的结构包括:
位于所述第二有源区和所述第一有源区之间且位于所述漂移层上表面的第三有源区。
- [0009] 在其中一个实施例中,所述平面型碳化硅晶体管的结构包括:
设置于两个所述第一阱之间的电荷存储区。
- [0010] 在其中一个实施例中,所述第一类型为P型,所述第二类型为N型;或者
所述第一类型为N型,所述第二类型为P型。
- [0011] 在其中一个实施例中,还包括:
覆盖所述第一有源层和所述第二有源层的第一金属层;
位于所述第一有源区的上表面的第二金属层;
与所述栅极结构连接的第三金属层;
所述第一金属层为所述平面型碳化硅晶体管的源极电极,所述第二金属层为所述平面型碳化硅晶体管的漏极电极,所述第三金属层为所述平面型碳化硅晶体管的栅极电极。
- [0012] 在其中一个实施例中,所述栅极结构的材料包括二氧化硅和多晶硅;所述第二有源层的材料包括多晶硅;所述漂移层、所述第一有源区、所述第一有源层和所述第一阱的材料包括碳化硅。
- [0013] 本申请实施例还提供一种平面型碳化硅晶体管的制造方法,所述制造方法包括:
在衬底的上表面形成漂移层;
在所述漂移层第一侧的上表面形成左右对称的两个第一阱;其中,左右对称的切面为矢状面,所述第一阱与所述矢状面之间设置预设距离;
分别在两个所述第一阱中且位于所述第一阱上表面形成两个第一有源层,并在所述漂移层第二侧的上表面形成第一有源区;
分别在两个所述第一阱的顶部形成两个栅极结构;
在两个所述栅极结构之间形成多个第二有源层。
- [0014] 在其中一个实施例中,所述在所述漂移层的上表面形成左右对称的两个第一阱之后还包括:
在两个所述第一阱远离所述矢状面一侧分别形成两个第二有源区。
- [0015] 在其中一个实施例中,所述在两个所述第一阱远离所述矢状面一侧分别形成两个第二有源区之后还包括:
在所述第二有源区和所述第一有源区之间且在所述漂移层上表面形成第三有源区。
- [0016] 在其中一个实施例中,所述在两个所述栅极结构之间形成多个第二有源层之后还包括:
在第一有源层的上表面和第二有源层的上表面形成第一金属层;
在所述第一有源区的上表面形成第二金属层;
形成与所述栅极结构连接的第三金属层。
- [0017] 本申请实施例还提供一种电子设备,所述电子设备包括上述的平面型碳化硅晶体管的结构。

[0018] 本发明实施例与现有技术相比存在的有益效果是：由于第一有源区作为漏极，第一阱作为栅极，第一有源层作为源极。第二有源层与漂移层构成异质结。当平面型碳化硅晶体管加正向电压时，漏极和源极导通，异质结反偏，异质结的耗尽层扩展夹断续流通道；当平面型碳化硅晶体管加反向电压时，漏极和源极关断，异质结正偏，异质结的耗尽层扩展夹断续流导通，从而无需将SiC MOSFET与肖特基势垒二极管(schottky barrier diode, SBD)或结型场效应管(junction field-effect transistor, JFET)反并联集成即可以起到反向续流作用，减小了导通损耗和芯片面积，增大了可靠性和电流密度，简化了工艺。

附图说明

[0019] 为了更清楚地说明本发明实施例中的技术发明，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0020] 图1为本申请一实施例提供的平面型碳化硅晶体管的结构的一种结构示意图；
图2为本申请一实施例提供的平面型碳化硅晶体管的结构中续流通道的一种结构示意图；

图3为本申请一实施例提供的平面型碳化硅晶体管的结构的一种能带图；

图4为本申请一实施例提供的平面型碳化硅晶体管的结构的一种结构示意图；

图5为本申请一实施例提供的平面型碳化硅晶体管的结构的一种结构示意图；

图6为本申请一实施例提供的平面型碳化硅晶体管的结构的一种能带图；

图7为本申请一实施例提供的平面型碳化硅晶体管的结构的一种结构示意图；

图8为本申请一实施例提供的平面型碳化硅晶体管的结构的一种结构示意图；

图9为本申请实施例提供的平面型碳化硅晶体管的制造方法中形成漂移层的一种示意图；

图10为本申请实施例提供的平面型碳化硅晶体管的制造方法中形成第一阱的一种示意图；

图11为本申请实施例提供的平面型碳化硅晶体管的制造方法中形成第一有源层和第一有源区的一种示意图；

图12为本申请实施例提供的平面型碳化硅晶体管的制造方法中形成栅极结构的一种示意图；

图13为本申请实施例提供的平面型碳化硅晶体管的制造方法中形成第二有源层的一种示意图；

图14为本申请实施例提供的平面型碳化硅晶体管的制造方法中形成第二有源区的一种示意图；

图15为本申请实施例提供的平面型碳化硅晶体管的制造方法中形成第三有源区的一种示意图。

具体实施方式

[0021] 为了使本申请所要解决的技术问题、技术方案及有益效果更加清楚明白，以下结

合附图及实施例,对本申请进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本申请,并不用于限定本申请。

[0022] 需要说明的是,当元件被称为“固定于”或“设置于”另一个元件,它可以直接在另一个元件上或者间接在该另一个元件上。当一个元件被称为是“连接于”另一个元件,它可以是直接连接到另一个元件或间接连接至该另一个元件上。

[0023] 需要理解的是,术语“长度”、“宽度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。

[0024] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0025] 图1示出了本发明实施例提供的平面型碳化硅晶体管的结构,为了便于说明,仅示出了与本发明实施例相关的部分,详述如下:

平面型碳化硅晶体管的结构,包括左右对称的两个栅源结构、衬底10、漂移层20、第一有源区90以及多个第二有源层60,左右对称的切面为矢状面100。

[0026] 漂移层20设置于衬底10的上表面。

[0027] 两个栅源结构和第一有源区90均位于漂移层20的上表面且间隔设置。

[0028] 栅源结构包括第一阱30、第一有源层40和栅极结构50。

[0029] 第一阱30设置于漂移层20的上表面;其中,第一阱30与矢状面100之间设置预设距离。

[0030] 第一有源层40设置于第一阱30中且位于第一阱30上表面。

[0031] 栅极结构50覆盖第一阱30的顶部。

[0032] 多个第二有源层60设置于两个栅极结构50之间。

[0033] 其中,衬底10、第二有源层60和第一阱30的掺杂类型为第一类型;漂移层20、第一有源区90和第一有源层40的为第二类型。第一类型和第二类型不同。

[0034] 需要说明的是,第二有源层60为高掺杂,掺杂浓度在 $1e19$ 以上,宽度约为 0.1 至 $0.2\mu\text{m}$,续流沟道宽度在 0.1 至 $0.2\mu\text{m}$,该结构可以在对元胞面积很小增加的情况下增加续流通道。

[0035] 第二有源层60的数量为两个以上,本申请的说明书附图以2个第二有源层60形成续流通道进行说明,简单增加第二有源层60与续流通道的数目的实施例也在本申请保护范围内。

[0036] 具体实施中,第一有源区90作为漏极,第一阱30作为栅极,第一有源层40作为源极。第二有源层60与漂移层20构成异质结。以第一类型为P型且第二类型为N型为例,当平面型碳化硅晶体管加正向电压时,源极接低电位,漏极和源极导通,异质结反偏,异质结的耗尽层扩展夹断续流通道,如图2的左半部分所示。当平面型碳化硅晶体管加反向电压时,源极接高电位,漏极和源极关断,异质结正偏,异质结的耗尽层扩展夹断续流导通,如图2的右半部分所示,从而无需将SiC MOSFET与SBD或结型场效应管JFET反并联集成即可以起到反

向续流作用,减小了导通损耗和芯片面积,增大了可靠性和电流密度,简化了工艺。

[0037] 异质结能带图如图3所示,由于禁带宽度差异,硅与碳化硅接触会形成导带的势垒差,为了防止正向漏电过大而对耐压产生影响,正向电子势垒 ΔE -forward 应该足够大,此处正向电子势垒 ΔE_p -forward 约0.7eV;为增加正向电子势垒高度,可考虑在第二有源层60上形成肖特基接触。硅与碳化硅接触没有形成价带的势垒差,故空穴可以自由通过。

[0038] 如图4所示,平面型碳化硅晶体管的结构还包括第二有源区70。

[0039] 第二有源区70设置于第一阱30远离矢状面100一侧。

[0040] 需要说明的是,第二有源区70的掺杂类型为第一类型。第二有源区70为重掺杂。第二有源区70的材料可以为碳化硅。

[0041] 通过设置第二有源区70,相邻的平面型碳化硅晶体管之间形成隔离,实现了多个平面型碳化硅晶体管的元胞的集成。

[0042] 如图5所示,平面型碳化硅晶体管的结构还包括第三有源区03。

[0043] 第三有源区03位于第二有源区70和第一有源区90之间且位于漂移层20上表面。

[0044] 需要说明的是,第三有源区03的掺杂类型为第一类型。第三有源区03为轻掺杂。第三有源区03的材料可以为碳化硅。

[0045] 第三有源区03和漂移层20形成超结结构,提高了耐压能力;且对于超结结构,由于漂移区存在大面积半导体柱,所以存在一定的少子存储效应,开关特性较差,而异质结没有空穴势垒,空穴可以自由通过,从而起到快速抽取空穴的作用,提升了开关频率。

[0046] 如图6所示,平面型碳化硅晶体管的结构还包括电荷存储区80(charge storage layer, CSL)。

[0047] 电荷存储区80设置于两个第一阱30之间。

[0048] 需要说明的是,电荷存储区80的掺杂类型为第二类型。电荷存储区80的掺杂浓度大于漂移层20的掺杂浓度且小于第一有源层40的掺杂浓度。电荷存储区80的材料为碳化硅。

[0049] 需要注意的是,CSL浓度不宜超过 $1E17$,如图7所示,高浓度SiC会使异质结势垒变薄,更容易发生自第二有源区70到漂移层20的电子隧穿,使正向漏电流增加,耐压性能劣化。

[0050] 通过设置电荷存储区80,减小了第一阱30之间的JFET效应,增大了平面型碳化硅晶体管正向导通电流。

[0051] 作为示例而非限定,第一类型为P型,第二类型为N型;或者
第一类型为N型,第二类型为P型。

[0052] 如图8所示,平面型碳化硅晶体管的结构还包括第一金属层01、第二金属层02和第三金属层。

[0053] 第一金属层01覆盖第一有源层40和第二有源层60。

[0054] 第二金属层02位于第一有源区90的上表面。

[0055] 第三金属层与栅极结构50连接。

[0056] 需要说明的是,第一金属层01为平面型碳化硅晶体管的源极电极,第二金属层02为平面型碳化硅晶体管的漏极电极,第三金属层为平面型碳化硅晶体管的栅极电极。

[0057] 作为示例而非限定,第二有源层60和第一金属层01为肖特基接触,从而提高了势

垒,在平面型碳化硅晶体管加正向电压时,减少了漏电流。

[0058] 具体实施中,栅极结构50的材料包括二氧化硅和多晶硅;第二有源层60的材料包括多晶硅;漂移层20、第一有源区90、第一有源层40和第一阱30的材料包括碳化硅。

[0059] 与一种平面型碳化硅晶体管实施例相对应,本发明还提供了一种平面型碳化硅晶体管的制造方法的一种实施例。

[0060] 一种平面型碳化硅晶体管的制造方法,方法包括步骤401至步骤405。

[0061] 在步骤401中,如图9所示,在衬底10的上表面形成漂移层20;
通过溅射或气相沉积在衬底10的上表面形成漂移层20。

[0062] 在步骤402中,如图10所示,在漂移层20第一侧的上表面形成左右对称的两个第一阱30;其中,左右对称的切面为矢状面100,第一阱30与矢状面100之间设置预设距离。

[0063] 通过离子注入在漂移层20第一侧的上表面形成左右对称的两个第一阱30。

[0064] 在步骤403中,如图11所示,分别在两个第一阱30中且位于第一阱30上表面形成两个第一有源层40,并在漂移层20第二侧的上表面形成第一有源区90。

[0065] 通过离子注入分别在两个第一阱30中且位于第一阱30上表面形成两个第一有源层40,并在漂移层20第二侧的上表面形成第一有源区90。

[0066] 在步骤404中,如图12所示,分别在两个第一阱30的顶部形成两个栅极结构50。

[0067] 通过热氧化和多晶硅沉积分别在两个第一阱30的顶部形成两个栅极结构5050。

[0068] 在步骤405中,如图13所示,在两个栅极结构50之间形成多个第二有源层60。

[0069] 通过气相沉积和离子注入在两个栅极结构50之间形成多个第二有源层60。

[0070] 具体实施中,步骤402之后还包括步骤402-2和步骤403。

[0071] 在步骤402-2中,如图14所示,在两个第一阱30远离矢状面100一侧分别形成两个第二有源区70。

[0072] 通过离子注入在两个第一阱30远离矢状面100一侧分别形成两个第二有源区70。

[0073] 在步骤405-3中,如图15所示,在第二有源区70和第一有源区90之间且在漂移层20上表面形成第三有源区03。

[0074] 通过离子注入在第二有源区70和第一有源区90之间且在漂移层20上表面形成第三有源区03。

[0075] 具体实施中,步骤405之后还包括步骤406至步骤408。

[0076] 在步骤406中,在第一有源层的上表面和第二有源层的上表面形成第一金属层。

[0077] 在步骤407中,在第一有源区的上表面形成第二金属层。

[0078] 在步骤408中,形成与栅极结构连接的第三金属层。

[0079] 值得强调的是,第一金属层为平面型碳化硅晶体管的源极电极,第二金属层为平面型碳化硅晶体管的漏极电极,第三金属层为平面型碳化硅晶体管的栅极电极。

[0080] 值得注意的是,金属层可以为金或钼。

[0081] 本发明实施例包括左右对称的两个栅源结构、衬底、漂移层、第一有源区以及多个第二有源,左右对称的切面为矢状面;漂移层设置于衬底的上表面;两个栅源结构和第一有源区均位于漂移层的上表面且间隔设置;栅源结构包括第一阱、第一有源层和栅极结构;第一阱设置于漂移层的上表面;其中,第一阱与矢状面之间设置预设距离;第一有源层设置于第一阱中且位于第一阱上表面;栅极结构覆盖第一阱的顶部;多个第二有源层设置于两个

栅极结构之间;衬底、第二有源层和第一阱的为第一类型;漂移层、第一有源区和第一有源层为第二类型;减小了导通损耗和芯片面积,增大了可靠性和电流密度,简化了工艺。

[0082] 应理解,上述实施例中各步骤的序号的大小并不意味着执行顺序的先后,各过程的执行顺序应以其功能和内在逻辑确定,而不对本申请实施例的实施过程构成任何限定。

[0083] 以上所述实施例仅用以说明本申请的技术方案,而非对其限制;尽管参照前述实施例对本申请进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例技术方案的精神和范围,均应包含在本申请的保护范围之内。

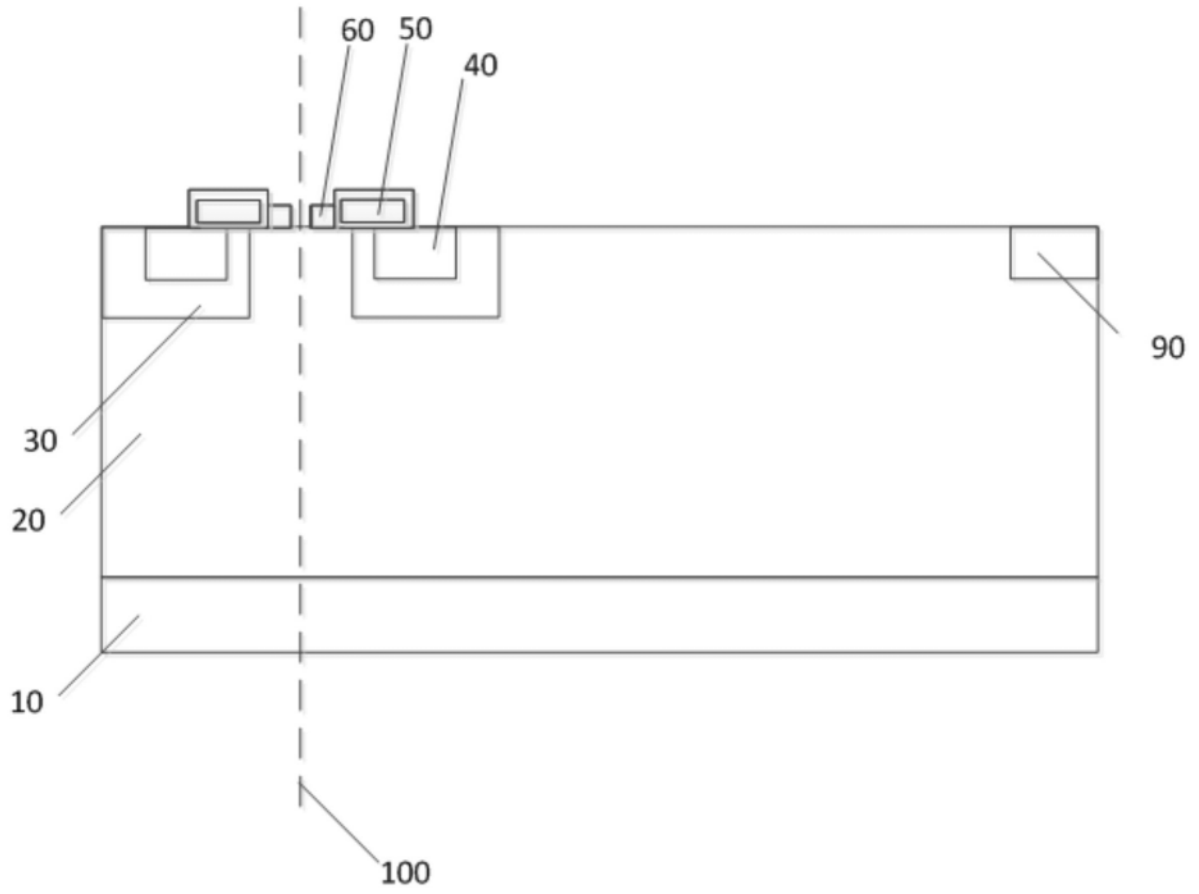


图1

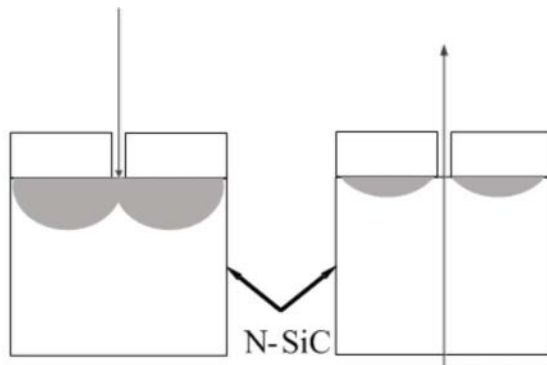


图2

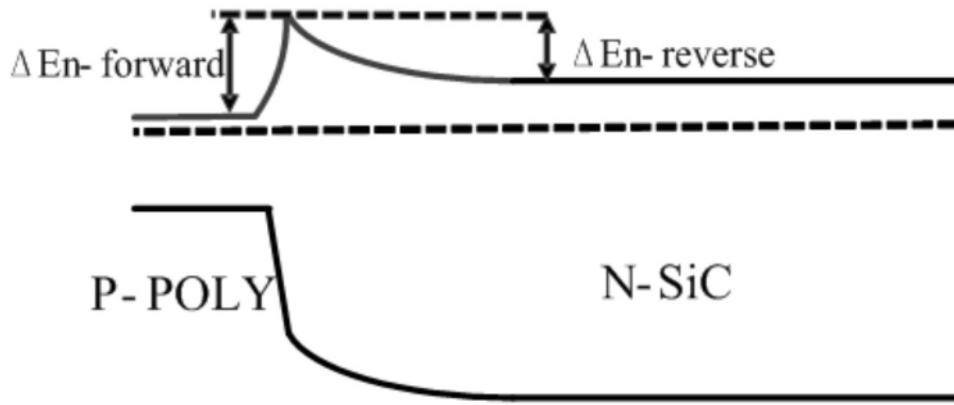


图3

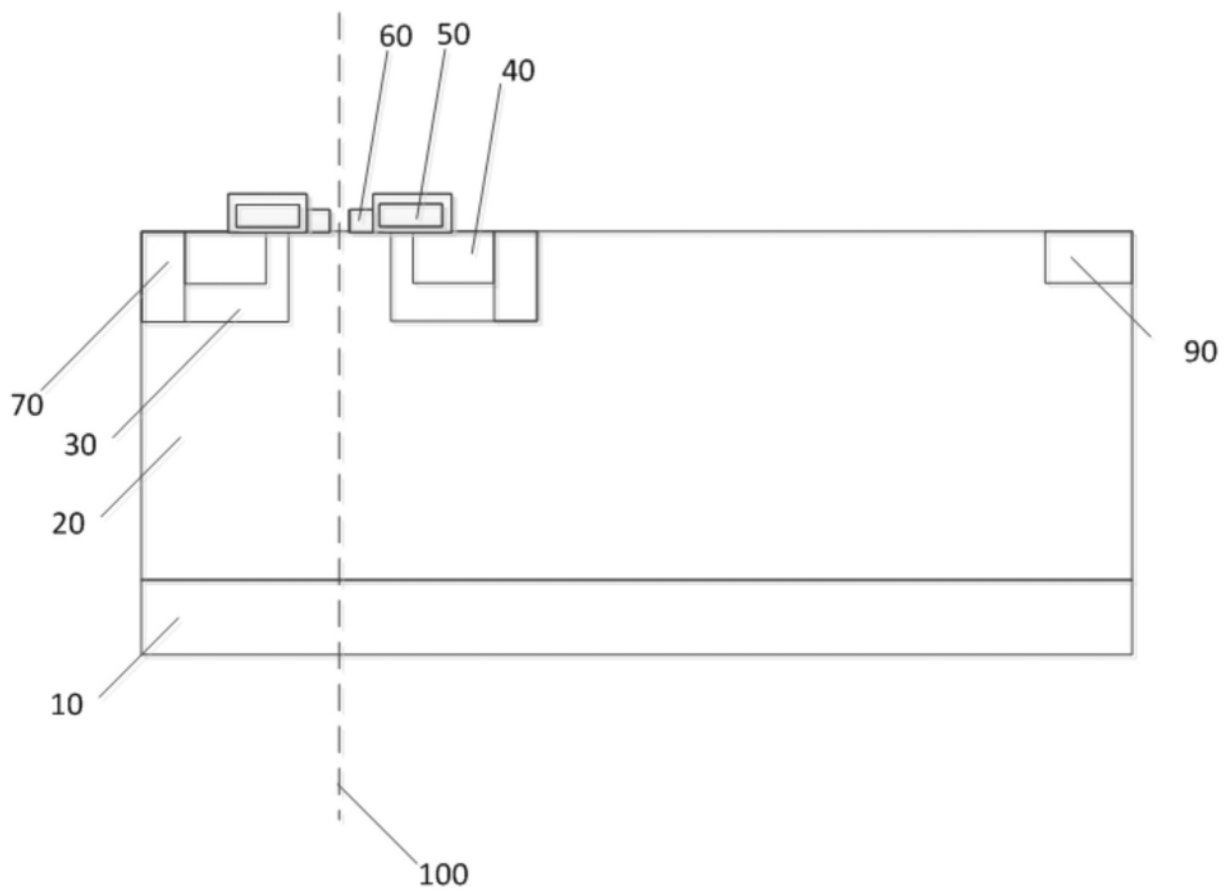


图4

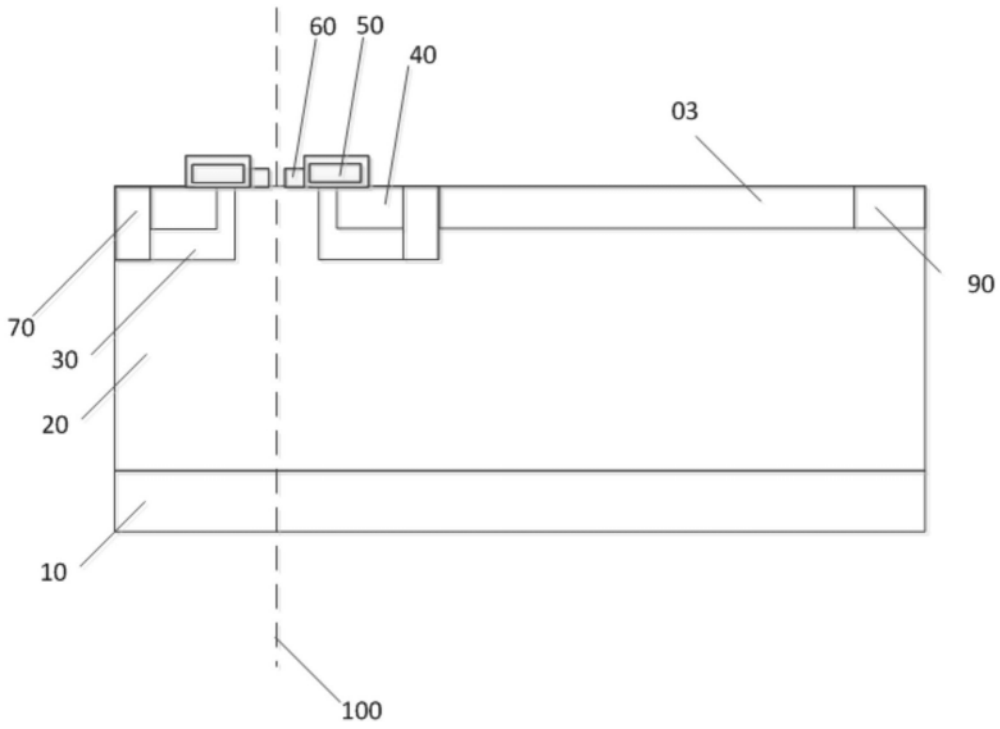


图5

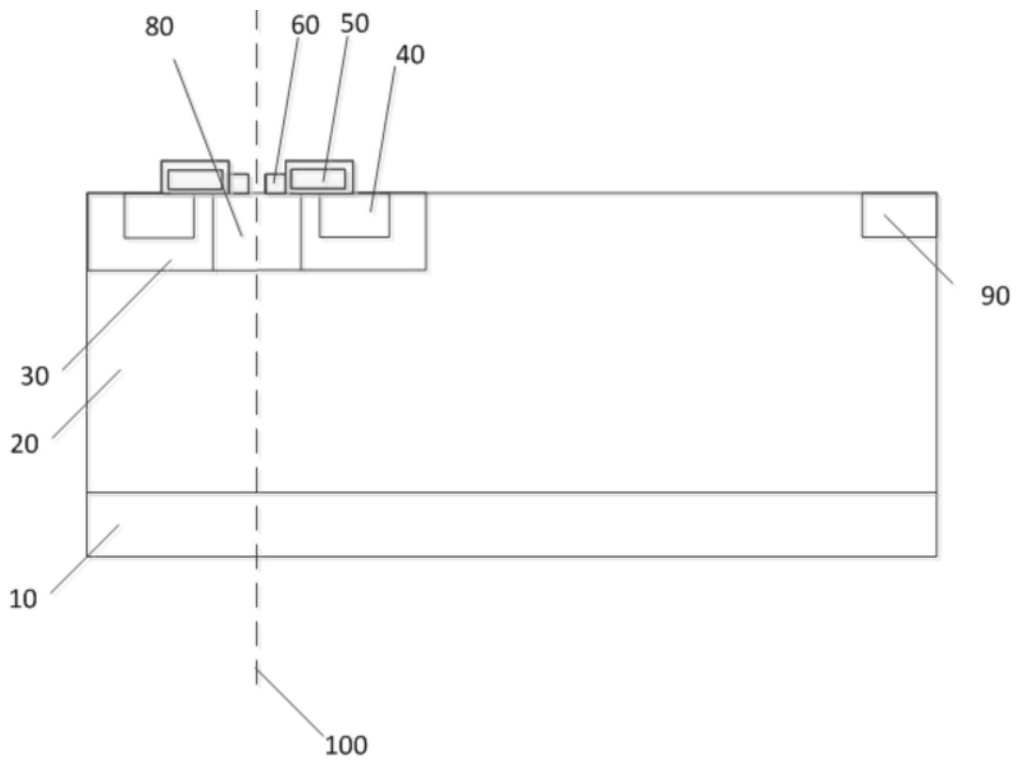


图6

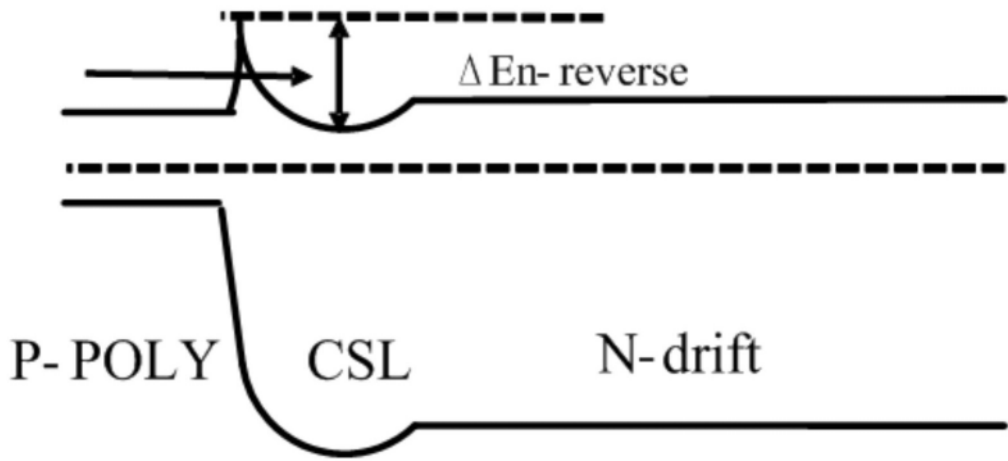


图7

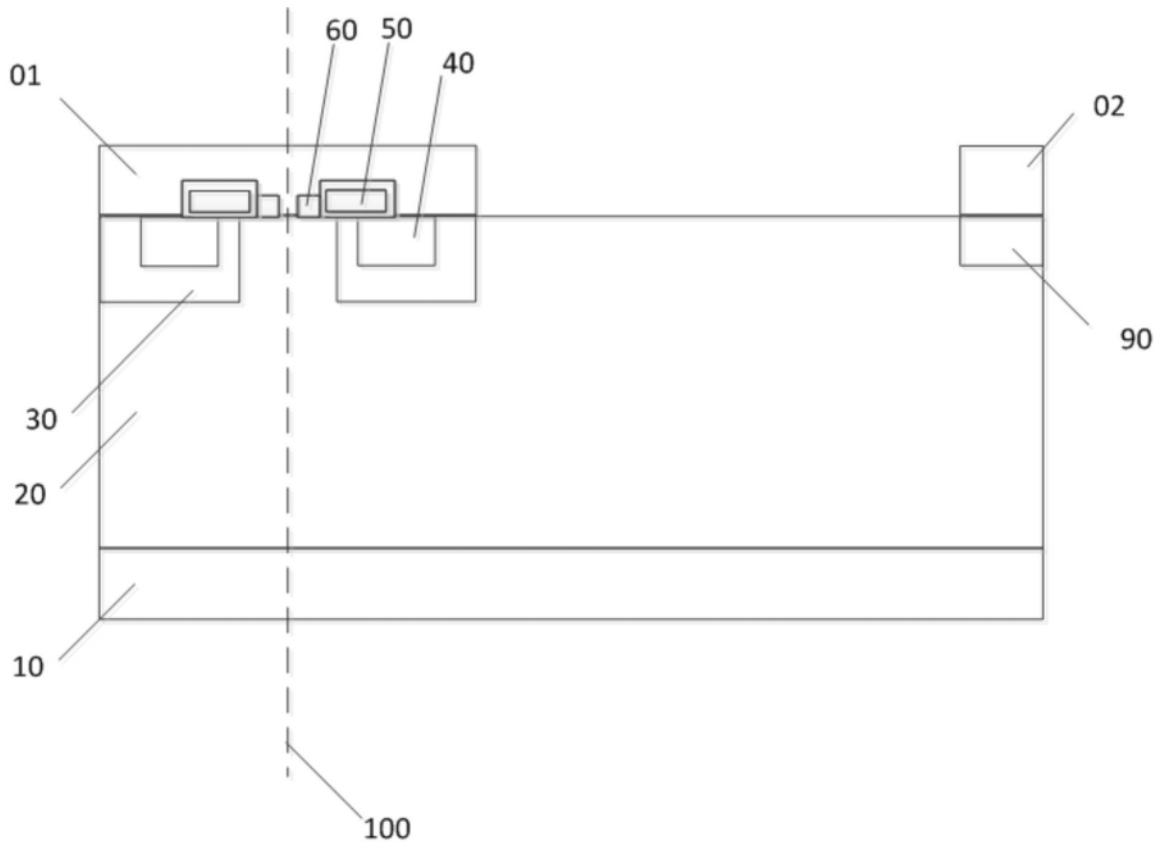


图8

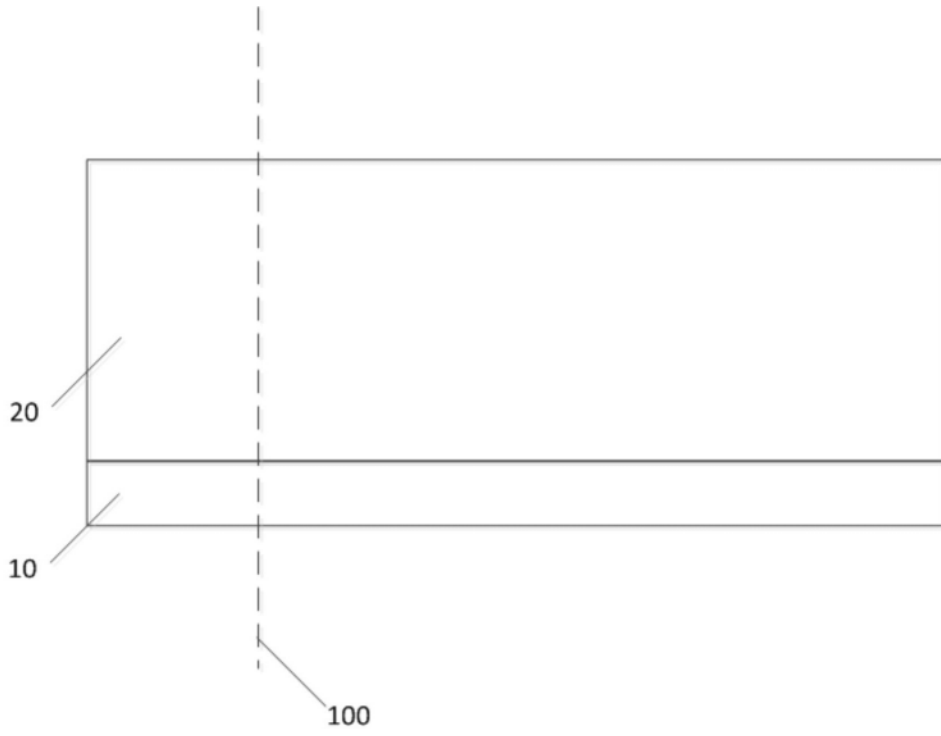


图9

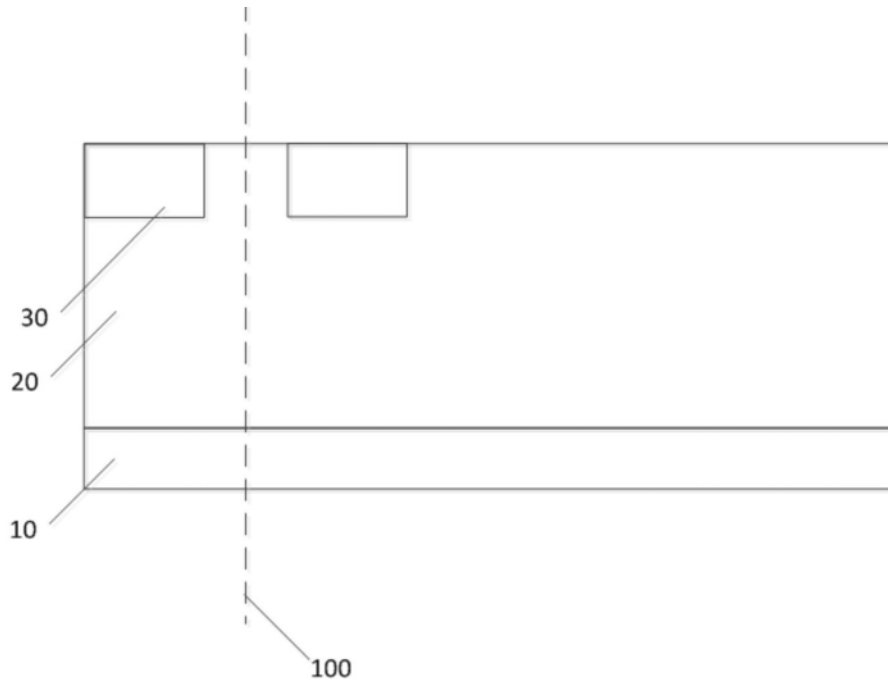


图10

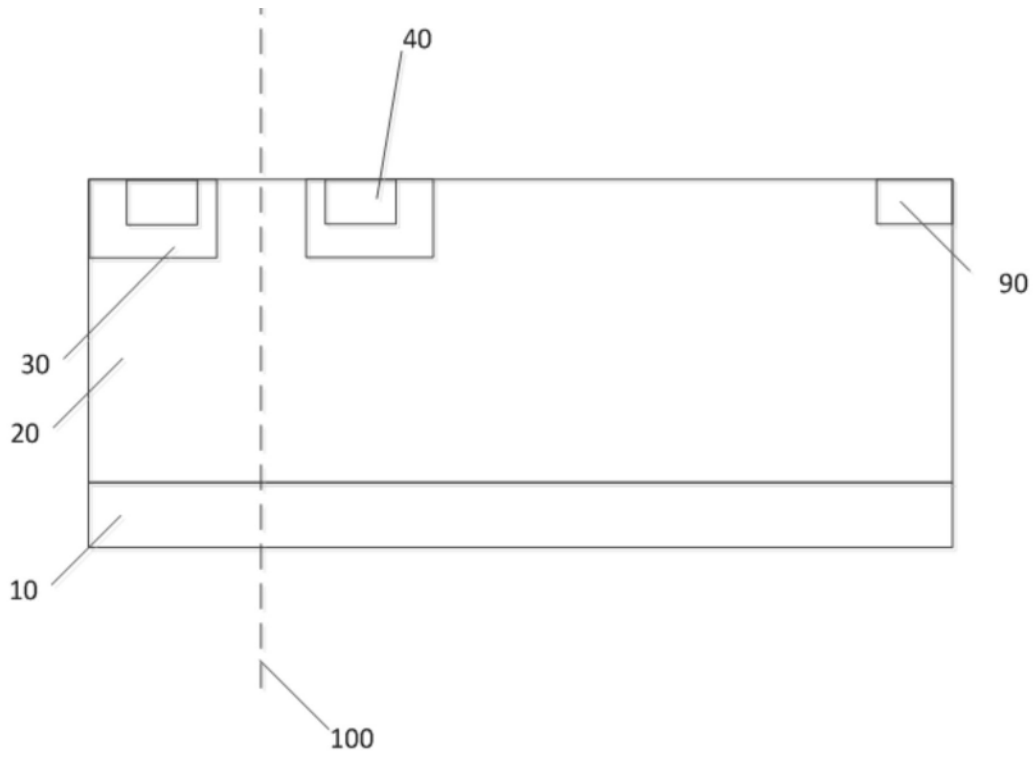


图11

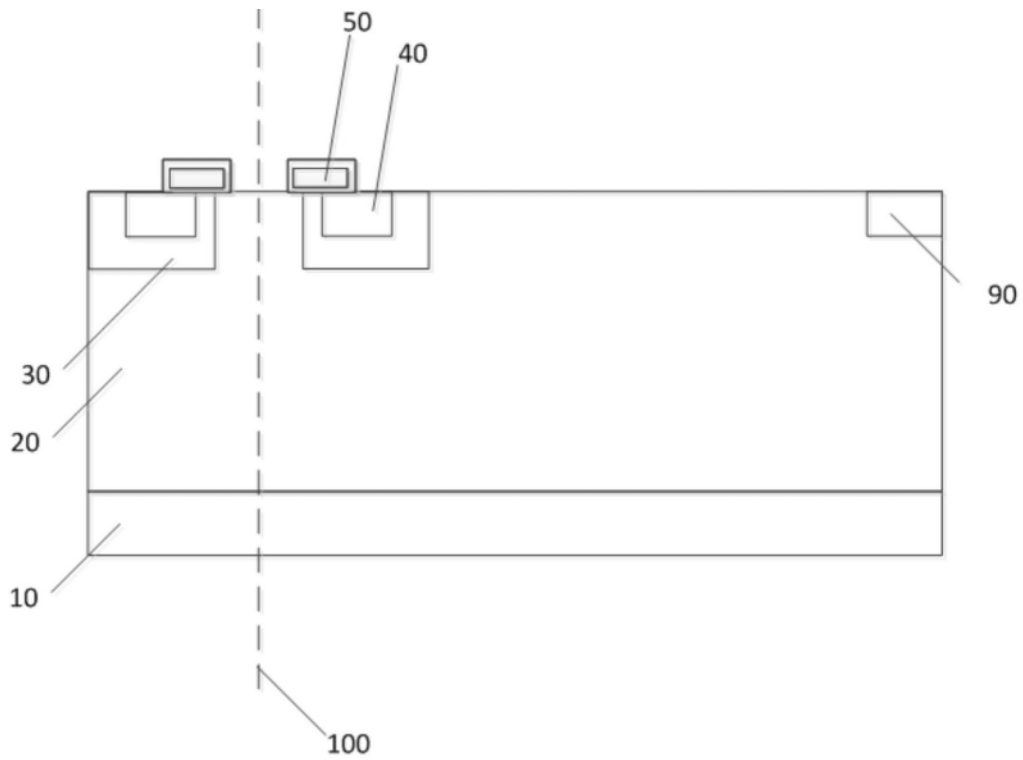


图12

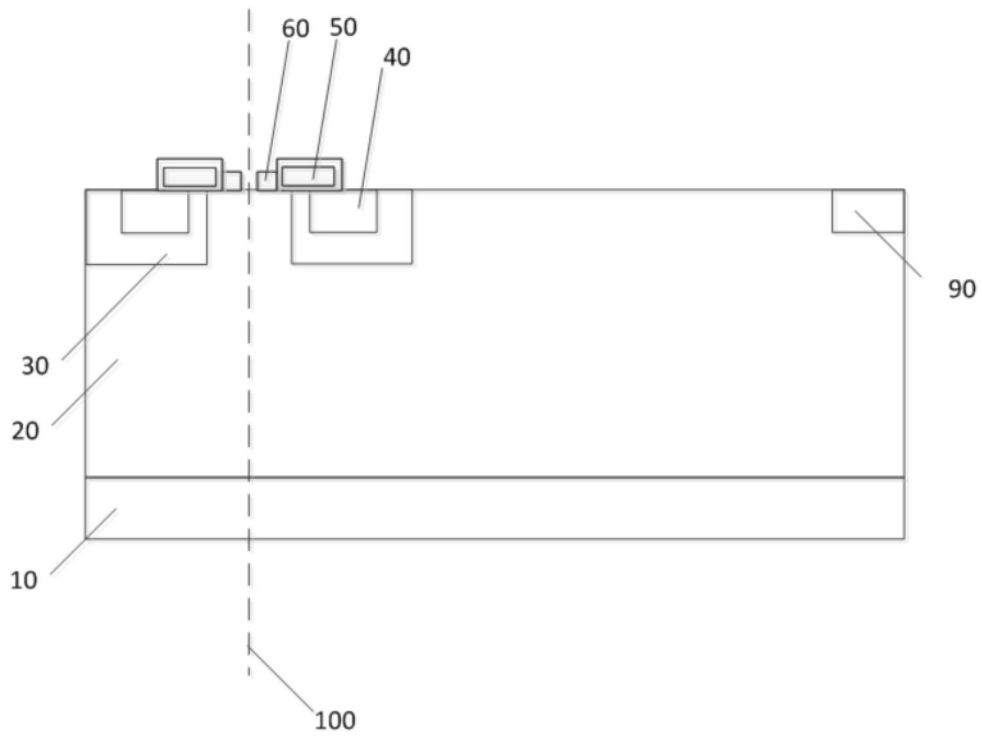


图13

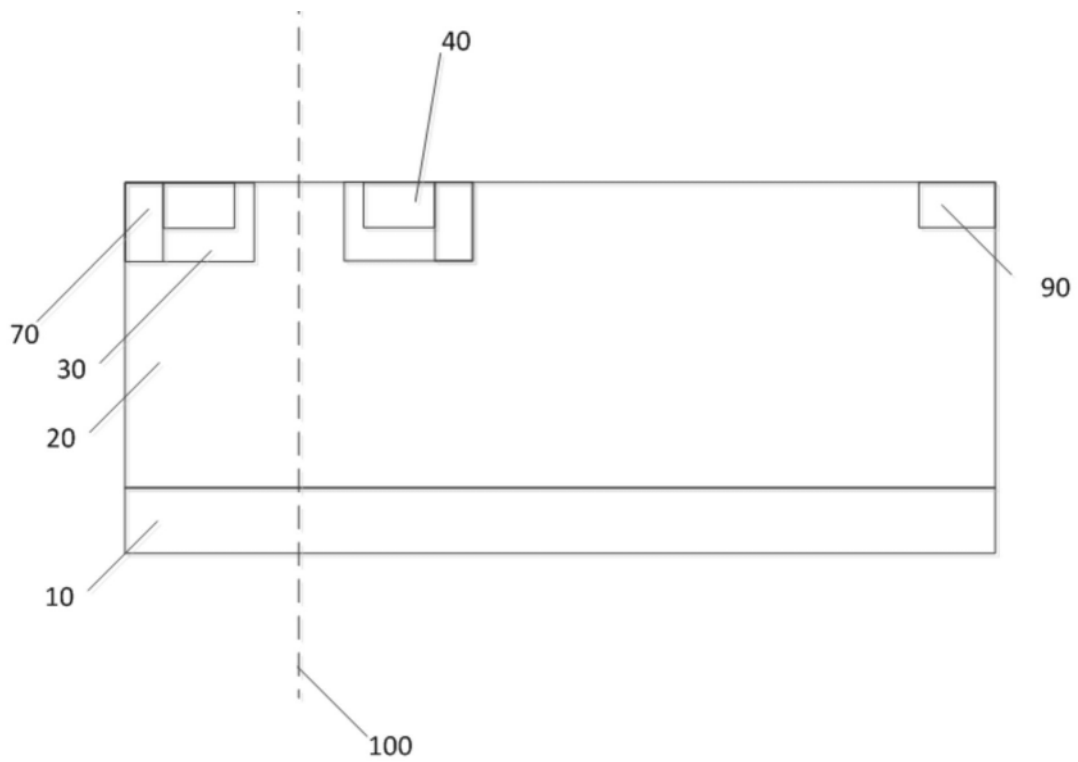


图14

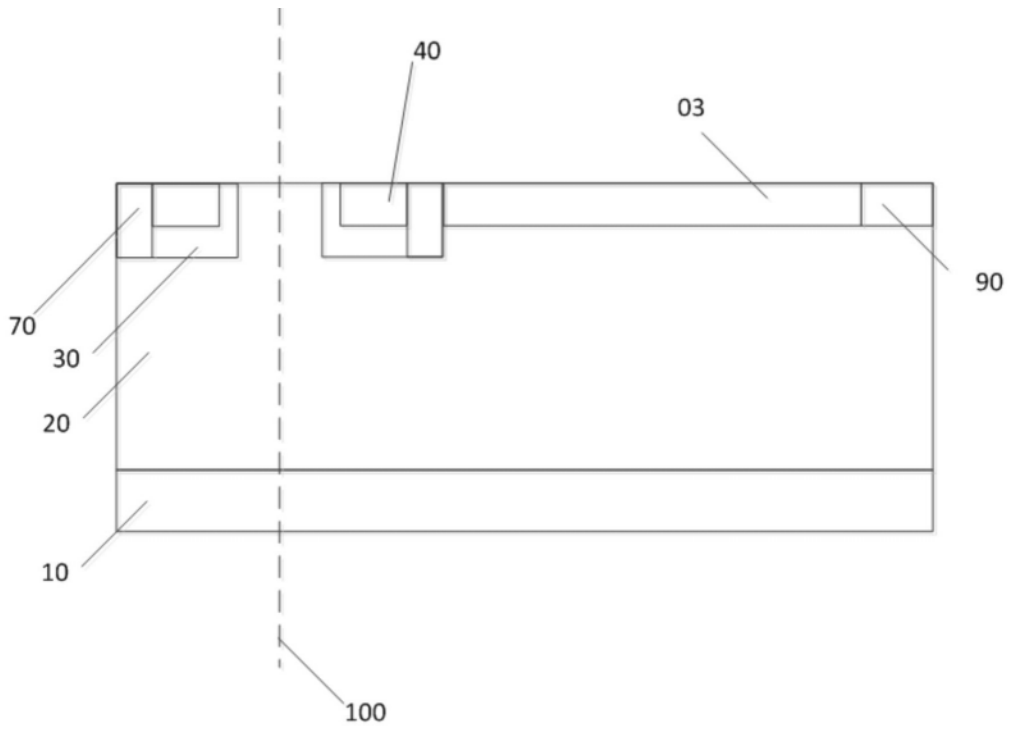


图15