



(12)发明专利

(10)授权公告号 CN 110024127 B

(45)授权公告日 2020.05.26

(21)申请号 201980000491.0

(22)申请日 2019.03.01

(65)同一申请的已公布的文献号
申请公布号 CN 110024127 A

(43)申请公布日 2019.07.16

(85)PCT国际申请进入国家阶段日
2019.04.15

(86)PCT国际申请的申请数据
PCT/CN2019/076717 2019.03.01

(73)专利权人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖开发区关
东科技工业园华光大道18号7018室

(72)发明人 刘峻 薛磊

(74)专利代理机构 北京永新同创知识产权代理
有限公司 11376

代理人 林锦辉

(51)Int.Cl.
H01L 27/11578(2017.01)
H01L 27/11563(2017.01)

审查员 陈龙

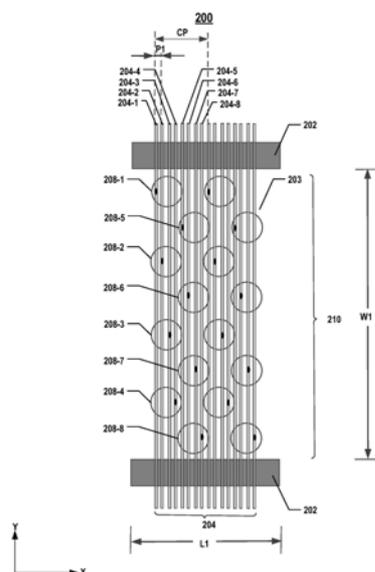
权利要求书2页 说明书13页 附图9页

(54)发明名称

具有增大数量的位线的架构的三维存储设备

(57)摘要

公开了三维(3D)存储设备的实施例。3D存储设备具有的架构具有增大数量的位线。在示例中,3D存储设备包括衬底;多个存储器串,每个存储器串在存储区域中在衬底上方垂直延伸;以及在多个存储器串上方的多条位线。多条位线中的至少一条位线电连接到多个存储器串中的单个存储器串。



1. 一种三维3D存储设备,包括:
衬底;
多个存储器串,每个存储器串在存储区域中在所述衬底上方垂直延伸;
多条位线,其在所述多个存储器串上方,其中,所述多条位线中的至少一条位线电连接到所述多个存储器串中的单个存储器串;以及
沿所述存储区域的边界横向延伸的至少一个缝隙结构。
2. 根据权利要求1所述的3D存储设备,其中,所述多个存储器串中的每一个存储器串电连接到所述多条位线中的单个不同的一条位线。
3. 根据权利要求1所述的3D存储设备,其中,
所述多个存储器串布置为在所述存储区域中沿第一横向方向和第二横向方向延伸的阵列,所述第一横向方向垂直于所述第二横向方向;并且
所述多条位线沿所述第一横向方向进行布置并且沿所述第二横向方向延伸,所述多条位线彼此平行,其中,
在存储区域中,布置在沿所述第一横向方向的沟道间距中的位线的数量等于电连接到沿所述第二横向方向的位线的存储器串的数量。
4. 根据权利要求3所述的3D存储设备,其中,
所述阵列布置在两个缝隙结构之间,每个缝隙结构沿所述第一横向方向横向延伸;并且
布置在所述沟道间距中的位线的数量等于在所述沟道间距中且在所述两个缝隙结构之间的存储器串的数量。
5. 根据权利要求3-4中的任一项所述的3D存储设备,其中,所述沟道间距中的位线均匀间隔,沿所述第一横向方向的位线间距标称上等于所述沟道间距的 $1/N$, N 等于所述沟道间距中的位线的数量。
6. 根据权利要求3-4中的任一项所述的3D存储设备,其中,所述阵列包括沿所述第二横向方向的至少六个串行。
7. 根据权利要求6所述的3D存储设备,其中, N 是正偶数。
8. 根据权利要求1-4中的任一项所述的3D存储设备,其中,所述多个存储器串均包括沟道结构和在所述沟道结构上方的漏极,所述漏极电连接到相应的位线。
9. 根据权利要求1-4中的任一项所述的3D存储设备,其中,没有切口结构与所述存储区域中的所述多个存储器串重叠,所述存储区域是指状物。
10. 根据权利要求9所述的3D存储设备,还包括横向延伸并与所述多个存储器串交叉的多个交错的导体层和绝缘层,其中,第一导体层沿着其在所述存储区域中延伸的方向连续延伸。
11. 一种三维3D存储系统,包括:
存储器叠层,其包括在衬底上方的绝缘结构中的多个交错的导体层和绝缘层;
多个存储器串,其沿存储区域的第一横向方向和第二横向方向在所述存储器叠层中延伸,所述多个存储器串中的每一个垂直延伸到所述衬底中;
多条位线,其在所述多个存储器串上方并且电连接到所述多个存储器串,其中,所述多条位线中的至少一条位线电连接到所述多个存储器串中的单个存储器串;

多个外围设备,其电连接到所述多个存储器串;以及
沿所述存储区域的边界横向延伸的至少一个缝隙结构。

12. 根据权利要求11所述的3D存储系统,其中,所述多个存储器串中的每一个存储器串电连接到所述多条位线中的单个不同的一条位线。

13. 根据权利要求11所述的3D存储系统,其中,

所述多个存储器串布置为在所述存储区域中沿所述第一横向方向和所述第二横向方向延伸的阵列,所述第一横向方向垂直于所述第二横向方向;并且

所述多条位线沿所述第一横向方向进行布置并且沿所述第二横向方向延伸,所述多条位线彼此平行,其中,

在存储区域中,布置在沿所述第一横向方向的沟道间距中的位线的数量等于电连接到沿所述第二横向方向的位线的存储器串的数量。

14. 根据权利要求13所述的3D存储系统,其中,

所述阵列布置在两个缝隙结构之间,每个缝隙结构沿所述第一横向方向横向延伸;并且

布置在所述沟道间距中的位线的数量等于在所述沟道间距中且在所述两个缝隙结构之间的存储器串的数量。

15. 根据权利要求13-14中的任一项所述的3D存储系统,其中,所述沟道间距中的位线均匀间隔,沿所述第一横向方向的位线间距标称上等于所述沟道间距的 $1/N$, N 等于所述沟道间距中的位线的数量。

16. 根据权利要求13-14中的任一项所述的3D存储系统,其中,所述阵列包括沿所述第二横向方向的至少六个串行。

17. 根据权利要求16所述的3D存储系统,其中, N 是正偶数。

18. 根据权利要求11-14中的任一项所述的3D存储系统,其中,所述多个存储器串均包括沟道结构和在所述沟道结构上方的漏极,所述漏极电连接到相应的位线。

19. 根据权利要求11-14中的任一项所述的3D存储系统,其中,没有切口结构与所述存储区域中的所述多个存储器串重叠,所述存储区域是指状物。

20. 根据权利要求19所述的3D存储系统,其中,第一导体层沿着其在所述存储区域中延伸的方向连续延伸。

具有增大数量的位线的架构的三维存储设备

技术领域

[0001] 本公开内容的实施例涉及存储设备及其制造方法。

背景技术

[0002] 通过改进工艺技术、电路设计、编程算法和制造工艺,将诸如存储单元等平面半导体设备缩放到更小的尺寸。然而,随着半导体设备的特征尺寸接近下限,平面工艺和制造技术变得具有挑战性且成本高。三维(3D)设备架构可以解决一些平面半导体设备(例如,闪存设备)的密度限制问题。

发明内容

[0003] 本文公开了3D存储设备及其制造方法的实施例。

[0004] 在一个示例中,3D存储设备包括衬底;多个存储器串,每个存储器串在存储区域中在衬底上方垂直延伸;以及在多个存储器串上方的多条位线。多条位线中的至少一条位线电连接到多个存储器串中的单个存储器串。

[0005] 在另一示例中,3D存储设备包括衬底、以及在平面图中沿第一横向方向和第二横向方向延伸的多个存储器串。多个存储器串中的每一个在存储区域中在衬底上方垂直延伸。3D存储设备还包括在多个存储器串上方沿第二横向方向延伸的多条位线。多条位线标称上彼此平行。3D存储设备还包括切口结构,切口结构在平面图中与多个存储器串中的至少一个重叠,并且沿着第二横向方向将多个存储器串划分为第一部分和第二部分。多个存储器串中的至少一个上方的位线的数量至少为三。

[0006] 在又一示例中,3D存储系统包括存储器叠层、多个存储器串、多条位线和多个外围设备。存储器叠层包括在衬底上方的绝缘结构中的多个交错的导体层和绝缘层。多个存储器串在平面图中沿存储区域的第一横向方向和第二横向方向在存储器叠层中延伸,多个存储器串中的每一个垂直延伸到衬底中。多条位线在多个存储器串上方并且电连接到多个存储器串。在一些实施例中,多条位线中的至少一条位线电连接到多个存储器串中的单个存储器串。多个外围设备电连接到多个存储器串。

[0007] 在又一示例中,3D存储系统包括存储器叠层、多个存储器串、切口结构、多条位线和多个外围设备。存储器叠层包括在衬底上方的绝缘结构中的多个交错的导体层和绝缘层。多个存储器串在平面图中沿第一横向方向和第二横向方向在存储器叠层中延伸,多个存储器串中的每一个垂直延伸到衬底中。切口结构在平面图中与多个存储器串中的至少一个重叠,并且沿着第二横向方向将多个存储器串划分为第一部分和第二部分。多条位线在多个存储器串上方并且电连接到多个存储器串。多条位线均彼此平行。多个存储器串中的至少一个上方的位线的数量至少为三。多个外围设备电连接到多个存储器串。

附图说明

[0008] 并入本文并形成说明书的一部分的附图示出了本公开内容的实施例,并且附图与

说明书一起进一步用于解释本公开内容的原理并且使得相关领域技术人员能够作出并使用本公开内容。

[0009] 图1示出了3D存储设备的平面图。

[0010] 图2-4均示出了根据本公开内容的一些实施例的示例性3D存储设备的平面图。

[0011] 图5A-5C示出了根据本公开内容的一些实施例的在示例性制造工艺的各个阶段的3D存储设备的横截面图。

[0012] 图6是根据本公开内容的一些实施例的用于形成3D存储设备的示例性方法的流程图。

[0013] 图7示出了根据本公开内容的一些实施例的具有示例性3D存储设备的示例性存储系统的横截面图。

[0014] 将参考附图来描述本公开内容的实施例。

具体实施方式

[0015] 尽管讨论了具体的配置和布置,但应该理解,这仅仅是为了说明的目的而进行的。相关领域的技术人员将认识到,在不脱离本公开内容的精神和范围的情况下,可以使用其他配置和布置。对于相关领域的技术人员显而易见的是,本公开内容还可以用于各种其他应用中。

[0016] 应当注意到,在说明书中对“一个实施例”、“实施例”、“示例性实施例”、“一些实施例”等的引用指示所描述的实施例可以包括特定的特征、结构或特性,但是每个实施例可能不一定包括该特定的特征、结构或特性。而且,这样的短语不一定指代相同的实施例。此外,当结合实施例描述特定特征、结构或特性时,无论是否明确描述,结合其他实施例来实现这样的特征、结构或特性都在相关领域的技术人员知识范围内。

[0017] 通常,可以至少部分地从上下文中的用法理解术语。例如,如本文所使用的术语“一个或多个”至少部分取决于上下文,可用于以单数意义描述任何特征、结构或特性,或可用于以复数意义描述特征、结构或特性的组合。类似地,至少部分取决于上下文,诸如“一”、“一个”或“所述”等术语同样可以被理解为表达单数用法或表达复数用法。另外,术语“基于”可以被理解为不一定旨在表达一组排他性的因素,而是可以替代地,同样至少部分地取决于上下文,允许存在不一定明确描述的其他因素。

[0018] 应当容易理解的是,本公开内容中的“在……上”、“在……之上”和“在……上方”的含义应以最宽泛的方式来解释,使得“在……上”不仅意味着“直接在某物上”,而且还包括其间具有中间特征或层的“在某物上”的含义,并且“在……之上”或“在……上方”不仅意味着“在某物之上”或“在某物上方”的含义,而且还可以包括其间没有中间特征或层的“在某物之上”或“在某物上方”的含义(即,直接在某物上)。如本文所使用的,术语“在……上方”和“在……之上”用于描述位线和存储器串之间的空间关系。在一些实施例中,“存储器串上方的位线”或类似的描述是指位线大致在存储器串上方的空间关系,并且位线和存储器串的正交投影可以在横向平面上具有重叠或不具有重叠。在一些实施例中,“存储器串上方的位线”或类似的描述是指位线和存储器串的正交投影在横向平面上具有至少部分重叠的空间关系。

[0019] 此外,为了便于描述,可以在本文使用诸如“在……之下”、“在……下方”、“下”、

“在……之上”、“上”等空间相对术语来描述如图所示的一个元件或特征与另一个(或多个)元件或特征的关系。除了附图中所示的取向之外,空间相对术语旨在涵盖设备在使用或操作中的不同取向。装置可以以其他方式定向(旋转90度或在其他取向)并且同样可以相应地解释本文使用的空间相关描述词。

[0020] 如本文所使用的,术语“衬底”是指在其上添加后续材料层的材料。衬底本身可以被图案化。添加在衬底顶部上的材料可以被图案化或可以保持未图案化。此外,衬底可以包括各种各样的半导体材料,例如硅、锗、砷化镓、磷化铟等。可替换地,可以由非导电材料(例如玻璃、塑料或蓝宝石晶圆)制成衬底。

[0021] 如本文所使用的,术语“层”是指包括具有厚度的区域的材料部分。层可以在整个下层或上层结构上方延伸,或者可以具有小于下层或上层结构的范围的范围。此外,层可以是厚度小于连续结构的厚度的均匀或不均匀连续结构的区域。例如,层可以位于连续结构的顶表面和底表面之间或在顶表面和底表面处的任何一对水平平面之间。层可以水平、垂直和/或沿着锥形表面延伸。衬底可以是层,衬底可以在其中包括一层或多层,和/或衬底可以在其上、上方和/或其下具有一层或多层。层可以包括多个层。例如,互连层可以包括一个或多个导体和触点层(其中形成有互连线 and/或过孔触点)以及一个或多个电介质层。

[0022] 如本文所使用的,术语“标称/标称上”是指在产品或工艺的设计阶段期间设定的部件或工艺操作的特性或参数的期望值或目标值、以及高于和/或低于期望值的值的范围。值的范围可以是由于制造工艺或公差的轻微变化而引起的。如本文所使用的,术语“约”表示可以基于与主题半导体设备相关联的特定技术节点而变化的给定量的值。基于特定的技术节点,术语“约”可以表示给定量的值,该给定量例如在该值的10-30%内变化(例如,值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$)。

[0023] 如本文所使用的,术语“3D存储设备”是指在横向取向的衬底上具有垂直取向的存储单元晶体管串(在本文中称为“存储器串”,例如NAND存储器串)的半导体设备,使得存储器串相对于衬底在垂直方向上延伸。如本文所使用的,x方向(或x轴)和y方向(或y轴)表示两个正交的横向方向。如本文所使用的,z方向(或z轴)表示垂直于x方向和y方向的方向/轴。如本文所使用的,术语“垂直/垂直地”表示标称上垂直于衬底的横向表面。

[0024] 在本公开内容中,采用平面图来示出部件(例如,位线和存储器串)之间的电气和空间关系。在一些实施例中,如图2-4所示,位线和存储器串之间的连接被示出为平面图中的存储器串的上部(例如,漏极)与位线之间的连接。

[0025] 在3D存储设备中,GLS将阵列区域划分为多个存储区域(例如,指状物)以便于数据访问和储存。通常被布置为阵列的存储器串分布在存储区域中,以形成便于各种数据操作(例如读取、写入和擦除)的存储单元。存储器串通常包括沟道结构、存储器串的在沟道结构上方的上部处的漏极、以及存储器串的在沟道结构下方的下部处的源极。源极是存储区域中的存储器串的阵列共源极(ACS)的一部分或与之电连接。位线在沟道结构上方并且跨GLS平行布置。漏极电连接到位线之一。存储区域通常包括顶部选择栅极切口(TSG切口,通常包括电介质材料),其将存储区域划分为两个平均的子区域(例如,页)。位线电连接到一页中的存储器串和另一页中的另一存储器串,因此可以一次在一页的存储单元中执行数据操作。在平面图中,通常在每页中在沟道间距(例如,相邻沟道结构之间或相邻存储器串之间的横向距离)中布置四条位线,因此位线间距(例如,两条相邻位线之间的横向距离)标称上

等于沟道间距的1/4。

[0026] 图1示出了3D存储设备100的平面图。如图1所示,在3D存储设备100中,多个存储器串108(例如,108-1、108-2和108-3)被分布为在存储区域110(例如,存储器指状物)中沿第一横向方向(例如,x方向)和第二横向方向(例如,y方向)延伸的阵列。存储器串108在交错的导体层和绝缘层的存储器叠层103中垂直和横向延伸。GLS 102沿第一横向方向延伸并且将存储区域110与其他设备/区域分开。TSG切口106沿第一横向方向延伸,并将存储区域110划分为页110-1和110-2。每个页110-1/110-2包括沿第一横向方向延伸的四个串行(例如,存储器串108的行)。在平面图中,TSG切口106与页110-1和110-2之间的串行(例如,包括存储器串108-3)重叠。多条位线104沿第二横向方向跨存储区域110延伸。每条位线104电连接到页110-1中的存储器串108和页110-2中的另一存储器串108。例如,位线104-1电连接到页110-1中的存储器串108-1和页110-2中的存储器串108-2。

[0027] 如图1所示,沟道间距CP指的是沿横向方向(例如,第一横向方向)在两个相邻存储器串108之间的横向距离。位线间距P0指的是沿横向方向(例如,第一横向方向)在两条相邻位线104之间的横向距离。在平面图中,如图1所示,四条位线104-1、104-2、104-3和104-4布置在沟道间距CP中,电连接到每个页110-1/110-2中的四个存储器串。位线间距P0标称上等于沟道间距CP的1/4。

[0028] 3D存储设备100可能具有一些缺点。例如,GLS 102之间的功能存储器串108(或功能存储单元)的数量可能受到TSG切口106占据的面积和每个页110-1/110-2中的串行数量的限制。如图1所示,TSG切口106位于页110-1和110-2之间,这导致页110-1和110-2之间的非功能串行(例如,存储器串108-3所在的串行)。在给定时间,可以访问一页(例如,110-1或110-2)的沟道间距CP中的四个存储器串108。页110-1/110-2的页大小(例如,数据容量)受位线间距P0的限制,位线间距P0标称上是沟道间距CP的1/4。增大页大小的一种方式是在增大沿第一横向方向的存储器串108的数量。然而,该方法可以增大导体层沿第一横向方向的尺寸,从而导致3D存储设备的读取时间和编程时间增大。

[0029] 根据本公开内容的各种实施例提供了3D存储设备的架构,其具有减小的位线间距和增大的位密度,因此在存储区域中具有增大的位线数量。位密度在本文中定义为每单位面积的数据位的数量(或数据容量)。在一些实施例中,布置在沟道间距中的每条位线电连接到存储区域中的单个存储器串,并且不需要在存储区域中形成TSG切口。相应3D存储设备可以在没有任何TSG切口的情况下起作用,从而增大了存储区域的位密度。在平面图中,至少六条位线布置在沟道间距中,从而允许在沟道间距中形成至少六个存储器串。该架构还可以符合期望地减小导体层沿第一横向方向的尺寸,从而减小导体层的RC时间常数并且得到更快的读取和编程操作。可以在给定时间访问更多的存储器串(或存储单元),从而增大页大小和数据吞吐量。

[0030] 在一些实施例中,3D存储设备包括GLS之间的一个或多个TSG切口以及在每个沟道间距中布置的增大数量的位线。TSG切口可以将存储区域划分为两页或更多页。作为示例,在GLS之间形成一个TSG切口以在存储区域中形成两页,并且可以在沟道间距中布置六条或更多条位线。每条位线可以电连接到一页中的一个存储器串和另一页中的另一个存储器串。该架构允许在相应页中在给定时间访问六个或更多个串行,从而增大位密度和页大小。类似地,可以减小导体层沿第一横向方向的尺寸,从而得到更快的读取和编程操作。

[0031] 图2示出了根据本公开内容的一些实施例的示例性3D存储设备200的平面图。3D存储设备200可以包括具有存储区域210(例如,指状物)的存储器叠层203、沿存储区域210的边界的一个或多个缝隙结构202(例如,GLS)、分布在存储区域210中的多个存储器串208(例如,NAND存储器串)、以及沿第二横向方向平行布置在存储器串208上方的多条位线204。位线204中的至少一条位线电连接到单个存储器串208。在一些实施例中,每条位线204电连接到单个不同的存储器串208。在一些实施例中,在存储区域210中不形成TSG切口(例如,在平面图中没有TSG切口与任何存储器串208重叠)。存储器串208可以包括沟道结构、存储器串208的上部处和沟道结构上方的漏极、以及存储器串208的下部处和沟道结构下方的源极。源极是存储区域中的存储器串208的ACS的一部分或电连接到存储区域中的存储器串208的ACS。漏极电连接到相应的位线204。在没有进一步说明的情况下,图3和图4中所示的存储器串308和408可以具有相似或相同的结构。

[0032] 如图2所示,存储器串208可以布置为沿第一横向方向和第二横向方向延伸的阵列。存储器串208可以沿第二横向方向布置为多个串行,并且沿第一横向方向布置为多个串列。位线204可以沿第二横向方向在存储器串208上方延伸。在一些实施例中,沟道间距CP包括沿第二横向方向布置为N个串行的N个存储器串。相邻串行中的存储器串208可以以交错图案进行布置,如图2所示。在一些实施例中,在平面图中,N条位线在沟道间距CP中布置在缝隙结构202之间。N条位线中的每一条电连接到单个不同的存储器串208。N条位线在沟道间距CP中均匀间隔开。在一些实施例中,位线间距P1标称上等于沟道间距CP的 $1/N$ 。3D存储设备200可以允许在数据操作期间同时访问存储区域210中的存储器串208。与3D存储设备100相比,减小了位线204沿第一横向方向的横向尺寸,沟道间距中的位线数量加倍,并且数据吞吐量和页大小均也加倍。因为在存储区域210中不形成TSG切口,所以在一个示例中3D存储设备200的位密度可以增大约10%。

[0033] 例如,在平面图中,八条位线(例如,204-1、204-2、204-3、204-4、204-5、204-6、204-7和204-8)可以布置在沟道间距CP中,布置在八个存储器串(例如,208-1、208-2、208-3、208-4、208-5、208-6、208-7和208-8)上方并且连接到这八个存储器串。在一些实施例中,每条位线204电连接到单个不同的存储器串208。如图2所示,位线204-1电连接到存储器串208-1,位线204-2电连接到存储器串208-2、.....、位线204-8电连接到存储器串208-8。位线204-1、.....、204-8可以均匀间隔开,并且位线间距P1可以标称上等于沟道间距CP的 $1/8$ 。

[0034] 在一些实施例中,四条位线204布置在每个存储器串208上方。在本公开内容中,存储器串上方的位线可以指代位线和存储器串的正交投影在横向平面(例如,xy平面)中至少部分地彼此重叠。例如,位线204-1、204-2、204-3和204-4可以在存储器串208-1、208-2、208-3和208-4中的每一个上方;并且位线204-5、204-6、204-7和204-8可以在存储器串208-5、208-6、208-7和208-8中的每一个上方。在一些实施例中,通过多重图案化工艺形成位线204。在一些实施例中,基于设计和制造工艺确定在沟道间距CP中布置的位线204的数量。布置在沟道间距CP中的位线204的数量可以是偶数或奇数。在一些实施例中,该数量是至少为6的偶数。通过在沟道间距CP中形成更多条位线204,可以在给定时间访问更多个存储器串208,从而增大3D存储设备的页大小。

[0035] 在这种架构中,TSG切口的形成是可选的。当不形成TSG切口时,减小了指状物宽度

W1 (例如, GLS之间沿第二横向方向的横向距离)。在给定的页大小下, 存储区域210中的较少区域可以用于形成存储器串208, 从而使得指状物长度L1减小 (例如, 指状物沿第一横向方向的横向距离)。因此, 可以减小存储器叠层203的导体层沿第一横向尺寸的尺寸, 从而使得导体层的RC时间常数减小。可以减少设备响应时间 (例如, 对诸如读取和编程操作之类的数据操作的响应时间)。

[0036] 图3示出了根据本公开内容的一些实施例的另一3D存储设备300的平面图。3D存储设备300可以包括具有存储区域310 (例如, 指状物) 的存储器叠层303、沿存储区域310的边界的一个或多个缝隙结构302 (例如, GLS) 302、分布在存储区域310中的多个存储器串308 (或存储器串308) 和沿着第二横向方向平行布置在存储器串308上方的多条位线304。位线304中的至少一条位线电连接到单个存储器串308。在一些实施例中, 每条位线304电连接到单个不同的存储器串308。在一些实施例中, 在存储区域310中不形成TSG切口 (例如, 在平面图中没有TSG切口与任何存储器串308重叠)。

[0037] 与3D存储设备200不同, 在平面图中, 六条位线304 (例如, 304-1、304-2、304-3、304-4、304-5和304-6) 可以布置在沟道间距CP中, 布置在六个存储器串308 (例如, 308-1、308-2、308-3、308-4、308-5和308-6) 上方并电连接到这六个存储器串308。例如, 位线304-1电连接到存储器串308-1, 位线304-2电连接到存储器串308-2、.....、位线304-6电连接到存储器串308-6。位线304-1、.....、304-6可以均匀间隔开, 并且位线间距P2可以标称上等于沟道间距CP的1/6。在一些实施例中, 三条位线304布置在每个存储器串308上方。例如, 位线304-1、304-2和304-3可以在存储器串308-1、308-2和308-3中的每一个上方; 并且位线304-5、304-6和304-7可以在存储器串308-4、308-5和308-6中的每一个上方。在一些实施例中, 通过多重图案化工艺形成位线304。

[0038] 与3D存储设备100相比, 位线间距P2减小到沟道间距CP的1/6, 并且在存储区域310中不形成TSG切口。存储区域310的指状物长度L2和指状物宽度W2都可以被减小。页大小和数据吞吐量可以均增大约50%。在给定相同页大小的情况下, 导体层的RC时间常数可以减少至少60%。在一些实施例中, 3D存储设备300的位密度类似于3D存储设备100。

[0039] 在一些实施例中, 在存储区域 (例如, 指状物) 210和310中不形成TSG切口, 并且导体层沿x方向和/或y方向连续延伸。即, 至少第一导体层 (例如, 导体层的最顶部上的导体) 可以沿着其延伸的横向方向连续延伸。在一些实施例中, 第一导体层沿其延伸的横向方向连续延伸。在一些实施例中, 第一导体层下方的一个或多个导体层沿着其延伸的横向方向连续延伸。在一些实施例中, 所有导体层沿着它们延伸的横向方向连续延伸。

[0040] 图4示出了根据本公开内容的一些实施例的另一3D存储设备400的平面图。3D存储设备400可以包括具有存储区域410的存储器叠层403、沿存储区域410的边界的一个或多个缝隙结构 (或GLS) 402、分布在存储区域410中的多个存储器串408 (或存储器串408)、沿第一横向方向延伸的TSG切口406 (或切口结构)、以及沿第二横向方向平行布置在存储器串408上方的多条位线404。TSG切口406可以将存储区域410划分为存储子区域 (410-1和410-2 (例如, 存储器页)), 每个存储子区域包括存储器串408的阵列的一部分。在一些实施例中, 在平面图中, TSG切口406与沿第二横向方向的串行重叠, 并且将存储器串408的阵列划分为两个平均的部分 (例如, 具有相同数量的存储器串408的两个部分和/或存储器串408的相同/对称布置)。

[0041] 在一些实施例中,在平面图中,每条位线404电连接到存储子区域410-1中的一个存储器串408和存储子区域410-2中的另一个存储器串408。同一存储子区域410-1/410-2中的每个存储器串408可以电连接到不同的位线404。在平面图中,N条位线布置在沟道间距CP中。在每个存储子区域410-1/410-2中(例如,在GLS 402和TSG切口406之间)在沟道间距中布置的存储器串408的数量可以等于N。N可以是至少6。在一些实施例中,N条位线均匀地布置在沟道间距CP中,并且位线间距P3标称上等于沟道间距CP的 $1/N$ 。在一些实施例中,存储区域410包括13个串行,并且存储子区域410-1和410-2中的每一个均包括沿第二横向方向延伸的六个串行。在一些实施例中,在平面图中,3条位线位于每个存储器串408上方。

[0042] 例如,如图4所示,位线404-1、404-2、404-3、404-4、404-5和404-6可以布置在沟道间距CP中并且布置在存储子区域410-1中的存储器串408-1、408-2、.....、和408-6以及存储子区域410-2中的存储器串408-7、408-8、.....、和408-12上方。位线404-1可以电连接到存储器串408-1和408-12,位线404-2可以电连接到存储器串408-2和408-11,位线404-3可以电连接到存储器串408-3和408-10,位线404-4可以电连接到存储器串408-4和408-9,位线404-5可以电连接到存储器串408-5和408-8,并且位线404-6可以电连接到存储器串408-6和408-7。在一些实施例中,位线404-1、404-2和404-3可以在存储器串408-1、408-2、408-3、408-10、408-11和408-12中的每一个上方。在一些实施例中,位线404-4、404-5和404-6可以在存储器串408-4、408-5、408-6、408-7、408-8和408-9中的每一个上方。

[0043] 与3D存储设备100相比,位线间距P3减小到沟道间距CP的 $1/6$,并且在存储区域410中形成TSG切口。页大小和数据吞吐量可以均增大约50%。在一些实施例中,与3D存储设备100相比,3D存储设备400的位密度增大了约10%。

[0044] 图5A-5C示出了根据本公开内容的一些实施例的在示例性制造工艺的各个阶段的3D存储设备的横截面图。图6是描述形成3D存储设备的制造方法600的流程图。操作602-608的具体顺序和制造方法受到不同的设计和制造要求的影响,并且不应受本公开内容的实施例的限制。图7是包括本公开内容中描述的3D存储设备的示例性系统700(例如,键合的半导体设备)。

[0045] 应当注意,x和y轴/方向包括在图5A-5C和图7中以进一步示出具有衬底502的3D存储设备和具有衬底708的系统700中的部件的空间关系。衬底502和衬底708均包括在x方向(即横向方向)上横向延伸的两个横向表面(例如,顶表面和底表面)。如本文所使用的,当衬底在y方向上位于半导体设备的最低平面中时,在y方向(即,垂直方向)上相对于半导体设备的衬底(例如,衬底502或衬底708)确定一个部件(例如,层或设备)是在半导体设备(例如,3D存储设备或者键合的半导体设备)的另一部件(例如,层或设备)“上”、“上方”还是“下方”。在整个本公开内容中,应用了相同概念来描述空间关系。

[0046] 参考图6,方法600包括操作602,其中在衬底上形成电介质叠层。衬底可以包括硅(例如,单晶硅)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)或任何其他合适的材料。电介质叠层可以包括多个电介质/牺牲层对。

[0047] 如图5A所示,在衬底502上方形成成对的第一电介质层510和第二电介质层(称为“牺牲层”)512(本文统称为“电介质层对”)。堆叠的电介质层对可以形成电介质叠层508。在一些实施例中,在衬底502和电介质叠层508之间形成诸如氧化硅膜等隔离层504。电介质叠层508可以包括牺牲层512和不同于牺牲层512的电介质层510的交替叠层。在一些实施例

中,每个电介质层对包括氮化硅层和氧化硅层。在一些实施例中,牺牲层512可以均具有相同的厚度或具有不同的厚度。类似地,电介质层510可以均具有相同的厚度或具有不同的厚度。可以通过一种或多种薄膜沉积工艺(包括但不限于化学气相沉积(CVD)、物理气相沉积(PVD)、原子层沉积(ALD)或其任何组合)形成隔离层504和电介质叠层508。

[0048] 如图6所示,方法600前进到操作604,其中形成多个存储器串,每个存储器串垂直延伸穿过电介质叠层。如图5B所示,在衬底502上形成存储器串514,每个存储器串垂直地延伸穿过电介质叠层508并位于衬底502上方。在一些实施例中,每个存储器串514可以包括分别位于其下部和上部的下半导体插塞506和的上半导体插塞507。下半导体插塞506可以是存储器串514的源极(例如,相应存储区域中的存储器串的ACS)的至少一部分。在一些实施例中,形成存储器串514的制造工艺包括蚀刻穿过电介质叠层508的沟道孔并在沟道孔的下部形成下半导体插塞506。可以通过干法蚀刻和/或湿法蚀刻(例如深反应离子蚀刻(RIE))形成沟道孔,并且下半导体插塞506可以从衬底502外延生长到沟道孔的下部中。

[0049] 在一些实施例中,形成存储器串514的制造工艺还包括沿沟道孔的侧壁形成存储膜516。存储膜516可以是多个电介质层的组合,包括但不限于隧穿层、储存层和阻挡层。隧穿层可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。储存层可以包括用于存储用于存储器操作的电荷的材料。储存层的材料可以包括但不限于氮化硅、氮氧化硅、氧化硅和氮化硅的组合、或其任何组合。阻挡层可以包括电介质材料,包括但不限于氧化硅或氧化硅/氮氧化硅/氧化硅(ONO)的组合。阻挡层还可以包括高k电介质层,例如氧化铝层。

[0050] 在一些实施例中,形成存储器串514的制造工艺还包括在存储膜516上方形成半导体沟道518并在半导体沟道518上方形成填充层520以部分或完全填充沟道孔的剩余空间。半导体沟道518可以包括半导体材料,例如多晶硅。填充层520可以包括电介质材料,例如氧化硅。可以通过诸如ALD、CVD、PVD、任何其他合适的工艺或其任何组合之类的工艺形成填充层520、半导体沟道518和存储膜516。

[0051] 在一些实施例中,上半导体插塞507形成在存储器串514的上部,作为存储器串514的漏极。可以通过以下操作来形成上半导体插塞507:通过干法蚀刻和/或湿法蚀刻对存储器串514的上部进行回蚀刻,然后进行一种或多种沉积工艺,例如ALD、CVD、PVD、任何其他合适的工艺、或其任何组合,以将诸如多晶硅等半导体材料沉积到通过回蚀刻工艺形成的凹槽中。

[0052] 如图6所示,方法600前进到操作606,其中由电介质叠层形成存储器叠层,并且在存储器叠层中形成缝隙结构。如图5C所示,将缝隙结构530形成为在由电介质叠层508形成的存储器叠层528中垂直延伸。缝隙结构530对应于图2-4中所示的缝隙结构202、302和402,缝隙结构530可以包括电介质结构532和电介质结构532中的源极触点534。源极触点534可以延伸到衬底502并且电连接到存储器串514的ACS。在一些实施例中,重复蚀刻电介质叠层508以形成电介质/牺牲层对的阶梯结构。可以在阶梯结构中形成缝隙开口,从而暴露衬底502。缝隙开口可以对应于缝隙结构530。然后通过缝隙开口用多个导体层替换电介质/牺牲层对中的被蚀刻的牺牲层,以形成多个导体/电介质层对(例如,510-2/512-2)。导体层512-2可以包括任何合适的导电材料,例如钨、铜、铝和/或钴。在一些实施例中,缝隙开口填充有电介质材料,并且导电材料形成在电介质材料中,从而形成电介质结构532和源极触点

534。源极触点可以电连接到存储器串514的ACS。电介质结构可以包括任何合适的电介质材料,例如氧化硅、氮化硅和/或氮氧化硅。源极触点可以由任何合适的导电材料制成,例如钨、铜、钴、铝、硅和/或硅化物。在一些实施例中,形成电连接到导体层512-2的字线过孔触点(或过孔触点)。

[0053] 如图6所示,方法600前进到操作608,其中在存储器串上方形成多条位线。在一些实施例中,多条位线中的至少一条电连接到多个存储器串中的单个存储器串。在一些实施例中,至少三条位线在一个存储器串上方。可以形成阵列互连层,其包括在一个或多个层间电介质(ILD)层中的多个互连。如图5C所示,阵列互连层522可以形成在电介质叠层508和存储器串514上方。阵列互连层522可以包括在一个或多个ILD层中的互连,例如位线524,用于往来于存储器串514传输电信号。在一些实施例中,在形成阵列互连层522之前,可以在形成在存储器叠层528上方的ILD层中形成位线触点526,使得每个位线触点526在相应的存储器串514的上半导体插塞507(源极)上方并与之接触,且在相应的位线524下方并与之接触。在一些实施例中,位线524的布置和布局可以参考对图2-4中的位线204、304和404的描述,并且本文不再对其重复。

[0054] 在一些实施例中,阵列互连层522包括在多个工艺中形成的多个ILD层和其中的互连。例如,位线524可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀敷或其任何组合)沉积的导电材料。形成位线524的制造工艺还可以包括光刻、化学机械抛光(CMP)、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积的电介质材料。图5C中所示的ILD层和互连可以统称为“互连层”(例如,阵列互连层522)。

[0055] 形成的存储器叠层可以与存储系统的其他部分耦合,以便于诸如读取、写入和擦除等操作。图7示出了包括由制造方法600形成的3D存储设备的系统700的横截面图。系统700可以包括键合的半导体设备。

[0056] 系统700表示根据本公开内容的实施例的包括3D存储设备的存储系统的示例。系统700可以包括衬底708,衬底708可以包括硅(例如,单晶硅)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)或任何其他合适的材料。系统700可以包括两个半导体结构,即存储器阵列设备芯片702和外围设备芯片704,存储器阵列设备芯片702包括在图2-4中的任何一个中描述的3D存储设备,外围设备芯片704在键合界面706处以面对面的方式键合在存储器阵列设备芯片702的顶部上。应当注意,外围设备芯片704在本文中仅用作对系统的部件进行说明的示例。在一些实施例中,外围设备与3D存储设备形成在相同的衬底上,或者堆叠在3D存储设备的上方或下方,或者堆叠在3D存储设备的侧面上。在一些实施例中,作为混合键合(也称为“金属/电介质混合键合”)的结果,在存储器阵列设备芯片702和外围设备芯片704之间设置键合界面706,混合键合是直接键合技术(例如,在不使用中间层(例如焊料或粘合剂)的情况下在表面之间形成键合),并且可以同时获得金属-金属键合和电介质-电介质键合。在一些实施例中,键合界面706是存储器阵列设备芯片702和外围设备芯片704相遇和键合的位置。实际上,键合界面706可以是具有特定厚度的层,其包括存储器阵列设备芯片702的顶表面和外围设备芯片704的底表面。

[0057] 在一些实施例中,存储器阵列设备芯片702是NAND闪存设备,其中存储单元是以存储器阵列设备层734中的存储器串710(例如,NAND存储器串)的阵列的形式提供的。存储器

阵列设备层734可以设置在衬底708上。在一些实施例中,每个存储器串710垂直延伸穿过多个对,每个对包括导体层和电介质层(本文称为“导体/电介质层对”)。堆叠的导体/电介质层对在本文中统称为存储器阵列设备层734中的存储器叠层712。存储器叠层712中的导体层和电介质层可以在垂直方向上交替堆叠。每个存储器串710可以包括半导体沟道和复合电介质层(也称为“存储膜”),复合电介质层包括隧穿层、储存层(也称为“电荷捕获/储存层”)和阻挡层(未示出)。存储器串710的结构可以与图5C中所述的存储器串514相同或相似,并且存储器串710的横向布置可以参考图2-4中所述的半导体沟道/存储器串(例如,208、308和408)的横向布置。在一些实施例中,存储器阵列设备层734还包括垂直延伸穿过存储器叠层712的栅极线缝隙(“GLS”)或缝隙结构714。GLS 714可以用于通过栅极替换工艺在存储器叠层712中形成导体/电介质层对,并且可以用导电材料填充,以电连接存储器串710的ACS。

[0058] 在一些实施例中,存储器阵列设备芯片702还包括在存储器阵列设备层734上方的阵列互连层736,以便于往来于存储器串710传输电信号。如图7所示,阵列互连层736可以包括多个互连(本文也称为“触点”),包括垂直互连接入(过孔)触点716和横向互连线718。如本文所使用的,术语“互连”可以广泛地包括任何合适类型的互连,例如中段制程(MEOL)互连和后段制程(BEOL)互连。阵列互连层736还可以包括一个或多个层间电介质(ILD)层(也称为“金属间电介质(IMD)层”),其中可以形成位线746、位线触点748、互连线718和过孔触点716。位线触点748可以位于位线746和存储器串710之间。位线触点748可以电连接到位线746和存储器串710的上部(例如,存储器串710的漏极)以在位线746和存储器串710之间传送信号/数据。位线746的详细描述可以参考对图2-4中的位线的描述,并且本文不再对其重复。

[0059] 如图7所示,存储器阵列设备芯片702还可以包括键合层738,键合层738在键合界面706处并且位于阵列互连层736和存储器阵列设备层734上方。键合层738可以包括多个键合触点730和使键合触点730电隔离的电介质。键合触点730可以包括导电材料,包括但不限于钨、钴、铜、铝、硅化物或其任何组合。键合层738的剩余区域可以用电介质形成,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。键合层738中的键合触点730和周围电介质可用于混合键合。

[0060] 外围设备芯片704可以包括外围设备层740中的设置在半导体层720(例如减薄的衬底)下方的多个晶体管722。在一些实施例中,外围设备层740可以包括用于便于系统700的操作的任何合适的数字、模拟和/或混合信号外围设备。例如,外围设备可以包括页缓冲器、解码器(例如,行解码器和列解码器)、读出放大器、驱动器、电荷泵、电流或电压基准设备、或电路的任何有源或无源部件(例如,晶体管、二极管、电阻器或电容器)中的一个或多个。外围设备层740中的外围设备可以通过一个或多个互连层电连接到存储器串710。

[0061] 与存储器阵列设备芯片702类似,外围设备芯片704还可以包括设置在外围设备层740下方的外围互连层742,以便于往来于晶体管722传输电信号。外围互连层742可以包括多个互连,包括一个或多个ILD层中的互连线726和过孔触点724。在一些实施例中,外围设备芯片704还包括垂直延伸穿过半导体层720的过孔触点728(例如,如果半导体层720是减薄的硅衬底,则过孔触点728是穿硅过孔(TSV))。在一些实施例中,外围设备芯片704还包括在晶体管722和半导体层720上方的BEOL互连层(未示出)。在一些实施例中,BEOL互连层包

括可以在系统700和外部电路之间传输电信号的任何合适的BEOL互连和接触焊盘。

[0062] 如图7所示,外围设备芯片704还可以包括在键合界面706处以及外围互连层742和外围设备层740下方的键合层744。键合层744可以包括多个键合触点732和使键合触点732电隔离的电介质。键合触点732可以包括导电材料,包括但不限于钨、钴、铜、铝、硅化物或其任何组合。键合层744的剩余区域可以用电介质形成,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。键合层744中的键合触点732和周围电介质可以用于混合键合。

[0063] 本公开内容的实施例提供了一种3D存储设备。在一些实施例中,3D存储设备包括衬底;多个存储器串,每个存储器串在存储区域中在衬底上方垂直延伸;以及在多个存储器串上方的多条位线。多条位线中的至少一条电连接到多个存储器串中的单个存储器串。

[0064] 在一些实施例中,多个存储器串中的每一个存储器串电连接到多条位线中的单个不同的一条位线。

[0065] 在一些实施例中,3D存储设备还包括沿存储区域的边界横向延伸的至少一个缝隙结构。

[0066] 在一些实施例中,多个存储器串布置为在存储区域中沿第一横向方向和第二横向方向延伸的阵列。第一横向方向可以垂直于第二横向方向。多条位线可以沿第一方向进行布置并且沿第二横向方向延伸,多条位线彼此平行。在平面图中,布置在沿第一横向方向的沟道间距中的位线的数量可以等于电连接到沿第二横向方向的位线的存储器串的数量。

[0067] 在一些实施例中,阵列布置在两个缝隙结构之间,每个缝隙结构沿第一方向横向延伸。在平面图中,布置在沟道间距中的位线的数量可以等于在沟道间距中且在两个缝隙结构之间的存储器串的数量。

[0068] 在一些实施例中,在平面图中,沟道间距中的位线均匀间隔,沿第一横向方向的位线间距标称上等于沟道间距的 $1/N$ 。 N 可以等于沟道间距中的位线的数量。

[0069] 在一些实施例中,阵列包括沿第二横向方向的至少六个串行。

[0070] 在一些实施例中, N 是正偶数。

[0071] 在一些实施例中,多个存储器串均包括沟道结构和在沟道结构上方的漏极。漏极可以电连接到相应的位线。

[0072] 在一些实施例中,在平面图中,没有切口结构与存储区域中的多个存储器串重叠,存储区域是指状物。

[0073] 在一些实施例中,3D存储设备还包括横向延伸并与多个存储器串交叉的多个交错的导体层和绝缘层。第一导体层可以沿着其在存储区域中延伸的方向连续延伸。

[0074] 本公开内容的实施例还提供另一种3D存储设备。3D存储设备包括衬底、以及在平面图中沿第一横向方向和第二横向方向延伸的多个存储器串。多个存储器串中的每一个在存储区域中在衬底上方垂直延伸。3D存储设备还包括在多个存储器串上方沿第二横向方向延伸的多条位线。多条位线标称上彼此平行。3D存储设备还包括切口结构,切口结构在平面图中与多个存储器串中的至少一个重叠,并且沿着第二横向方向将多个存储器串划分为第一部分和第二部分。多个存储器串中的至少一个上方的位线的数量至少为三。

[0075] 在一些实施例中,多个存储器串的第一部分和第二部分包括沿第二横向方向的相同数量的串行和沿第一横向方向的相同数量的串列。多条位线中的每一条可以电连接到第

一部分中的一个存储器串和第二部分中的另一个存储器串。

[0076] 在一些实施例中,多个存储器串布置为沿第一横向方向和第二横向方向延伸的阵列,并且多个存储器串的第一部分和第二部分中的每一个包括沿第二横向方向的偶数个串行。

[0077] 在一些实施例中,第一部分和第二部分中的每一个包括沿第二横向方向的N个串行,并且沟道间距包括沿第一横向方向布置的N条位线。位线间距可以标称上为沿第一横向方向的沟道间距的 $1/N$ 。N可以至少等于6。

[0078] 在一些实施例中,N是正偶数。

[0079] 在一些实施例中,多个存储器串均包括沟道结构和在沟道结构上方的漏极,漏极电连接到相应的位线。

[0080] 本公开内容的实施例提供了一种3D存储系统。3D存储系统包括存储器叠层、多个存储器串、多条位线和多个外围设备。存储器叠层可以包括在衬底上方的绝缘结构中的多个交错的导体层和绝缘层。多个存储器串可以在平面图中沿第一横向方向和第二横向方向在存储器叠层中延伸,多个存储器串中的每一个垂直延伸到衬底中。多条位线可以在多个存储器串上方并且电连接到多个存储器串。在一些实施例中,多条位线中的至少一条电连接到多个存储器串中的单个存储器串。多个外围设备电连接到多个存储器串。

[0081] 在一些实施例中,多个存储器串中的每一个存储器串电连接到多条位线中的单个不同的一条位线。

[0082] 在一些实施例中,3D存储系统还包括沿存储区域的边界横向延伸的至少一个缝隙结构。

[0083] 在一些实施例中,多个存储器串布置为在存储区域中沿第一横向方向和第二横向方向延伸的阵列。第一横向方向可以垂直于第二横向方向。在一些实施例中,多条位线沿第一方向进行布置并且沿第二横向方向延伸,多条位线彼此平行。在平面图中,布置在沿第一横向方向的沟道间距中的位线的数量可以等于电连接到沿第二横向方向的位线的存储器串的数量。

[0084] 在一些实施例中,阵列布置在两个缝隙结构之间,每个缝隙结构沿第一方向横向延伸。在一些实施例中,在平面图中,布置在沟道间距中的位线的数量等于在沟道间距中且在两个缝隙结构之间的存储器串的数量。

[0085] 在一些实施例中,在平面图中,沟道间距中的位线均匀间隔。沿第一横向方向的位线间距可以标称上等于沟道间距的 $1/N$,N等于沟道间距中的位线的数量。

[0086] 在一些实施例中,阵列包括沿第二横向方向的至少六个串行。

[0087] 在一些实施例中,N是正偶数。

[0088] 在一些实施例中,多个存储器串均包括沟道结构和在沟道结构上方的漏极。漏极可以电连接到相应的位线。

[0089] 在一些实施例中,在平面图中,没有切口结构与存储区域中的多个存储器串重叠,存储区域是指状物。

[0090] 在一些实施例中,第一导体层沿着其在存储区域中延伸的方向连续延伸。

[0091] 本公开内容的实施例提供了一种3D存储系统。3D存储系统包括存储器叠层、多个存储器串、切口结构、多条位线和多个外围设备。存储器叠层可以包括在衬底上方的绝缘结

构中的多个交错的导体层和绝缘层。多个存储器串可以在平面图中沿第一横向方向和第二横向方向在存储器叠层中延伸,多个存储器串中的每一个垂直延伸到衬底中。切口结构在平面图中可以与多个存储器串中的至少一个重叠,并且沿着第二横向方向将多个存储器串划分为第一部分和第二部分。多条位线可以在多个存储器串上方并且电连接到多个存储器串。多条位线可以均彼此平行。多个存储器串中的至少一个上方的位线的数量可以至少为三。多个外围设备可以电连接到多个存储器串。

[0092] 在一些实施例中,多个存储器串的第一部分和第二部分包括沿第二横向方向的数量相同的串行和沿第一横向方向的数量相同的串列。在一些实施例中,多条位线中的每一条电连接到第一部分中的一个存储器串和第二部分中的另一个存储器串。

[0093] 在一些实施例中,多个存储器串布置为沿第一横向方向和第二横向方向延伸的阵列。在一些实施例中,多个存储器串的第一部分和第二部分中的每一个包括沿第二横向方向的偶数个串行。

[0094] 在一些实施例中,在平面图中,第一部分和第二部分中的每一个包括沿第二横向方向的N个串行。沟道间距可以包括沿第一横向方向布置的N条位线。位线间距可以标称为沿第一横向方向的沟道间距的 $1/N$,N至少等于6。

[0095] 在一些实施例中,N是正偶数。

[0096] 在一些实施例中,多个存储器串均包括沟道结构和在沟道结构上方的漏极,漏极电连接到相应的位线。

[0097] 以上对具体实施例的描述将揭示本公开内容的总体性质,以使得其他人可以通过应用本领域技术内的知识来容易地修改和/或改变这些具体实施例的各种应用,而无需过度实验,且不脱离本公开内容的总体构思。因此,基于本文给出的教导和指导,这样的改变和修改旨在处于所公开的实施例的等同变换的含义和范围内。应该理解的是,本文中的措辞或术语是出于描述的目的而非限制的目的,使得本说明书的术语或措辞将由本领域技术人员根据教导和指导来解释。

[0098] 上面已经借助于功能构件块描述了本公开内容的实施例,该功能构件块示出了特定功能及其关系的实施方式。为了描述的方便,本文任意定义了这些功能构件块的边界。只要适当地执行了特定功能及其关系,就可以定义可替换的边界。

[0099] 发明内容和摘要部分可以阐述由(一个或多个)发明人设想的本公开内容的一个或多个但不是全部的示例性实施例,并且因此不旨在以任何方式限制本公开内容和所附权利要求。

[0100] 本公开内容的广度和范围不应受任何上述示例性实施例的限制,而应仅根据下列权利要求及其等同变换来限定。

100

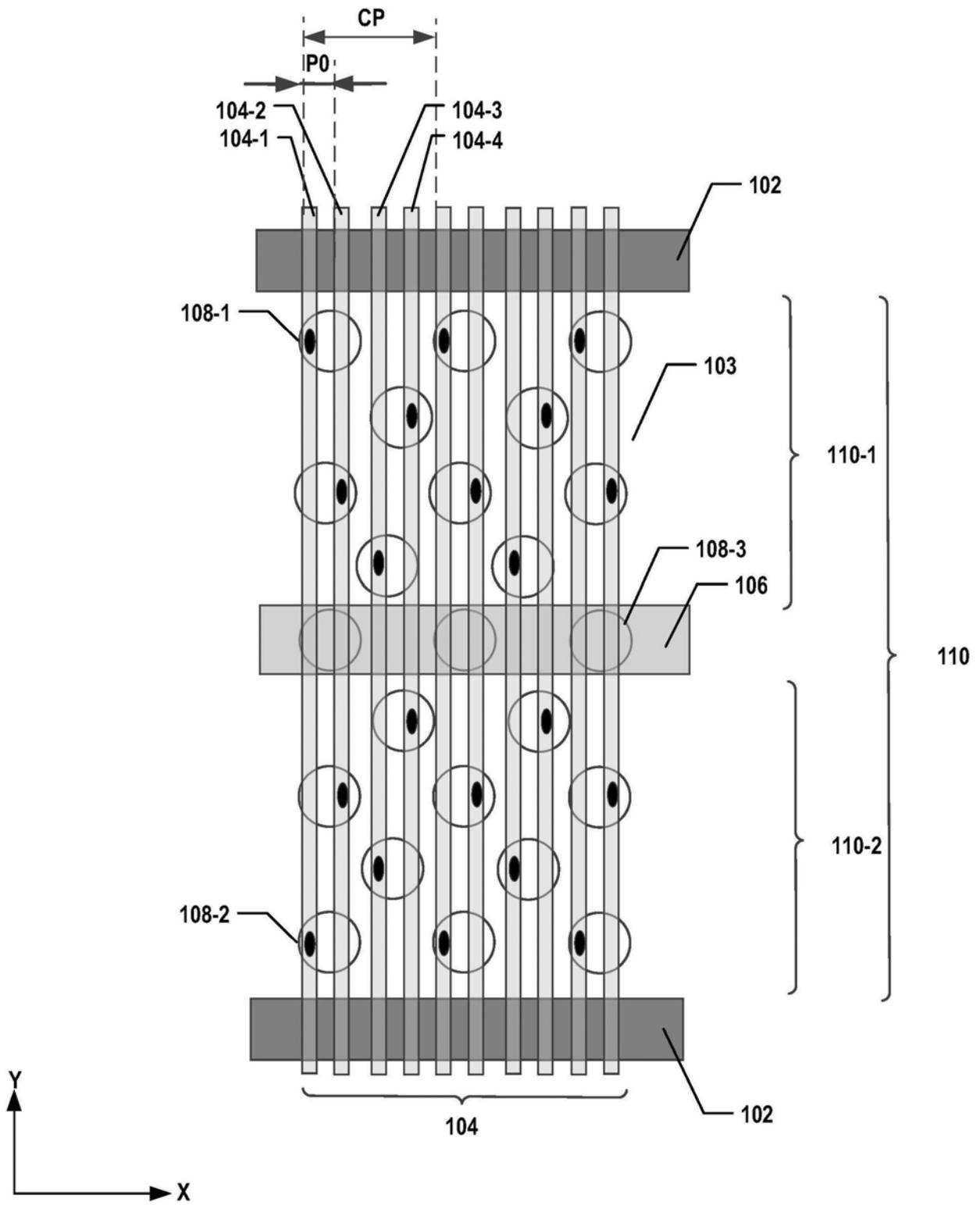


图1

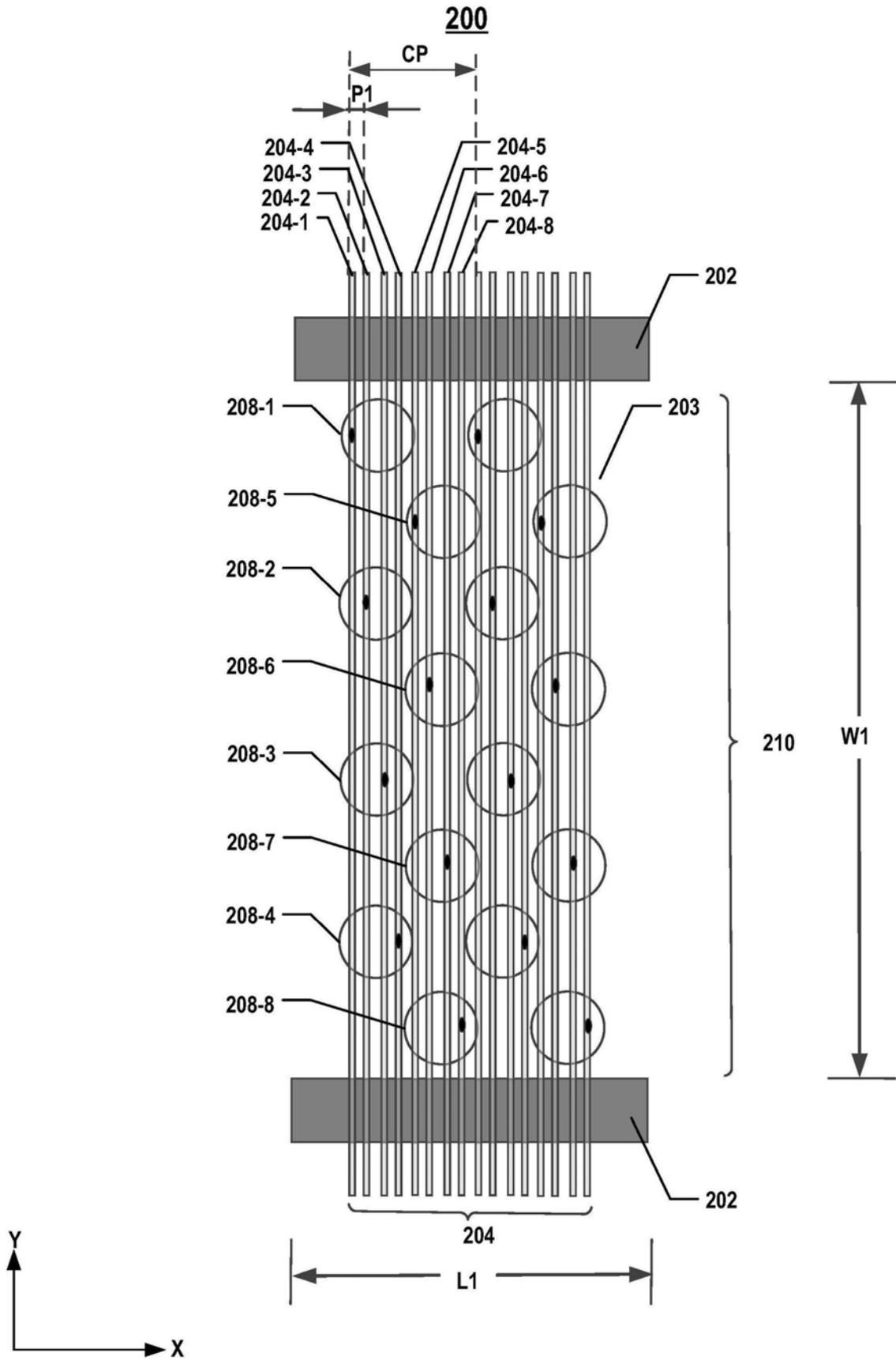


图2

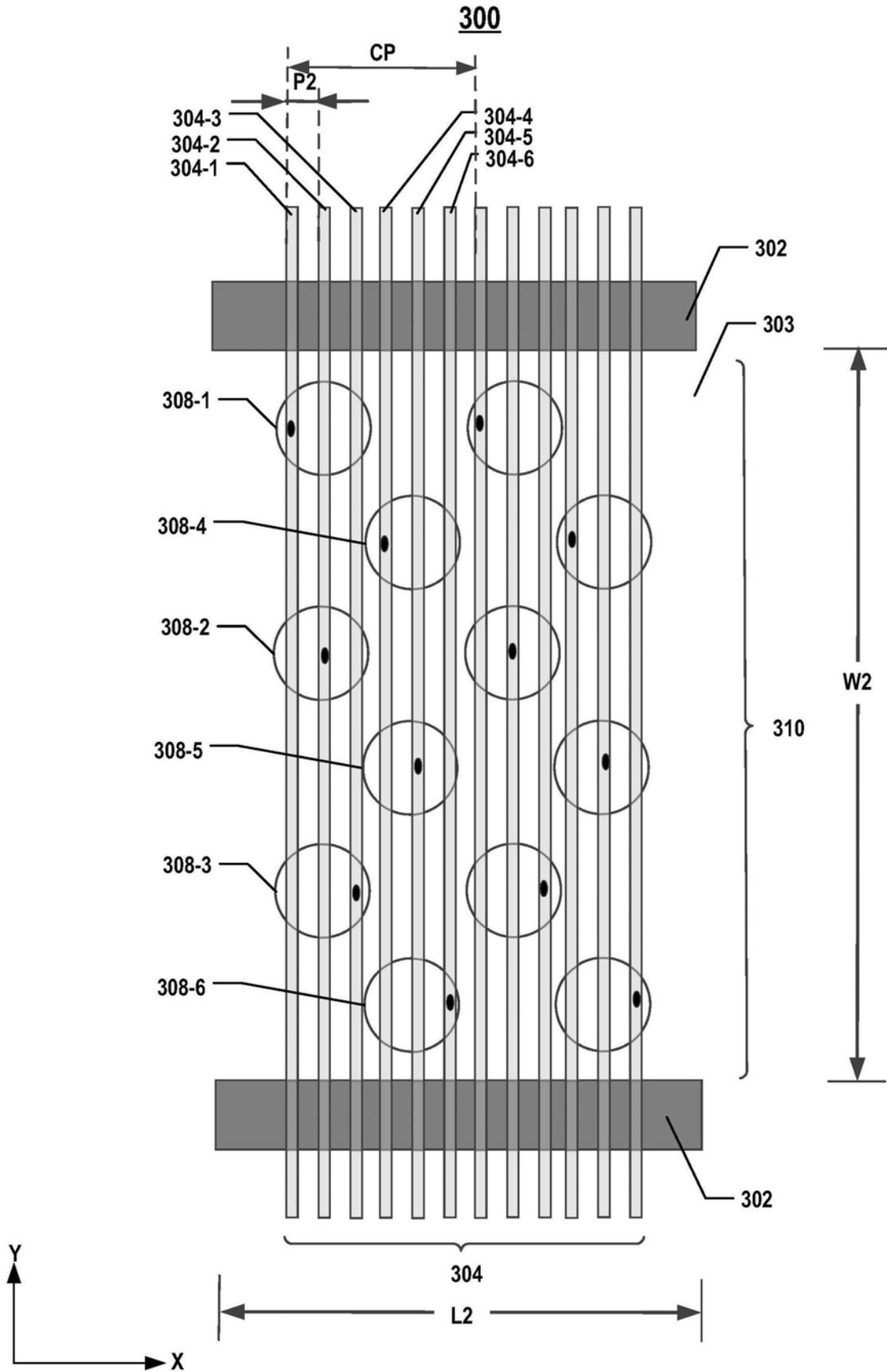


图3

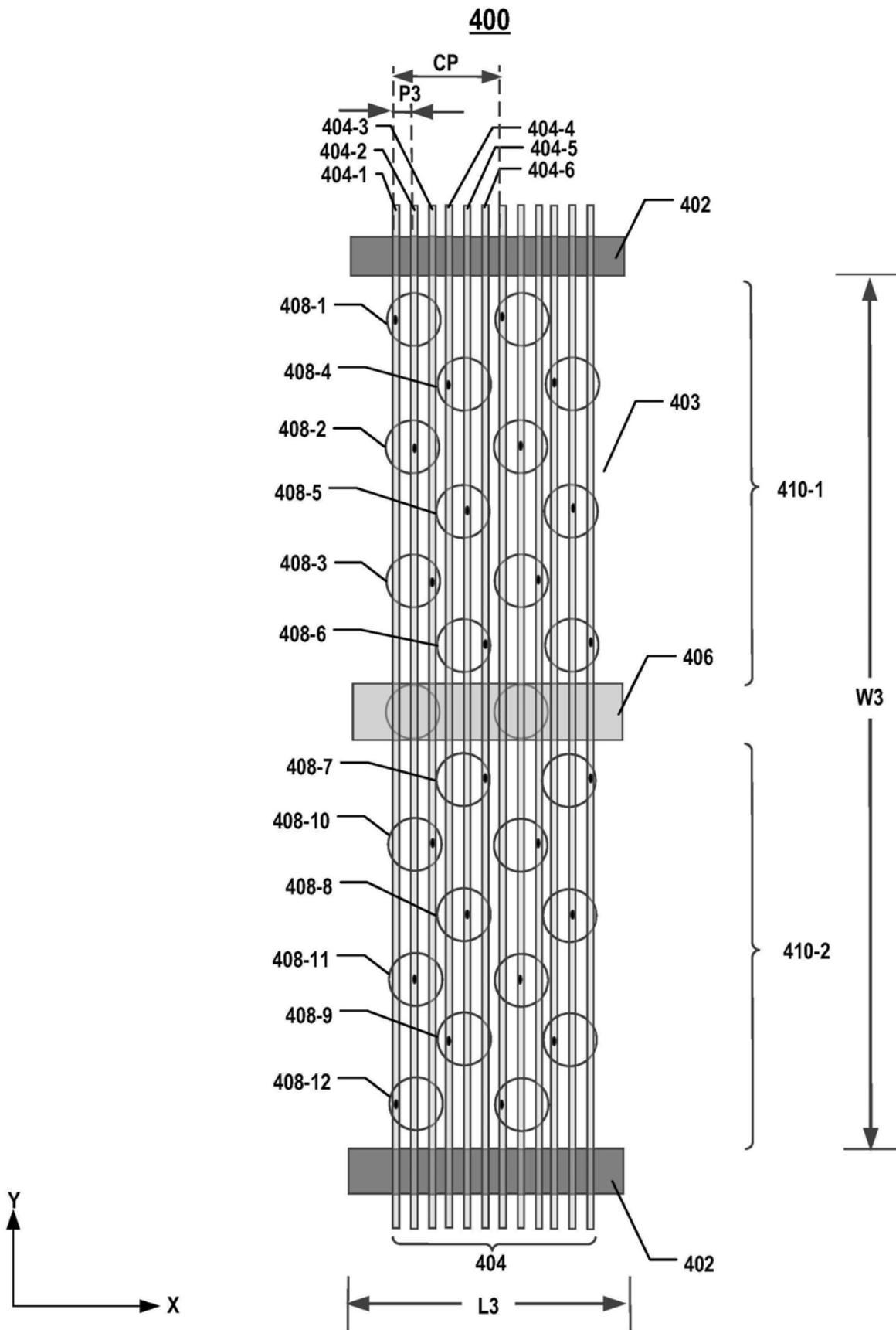


图4

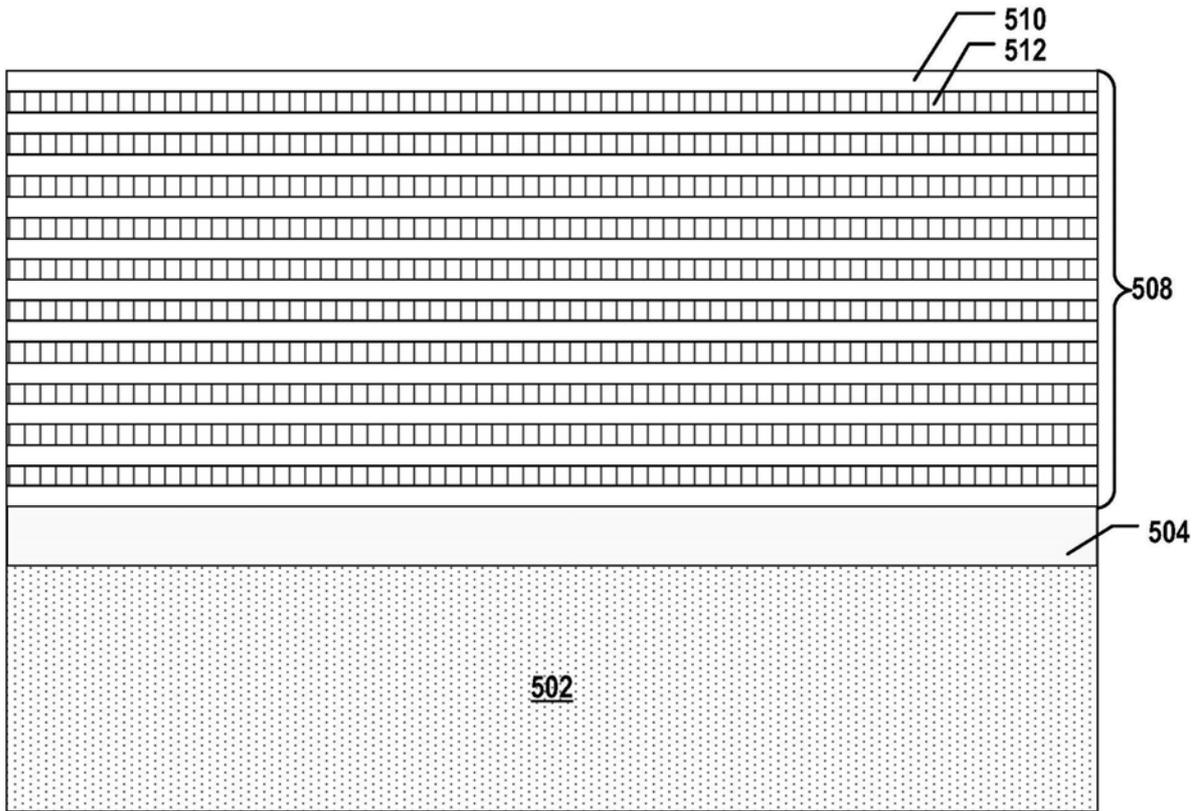


图5A

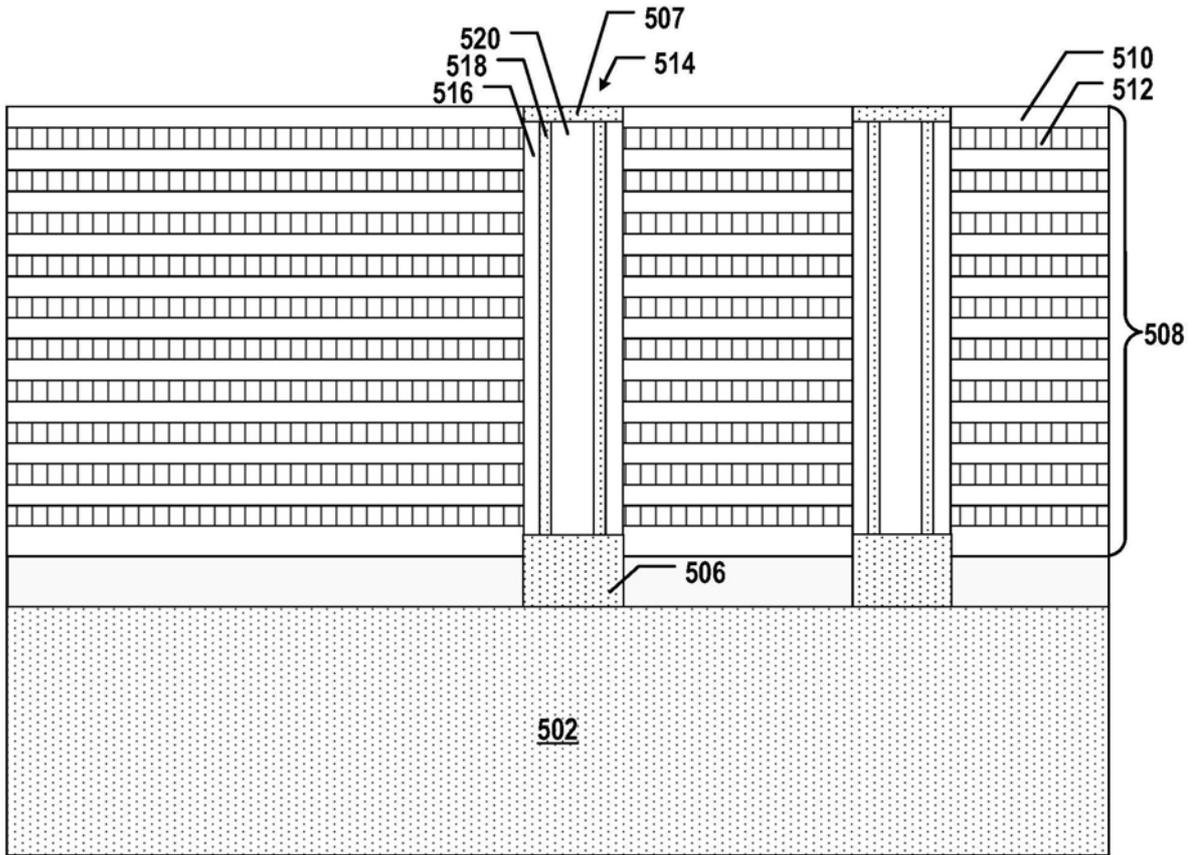


图5B

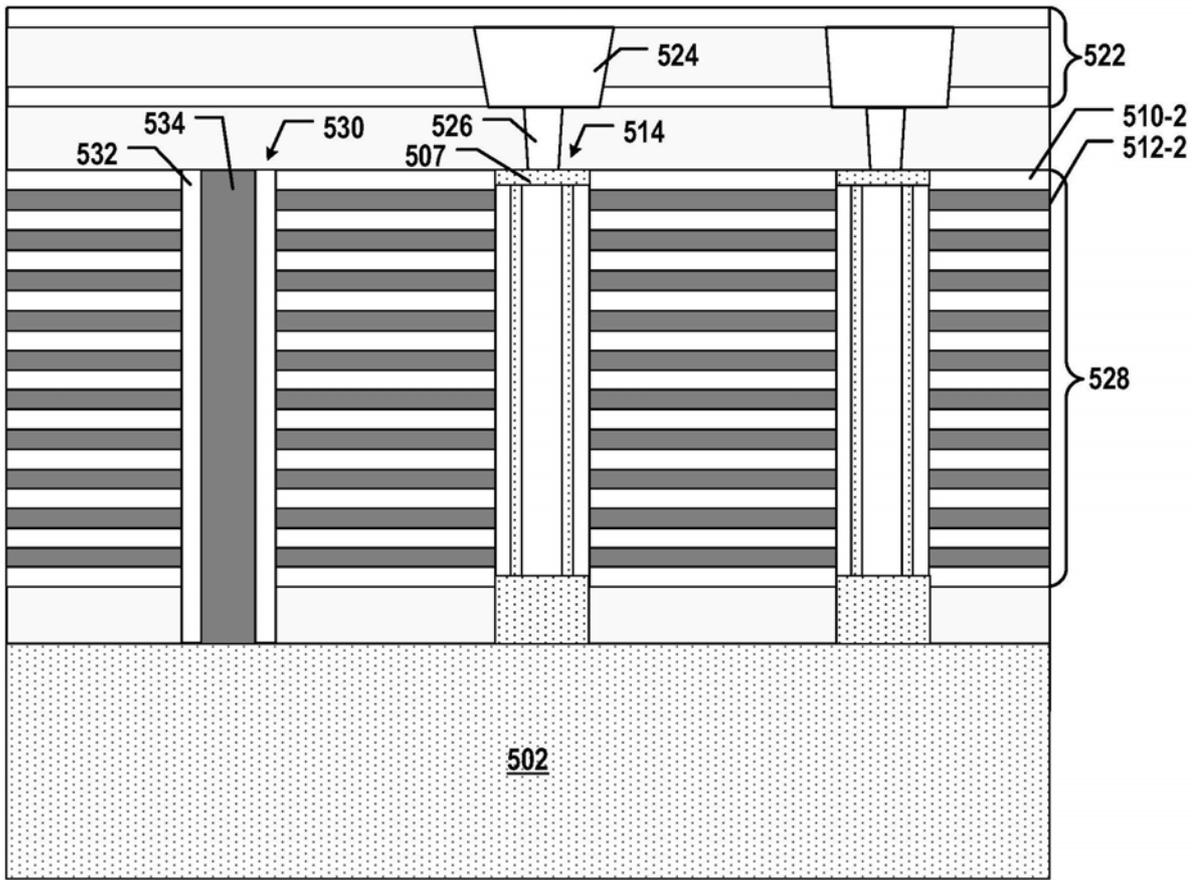


图5C

600

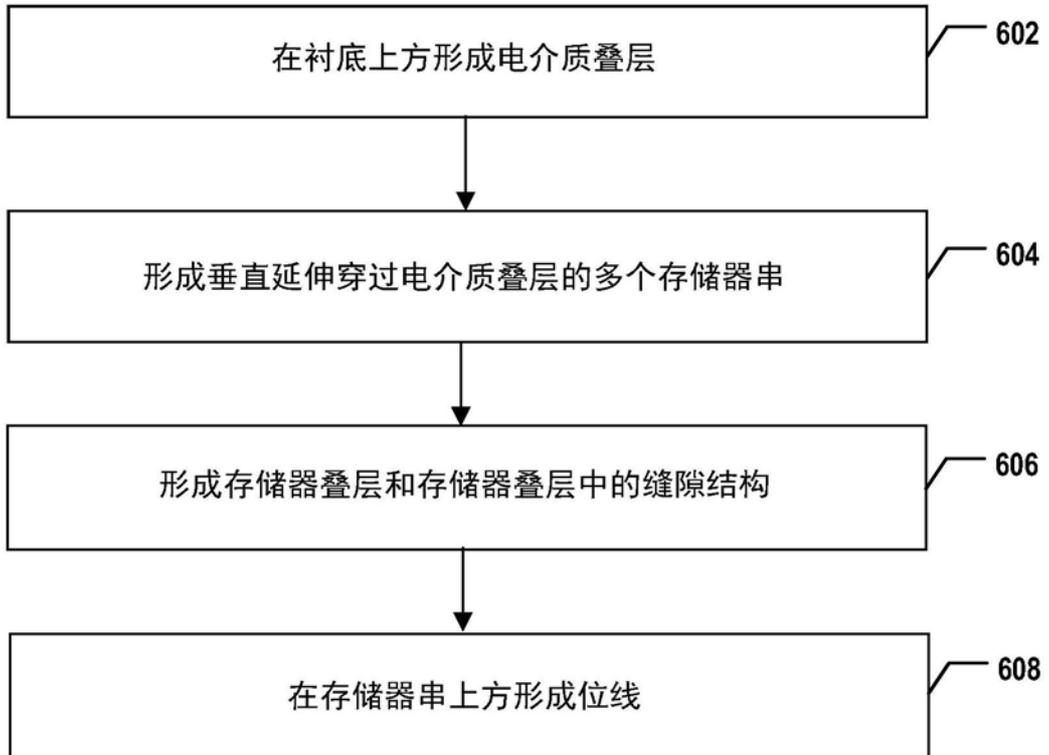


图6

700

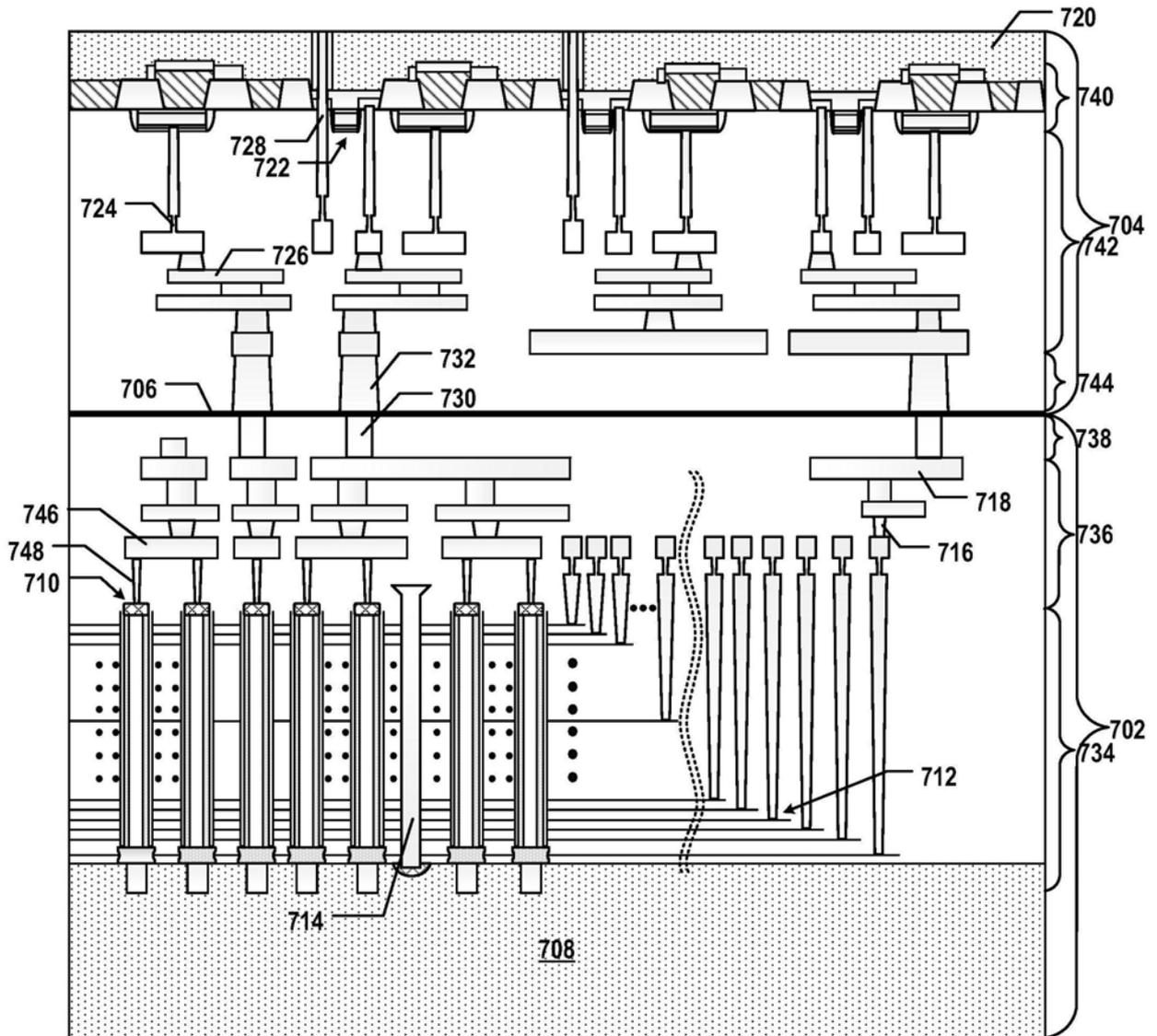


图7