

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018年7月12日 (12.07.2018)



(10) 国际公布号
WO 2018/126656 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2017/094820
- (22) 国际申请日: 2017年7月28日 (28.07.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710001592.2 2017年1月3日 (03.01.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 韩明夫(HAN, Mingfu); 中国北京市经济
技术开发区地泽路9号, Beijing 100176 (CN)。 商

广良(SHANG, Guangliang); 中国北京市经济技术
开发区地泽路9号, Beijing 100176 (CN)。 姚星
(YAO, Xing); 中国北京市经济技术开发区地泽
路9号, Beijing 100176 (CN)。 韩承佑(HAN, Seung
Woo); 中国北京市经济技术开发区地泽路9
号, Beijing 100176 (CN)。 金志河(KIM, Jiha); 中
国北京市经济技术开发区地泽路9号, Beijing
100176 (CN)。 郑皓亮(ZHENG, Haoliang); 中国
北京市经济技术开发区地泽路9号, Beijing 100176
(CN)。 袁丽君(YUAN, Lijun); 中国北京市经济
技术开发区地泽路9号, Beijing 100176 (CN)。 王
志冲(WANG, Zhichong); 中国北京市经济技术开
发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(LIU, SHEN &
ASSOCIATES); 中国北京市海淀区彩和坊路10
号1号楼10层, Beijing 100080 (CN)。

(54) Title: ARRAY SUBSTRATE LINE DRIVING UNIT AND DEVICE, DRIVING METHOD AND DISPLAY DEVICE

(54) 发明名称: 阵列基板行驱动单元、装置、驱动方法及显示装置

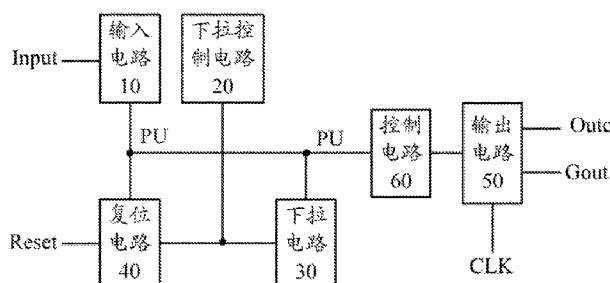


图4

10 INPUT CIRCUIT
20 PULL-DOWN CONTROL CIRCUIT
30 PULL-DOWN CIRCUIT
40 RESET CIRCUIT
50 OUTPUT CIRCUIT
60 CONTROL CIRCUIT

(57) Abstract: An array substrate line driving unit and device, a driving method and a display device. The array substrate line driving unit comprises: an input circuit (10) connected to an input signal end (Input) and a pull-up node (PU); a pull-down circuit (30) connected to a first voltage signal end (LVGL) and the pull-up node (PU); a pull-down control circuit (20) connected to the pull-down circuit (30) via a pull-down node (PD); an output circuit (50) connected to a clock signal end (CLK), a second voltage signal end (VGL), and a control circuit (60); a reset circuit (40) connected to a reset signal end (Reset), the first voltage signal end (LVGL), and the pull-up node (PU); and a control circuit (60) connected to the pull-up node (PU) and the output circuit (50). In response to received input signals (input), the input circuit (10) controls the potential of the pull-up node (PU) (S1); in response to clock signals (CLK) inputted into the output circuit (50) and the potential of the pull-up node (PU), the output circuit (50) generates output signals (S2); and in response to the output signals (Outc, Gout) generated by the output circuit, the control circuit (60) is disconnected from the pull-up node (PU) (S3).

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种阵列基板行驱动单元、装置、驱动方法及显示装置。阵列基板行驱动单元包括: 输入电路(10), 连接到输入信号端(Input)和上拉节点(PU); 下拉电路(30), 连接到第一电压信号端(LVGL)和上拉节点(PU); 下拉控制电路(20), 经由下拉节点(PD)连接到下拉电路(30); 输出电路(50), 连接到时钟信号端(CLK)、第二电压信号端(VGL)和控制电路(60); 复位电路(40), 连接到复位信号端(Reset)、第一电压信号端(LVGL)和上拉节点(PU); 和控制电路(60), 连接到上拉节点(PU)和输出电路(50)。其中输入电路(10)响应于所接收的输入信号(input), 控制上拉节点(PU)的电位(S1); 输出电路(50)响应于输入到输出电路(50)的时钟信号(CLK)以及上拉节点(PU)的电位, 生成输出信号(S2); 控制电路(60)响应于输出电路所生成的输出信号(Outc、Gout), 断开其与上拉节点(PU)的连接(S3)。

阵列基板行驱动单元、装置、驱动方法及显示装置

技术领域

本发明涉及栅极驱动技术，尤其涉及一种阵列基板行驱动（GOA）装置、
5 方法及显示装置。

背景技术

在现有技术中，液晶显示器中的驱动电路主要是通过通过在液晶面板外部连接集成电路来完成的。长期以来，将显示器的周边驱动电路与像素驱动阵列
10 集成于同一基板一直是显示领域追求的目标。基于 TFT 的行列驱动电路是大尺寸微电子学的重要研究方向，其可能应用于 TFT-LCD、TFT-OLED 等有源显示面板，并可能应用于透明显示、柔性显示、电子标签等新型显示器。

TFT 行驱动电路包括阵列基板行驱动(Gate-driver on Array, 简称 GOA) 技术，其主要包括非晶硅（A-Si）TFT 以及 IGZO-TFT 的 GOA 电路。GOA
15 技术是直接栅极驱动电路制作在阵列基板上，以替代外接硅芯片制作的驱动芯片的一种技术。由于 GOA 电路可直接制作在面板周围，简化了制程工艺，而且还可降低产品成本，提高液晶面板的集成度，从而使面板趋向于更加薄型化。

然而，在大尺寸高分辨率 LCD 产品中，晶体管充电时间大幅减少，对于
20 8K A-Si 产品，一行像素的开启时间只有 $3.7\mu\text{s}$ ，实际有效的像素充电时间则更少，因此即使充电时间 $0.1\mu\text{s}$ 量级的增加都可以促使充电率的明显提升，实现更高显示质量。

此外，在现有 GOA 电路中，由于输入电路、复位电路以及下拉电路的负载，导致拉高（PU）保持阶段漏电增加。

25 有鉴于此，在当前情况下，迫切希望提高上拉节点电压，降低 PU 保持阶段漏电，从而增强 GOA 电路驱动能力，降低像素的下降时间，进而增加充电时间。

发明内容

30 本发明提供了一种阵列基板行驱动单元、装置、驱动方法及显示装置。
本发明的实施例提供了一种 GOA 单元，包括：输入电路，连接到输入信

号端和上拉节点 PU; 下拉电路, 连接到第一电压信号端和上拉节点 PU; 下拉控制电路, 经由下拉节点 PD 连接到所述下拉电路; 输出电路, 连接到时钟信号端、第二电压信号端和控制电路; 复位电路, 连接到复位信号端、第一电压信号端和上拉节点 PU; 和该控制电路, 连接到上拉节点 PU 和所述输出电路, 其中所述输入电路响应于所接收的输入信号, 控制上拉节点 PU 的电位; 所述输出电路响应于输入到输出电路的时钟信号以及上拉节点 PU 的电位, 生成输出信号; 所述控制电路响应于输出电路所生成的输出信号, 断开其与上拉节点 PU 的连接。

所述控制电路可包括反相器和控制开关元件。

10 所述控制开关元件可包括第一晶体管, 所述第一晶体管的漏极连接到所述输出电路的栅极信号端, 栅极连接到所述反相器, 源极经由上拉节点 PU 连接到所述输入电路、所述复位电路和所述下拉电路。

15 所述反相器可包括第二和第三晶体管, 所述第二晶体管的栅极与漏极可连接到第三电压信号端, 源极可连接到所述第一晶体管的栅极以及所述第三晶体管的漏极。

所述反相器可包括第二、第三和第四晶体管, 所述第二晶体管的漏极以及所述第四晶体管的栅极和漏极均可连接到直流高电压信号, 所述第二晶体管的栅极可连接到所述第四晶体管的源极, 所述第二晶体管的源极可连接到所述第一晶体管的栅极以及所述第三晶体管的漏极。

20 所述第三晶体管的源极可连接到直流低电压信号, 漏极可连接到所述第二晶体管的源极, 并且栅极可连接到所述输出电路的输出端。

所述第二晶体管的电阻可大于所述第三晶体管的电阻。

所述时钟信号、所述第一电压信号、所述第二电压信号和所述第三电压信号可输入到所述 GOA 单元。

25 本发明的实施例还提供了一种用于根据本发明的 GOA 单元的驱动方法, 所述驱动方法包括以下步骤: 由输入电路响应于所接收的输入信号, 控制上拉节点 PU 的电位; 由输出电路响应于输入到输出电路的时钟信号以及上拉节点 PU 的电位, 生成输出信号; 由控制电路响应于输出电路所生成的输出信号, 断开其与上拉节点 PU 的连接。

30 在所述 GOA 单元的驱动方法中, 控制电路可响应于输出电路所生成的输出信号, 断开该控制电路中包括的第一晶体管的源极与上拉节点 PU 的连接。

所述 GOA 单元的驱动方法可进一步包括: 在断开第一晶体管的源极与上拉节点 PU 的连接之后, 控制电路响应于输入到输出电路的时钟信号, 接通第一晶体管的源极与上拉节点 PU 的连接。

5 本发明的实施例还提供了一种 GOA 装置, 包括级联的多个根据本发明的 GOA 单元。

在所述级联的多个 GOA 单元中, 除了第一 GOA 单元和最后 GOA 单元之外的每个 GOA 单元的信号输入端连接到与其相邻的上一级 GOA 单元的输出端, 除了第一 GOA 单元和最后 GOA 单元之外的每个 GOA 单元的复位信号端连接到与其相邻的下一级 GOA 单元的输出端。

10 本发明的实施例还提供了一种显示装置, 包括根据本发明的 GOA 装置。

根据本发明, 通过提供这样的阵列基板行驱动单元、装置、方法及显示装置, 可以增加时钟信号耦合效果, 减少 PU 保持阶段的漏电, 增加输出晶体管的开启电压, 从而能实现晶体管驱动能力的显著提升。

15 附图说明

为了更清楚地说明本公开的实施例的技术方案, 下面将对实施例的附图作简单地介绍, 显而易见地, 下面描述中的附图仅仅涉及本公开的一些实施例, 而非对本发明的限制。

20 图 1 为本发明人已知的栅极驱动电路中每个 GOA 单元的功能结构示意图;

图 2 为本发明人已知的 GOA 单元的具体组成结构示意图;

图 3 为本发明人已知的 GOA 单元的输入输出信号时序图;

图 4 为根据本发明实施例的栅极驱动电路中每个 GOA 单元的功能结构示意图;

25 图 5 为根据本发明第一实施例的 GOA 单元的具体组成结构示意图;

图 6 为根据本发明第二实施例的 GOA 单元的具体组成结构示意图;

图 7 为根据本发明实施例的 GOA 单元的输入输出信号的时序图;

图 8 为根据本发明实施例的 GOA 单元中的控制电路的示意图;

图 9(a) 和 9(b) 为根据本发明第一实施例的反相器的组成结构示意图;

30 图 10(a) 和 10(b) 为根据本发明第二实施例的反相器的组成结构示意图;

图 11 为本发明人已知的上拉节点电压波形与本发明实施例的上拉节点电压波形的对照图；和

图 12 为根据本发明实施例的 GOA 单元的操作方法的实现流程图。

5 具体实施方式

参考附图来描述本发明的实施例，以便详细描述本发明，使得具有本发明所属技术领域的普通知识的技术人员能容易地实践本发明。然而，本发明可按照各种形式实现，并且不受到以下实施例的限制。在图中，为了本发明的清楚描述，将省略与本发明不直接相关的组件的说明，并且贯穿图中使用
10 相同附图标记来指定相同或相似元件。

此外，贯穿整个说明书，应理解的是，指示第一组件“连接”到第二组件的表示可包括其中第一组件电气连接到第二组件并在其间插入有某一其它组件的情况、以及其中第一组件“直接连接”到第二组件的情况。此外，应理解的是，指示第一组件“包括”第二组件的表示意味着可进一步包括其它
15 组件，不排除将添加其它组件的可能性，除非在上下文中特别指出相反的描述。

需要说明的是，本发明实施例中采用的薄膜晶体管是源极和漏极对称的，所有其源极和漏极在名称上可以互换。此外，按照薄膜晶体管的特性区分可以将薄膜晶体管分为N型晶体管或P型晶体管，在本公开实施例中，当采用N
20 型薄膜晶体管时，其第一极可以是源极，第二极可以是漏极。本公开实施例中所采用的薄膜晶体管可以为N型晶体管，也可以为P型晶体管。在以下实施例中，均薄膜晶体管是N型晶体管为例进行说明，即栅极的信号是高电平时，薄膜晶体管导通。但是可以理解的是，当采用P型晶体管时，需要相应调整驱动信号的时序。

25 下面，将参考附图来详细描述本发明的优选实施例。

图1为本发明人已知的栅极驱动电路中每个GOA单元的功能结构示意图。

如附图1所示为本发明人已知的GOA电路中每个GOA单元的功能结构示意图。该GOA电路具有多级GOA单元，每级GOA单元可以驱动相邻的两行像素，具体地，每级GOA单元通过两条栅极驱动线驱动相邻的两行像素，在GOA
30 单元输出高电平信号时，通过相应的栅极驱动线驱动相应的相邻两行像素打开，使得所述相邻两行像素能够接收数据信号；在GOA单元输出低电平信号

时，相应的相邻两行像素关闭，停止接收数据信号。如此，在一帧画面里，栅极驱动电路中的多级GOA单元，依次输出高电平信号，以相邻两行像素为单位逐一进行驱动。

如图1所示，每一GOA单元包括输入电路10、下拉控制电路20、下拉电路30、复位电路40和输出电路50。输入电路10连接到输入信号端和上拉节点PU。下拉控制电路20经由下拉节点PD连接到下拉电路30。所述下拉电路30连接到上拉节点PU和下拉节点PD。复位电路40连接到复位信号端、上拉节点PU和下拉节点PD。输出电路50连接到时钟信号端、上拉节点PU和输出端。输出电路50在所述CLK高电平时导通，从而输出输出信号作为下一级的输入信号。

图2为本发明人已知的GOA单元的具体组成结构示意图。具体地，如图1和2所示，每级GOA单元包含输入电路10、下拉控制电路20、下拉电路30、复位电路40和输出电路50。输入电路10响应于上一级GOA单元的输出信号，将高电平电压信号提供给上拉节点PU。下拉控制电路20在上拉节点PU电压为高电平时，导通下拉电路，从而使得下拉节点PD电压降低。复位电路40连接复位信号端Reset、第一直流低电平电压信号端LVGL（第一电压信号端）和上拉节点PU，其响应于复位信号端输出的复位信号Reset，将第一直流低电平电压信号LVGL提供给上拉节点PU。输出电路50在所述CLK高电平时导通，上拉节点PU电压进一步升高，从而完成晶体管的充电过程。下拉电路30响应下拉节点PD的电压信号，将第一低电平电压信号LVGL提供给上拉节点PU和输出端Output。

在时钟信号上升沿到来时，所述上拉节点PU的电压增加如下：

$$\Delta V = (V_{gh} - V_{gl}) * (C_{gsM3} + C_{gdM3} + C_{gsM11} + C_{gdM11} + C1) / (C_{gsM3} + C_{gdM3} + C_{gsM11} + C_{gdM11} + C1 + 2 * C_{gsM8} + 2 * C_{gdM8} + C_{gsM1} + 2 * C_{gdM10} + C_{gdM2} + 2 * C_{gsM6} + 2 * C_{gdM6}) \quad \text{等式 (1)}$$

图4为根据本发明实施例的栅极驱动电路中每个GOA单元的功能结构示意图。

根据本发明实施例的GOA装置可典型地包括多个级联的GOA单元，每一GOA单元包括输入电路10、下拉控制电路20、下拉电路30、复位电路40、输出电路50和控制电路60。根据本发明实施例的GOA装置可应用到诸如液晶显示器等各种显示器。

如图4中，控制电路60连接在上拉节点PU和输出电路50之间，该控制电

路60的一端经由上拉节点PU连接到所述输入电路10、复位电路40和下拉电路30，另一端连接到输出电路50。输出电路50能响应于输入到输出电路的时钟信号CLK的电平，具体是响应于CLK的高电平，生成输出信号。控制电路60能响应于输出电路50生成的输出信号，切断与上拉节点PU的连接，也就是，
5 切断与所述输入电路、复位电路和下拉电路的连接，从而形成新的上拉节点PU2。

图5为根据本发明第一实施例的GOA单元的具体组成结构示意图。图6为根据本发明第二实施例的GOA单元的具体组成结构示意图。图7为根据本发明实施例的GOA单元的输入输出信号的时序图。

10 本发明人已知的GOA单元的输入输出信号时序如图3所示。本发明的GOA单元的输入输出信号时序如图7所示，其中，CLK是GOA单元的时钟信号；input是输入电路的输入信号，也就是上一级GOA单元的输出信号；PU代表上拉点的电压；Pd_1和Pd_2代表第一下拉点和第二下拉点的电压；Outc和Gout是输出电路的输出信号；Reset是GOA电路的复位输入，也就是下一级
15 GOA单元的输出信号；Vddo和Vdde是交替变化的高电平电压信号和低电平电压信号；VGH为直流高电平电压信号（第三电压信号端），其电压可以例如是但不限于20-30V；LVGL和VGL分别为第一直流低电平电压信号和第二直流低电平电压信号，第一直流低电平电压信号LVGL的电压可以例如是但不限于-10V，第二直流低电平电压信号VGL的电压可以例如是但不限于-8V。

20 下面结合图5-7进行具体描述。

在图5中，输入电路10连接信号输入端Input、和上拉节点PU，被配置以响应信号输入端的输入信号Input，将高电平电压信号Input提供给上拉节点PU。

25 输入电路10包括晶体管M1，其栅极和漏极连接到信号输入端Input，源极连接到上拉节点PU。当输入信号input跳变为高电平时，上拉节点PU电压为高电平，下拉电路导通，由此降低下拉节点PD电压。输入电路10的具体实现结构和控制方式等不构成对本公开实施例的限制。

30 复位电路40连接复位信号端Reset、第一直流低电平电压信号端LVGL和上拉节点PU，被配置以响应复位信号端输出的复位信号Reset，将第一直流低电平电压信号LVGL提供给上拉节点PU。复位电路40包括晶体管M2、M10A和M10B。晶体管M2的栅极连接Reset端，漏极连接M10A和M10B的漏极，源

极连接第一直流低电平电压信号LVGL端。

下拉控制电路20连接高电平电压信号端Vdde或Vddo、下拉电路30和下拉节点Pd_1和Pd_2，被配置以响应于上拉节点PU的电压信号，将第一低电平电压信号LVGL提供给下拉节点Pd_1和Pd_2；以及响应于高电平电压信号Vdde
5 或Vddo，将高电平电压信号Vdde或Vddo提供给下拉节点Pd_1和Pd_2。

具体来说，在下拉控制电路20中，当上拉节点PU为高电平时，晶体管M6A和晶体管M6B导通，将下拉节点Pd_1或Pd_2拉为低电平，即下拉为等于或接近所述低电平的电平。当上拉节点PU为低电平时，晶体管M6A和晶体管M6B截止，同时高电平电压Vddo或Vdde导通晶体管M5A和晶体管M5B，使得下拉
10 节点Pd_1或Pd_2处于高电平。

上述的下拉控制电路20仅仅是示例，其还可以具有其它结构。高电平电压Vddo和Vdde在时序上反相，使得两个下拉电路交替工作，从而达到延长使用寿命的效果。

下拉电路30连接到下拉控制电路20、上拉节点PU、第一直流低电平电压
15 信号端LVGL、下拉节点PD和输出电路50，被配置以响应于下拉节点PD的电压信号，将第一直流低电平电压信号LVGL提供给上拉节点PU和输出电路50。

下拉电路30包括晶体管M8A、晶体管M6A、晶体管M8B、晶体管M6B，其中M8A、M6A、M8B、M6B的栅极连接上拉节点PU，源极连接第一直流低电平电压信号端LVGL，晶体管M8A和M8B的漏极连接到下拉控制电路20，
20 晶体管M6A的漏极连接到第一下拉节点Pd_1，并且晶体管M6B的漏极连接到第二下拉节点Pd_2。

输出电路50连接到时钟信号端CLK、第二直流低电平电压信号端VGL(第二电压信号端)、控制电路60和本级输出端Outc和Gout，被配置以响应于时钟信号端输入的时钟信号CLK，而提供本级输出Outc和Gout。

25 电路50包括输出晶体管M3和M11、以及降噪晶体管M12A、M12B、M13A和M13B。输出晶体管M3和M11的漏极连接到时钟信号端CLK，栅极连接到控制电路60。输出晶体管M3的源极连接到降噪晶体管M13A和M13B的漏极，输出晶体管M11的源极连接到降噪晶体管M12A和M12B的漏极。降噪晶体管M12A和M12B的源极连接到第一直流低电平电压信号端LVGL，降噪晶体管
30 M12A的栅极连接到第一下拉点Pd_1，并且降噪晶体管M12B的栅极连接到第二下拉点Pd_2。降噪晶体管M13A和M13B的源极连接到第二直流低电平电压

信号端VGL，降噪晶体管M13A的栅极连接到第一下拉点Pd_1，并且降噪晶体管M13B的栅极连接到第二下拉点Pd_2。

根据本公开实施例的输出电路50在上拉节点PU电压为高电平时，根据时钟信号上升沿的触发，而进行输出，并根据时钟信号下降沿的触发，而停止输出。

图8为根据本发明实施例的GOA单元中的控制电路的示意图。

如图8中所示，控制电路包括反相器和控制开关元件，所述控制电路的一端连接到上升节点PU，另一端连接到输出电路50。

在图5和6中，该控制开关元件是第一晶体管M16，该第一晶体管M16的漏极连接到该输出电路的栅极信号端（即，稍后形成的上拉节点PU2），栅极连接到该反相器的一端，源极经由上拉节点PU连接到输入电路、复位电路以及下拉电路。

在图5中，反相器包括串联连接的第二晶体管M18和第三晶体管M17。该第二晶体管M18的电阻大于该第三晶体管M17的电阻。第二晶体管M18的栅极与漏极一起连接到VGH，即直流高电压信号，使得第二晶体管M18始终处于导通状态。第三晶体管M17的漏极与第二晶体管M18的源极连接，并与第一晶体管M16的栅极连接。由于第二晶体管M18导通，所以，第三晶体管M17的漏极、第二晶体管M18的源极、以及第一晶体管M16的栅极均具有高电平，第一晶体管M16因此导通。此外，在大多数情况下，因为输出信号Outc和Gout的电平为低，因此第三晶体管M17关断。

下面详细描述根据本发明实施例的GOA单元的工作过程。

在上一级GOA单元输出栅极驱动信号OUTPUT_n-1时，即本级GOA单元的Input为高电平时，输入电路的晶体管M1导通，导致上拉节点PU电压升高。升高的上拉节点PU的电压使得输出晶体管M3和M11导通。之后，在输出电路50的时钟信号CLK由低电平跳变为高电平时，由于输出晶体管M3和M11导通，所以将时钟信号CLK的高电平信号传输到M3的栅极和M11的栅极。M11的源极即Outc输出端输出高电平信号Outc，并且M3的源极即Gout输出端输出高电平信号Gout。该高电平信号Outc连接到反相器中的第三晶体管M17的栅极，使得第三晶体管M17导通。在第三晶体管M17导通的情况下，由于第三晶体管M17的电阻小于第二晶体管M18的电阻，所以M17的漏极、M18的源极、以及M16的栅极的电平均降低。M16的栅极电平降低导致第一晶体管M16的关

断。第一晶体管M16的关断导致控制电路60与上拉节点PU的连接断开，也就是断开了控制电路60与输入电路、复位电路和下拉电路的连接，这相当于断开了晶体管M1、M2、M6A、M6B、M8A、M8B、M10A以及M10B的负载。

此时，新形成的上拉节点PU2的电压增加如下：

$$\Delta V' = (V_{gh} - V_{gl}) * (C_{gsM3} + C_{gdM3} + C_{gsM11} + C_{gdM11} + C_1) / (C_{gsM3} + C_{gdM3} + C_{gsM11} + C_{gdM11} + C_1 + C_{gdM16}) \quad \text{等式 (2)}$$

根据以上等式(1)和等式(2)的比较，可以看出， $\Delta V'$ 的值明显高于 ΔV 的值。也就是说，与本发明人已知的电路相比，这实现了上拉节点电压的进一步提升。

10 接下来，在时钟信号CLK由高电平变为低电平时，输出晶体管M3和M11被断开，Outc输出端和Gout输出端电平被迅速拉低，所以输出停止。

在Outc输出端和Gout输出端输出停止的情况下，晶体管M17截止。由于直流高电平电压信号VGH一直施加到第二晶体管M18的漏极和栅极，所以第二晶体管M18保持导通。M17的漏极、M18的源极、以及M16的栅极的电平升高。M16的栅极电平升高直接导致第一晶体管M16导通。第一晶体管M16的导通导致控制电路60与上拉节点PU的连接恢复。

在下一级GOA单元输出OUTPUT_{n+2}时，即本级GOA单元的RESET为高电平时，M2导通，为上拉节点PU放电，将上拉节点PU的电压拉低，使得M3和M11栅极的电压被拉低，M3和M11断开，CLK不能被送到M3和M11的栅极，M3和M11保持断开状态，本级GOA单元的OUTPUT_n输出端和OUTPUT_{n+1}输出端停止输出。

在上述过程中，在CLK为高电平时，也就是本级GOA单元正常输出时，M12A、M12A、M13A、M13A也导通，用于起到稳定上拉节点PU的电压以及降低噪声的作用。

25 图6的电路结构与图5基本相同，除了反相器部分。

图6的反相器包括第二晶体管M18、第三晶体管M17和第四晶体管M19，其中该第二晶体管M18的漏极与该第四晶体管M19的栅极和漏极均连接到直流高电压信号，该第二晶体管M18的栅极连接到该第四晶体管M19的源极，该第二晶体管M18的源极连接到该第一晶体管M16的栅极以及该第三晶体管M17的漏极。

图6的反相器结构与图5的反相器结构相比，能补偿输出衰减，从而能进

一步降低第一晶体管M16的栅极电压，由此实现更佳的防漏电效果。

具体可以参考图9 (a) -10 (b)。图9 (a) 和9 (b) 为根据本发明第一实施例的反相器的组成结构示意图。图10 (a) 和10 (b) 为根据本发明第二实施例的反相器的组成结构示意图。

5 图9 (a) 对应于本发明第一实施例中的反相器结构，图9 (a) 对应于本发明第二实施例中的反相器结构。根据图9 (b) 和10 (b) 的波形图可以看出，第二实施例能进一步提高第二晶体管M18的栅极电压，由此补偿输出衰减，实现高控制电路更好的隔离效果。

10 然而，本领域技术人员应注意的是，本发明的反相器结构不限于上述结构，而是可以根据实际应用情况采用任何其他适当反相器。

图11为本发明人已知的上拉节点电压波形与本发明实施例的上拉节点电压波形的对照图。其中黑色粗线111的波形为本发明的新上拉节点PU2电压，黑色细线112的波形为本发明人已知的上拉节点PU电压。

15 根据图11，可以看出黑色粗线111明显高于黑色细线112，即新上拉节点PU2电压显著增高。此外，黑色粗线111的斜率明显小于黑色细线112，这说明PU保持阶段的漏电现象得到了改善。

20 本发明通过控制电路的插入，使得GOA电路中与时钟耦合的晶体管与其他的分压晶体管隔离，增强时钟耦合效果，实现了上拉节点电压增高以及漏电减小。这导致输出电路的晶体管M3和M11的栅极控制端的电压显著增高，从而降低了晶体管M3和M11的开启时间，进一步增强了晶体管M3和M11的驱动能力。

图12为根据本发明实施例的GOA单元的驱动方法的实现流程图。

如图12所示，所述方法主要可以包括如下步骤：

25 步骤S1：输入电路响应于所接收的输入信号，控制上拉节点PU的电位。即，该输入电路接收上一级GOA单元输出的高电平电压信号作为输入信号，并响应于该高电平电压信号使得晶体管M1导通，从而控制上拉节点PU的电位改变为高电平。

30 步骤S2：输出电路响应于输入到输出电路的时钟信号以及上拉节点PU的电位，生成输出信号。即，在输出电路50的时钟信号CLK由低电平跳变为高电平时，由于输出晶体管M3和M11导通，所以将时钟信号CLK的高电平信号传输到M3的栅极和M11的栅极。M11的源极即Outc输出端输出高电平信号

Outc, 并且M3的源极即Gout输出端输出高电平信号Gout。

步骤S3: 控制电路响应于输出电路所生成的输出信号, 断开与上拉节点PU的连接, 也就是断开所述输入电路、复位电路和下拉电路的连接。在输出信号为高电平的情况下, 控制电路通过反相器的作用使得第一晶体管M16关断, 从而断开与所述输入电路、复位电路和下拉电路的连接, 进而提高新上拉节点PU2的电压。

具体来说, M11的源极即Outc输出端输出的高电平信号Outc使得第三晶体管M17导通。由于第三晶体管M17的电阻小于第二晶体管M18的电阻, 所以M17的漏极、M18的源极、以及M16的栅极的电平均降低, 这导致第一晶体管M16关断。这相当于去除了晶体管M1、M2、M6A、M6B、M8A、M8B、M10A以及M10B的负载, 从而增强了时钟耦合效果, 并进一步提高了第一晶体管M16的漏极的输出电压。

在步骤S3之后, 在输出电路的时钟信号下降沿到来时, 输出晶体管M3和M11被断开, Outc输出端和Gout输出端电平被迅速拉低。这时, 晶体管M17截止, M17的漏极、M18的源极、以及M16的栅极的电平升高。第一晶体管M16的栅极电平升高使得第一晶体管M16导通。第一晶体管M16的导通导致控制电路60与上拉节点PU的连接恢复, 从而接通第一晶体管M16的源极与上拉节点PU的连接。

本发明的实施例中包括的组件不限于软件或硬件, 并且可被配置为存储在可寻址储存介质中并在一个或多个处理器上运行。

所以, 作为示例, 这些组件可包括诸如软件组件、面向对象组件、类组件、和任务组件的组件、处理、功能、属性、过程、子例程、程序代码段、驱动器、固件、微代码、电路、数据、数据库、数据结构、表格、阵列、和变量。组件和对应组件中提供功能性可被组合在较少组件中, 或者可被进一步分离为附加组件。例如, 描述为单一组件的每一组件可被分布并实践, 并且类似地, 描述为分布的组件也可以按照集成形式来实践。

当然, 本领域技术人员将认识到, 除非操作序列所特别指示或需要的, 否则可省略、并发或顺序执行、或按照不同次序执行上述处理中的某些步骤。此外, 没有组件、元件或处理应被看作对于任何特定要求保护的实施例所必要的, 并且能在其他实施例中组合这些组件、元件或处理的每一个。

尽管已与特定实施例相关地描述了本发明的方法和系统, 但是一些或全

部组件或其操作可使用具有通用目的硬件架构的计算机系统来实现。

本发明的描述意欲用于说明，并且本领域技术人员将理解的是，能按照其它详细形式来容易地修改本发明，而不改变本发明的技术精神或必要特征。所以，上述实施例应被理解为示范性而不是限制性的。因此，本发明的精神
5 不限于提出的实施例，并且可经由与本发明相同精神的范围内的组件的添加、修改、删除或插入，而容易地设计其它实施例，但是可理解的是，这些其它实施例也可以被包括在本发明的范围中。

本申请要求于2017年1月3日递交的中国专利申请第201710001592.2号的
10 优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

- 1、一种阵列基板行驱动 GOA 单元，包括：
输入电路，连接到输入信号端和上拉节点 PU；
5 下拉电路，连接到第一电压信号端和上拉节点 PU；
下拉控制电路，经由下拉节点 PD 连接到所述下拉电路；
输出电路，连接到时钟信号端、第二电压信号端和控制电路；
复位电路，连接到复位信号端、第一电压信号端和上拉节点 PU；和
该控制电路，连接到上拉节点 PU 和所述输出电路，
10 其中所述输入电路响应于所接收的输入信号，控制上拉节点 PU 的电位；
所述输出电路响应于输入到输出电路的时钟信号以及上拉节点 PU 的电位，生成输出信号；
所述控制电路响应于输出电路所生成的输出信号，断开其与上拉节点 PU 的连接。
- 15 2、根据权利要求 1 所述的 GOA 单元，其中：
所述控制电路包括反相器和控制开关元件。
- 3、根据权利要求 2 所述的 GOA 单元，其中：
所述控制开关元件包括第一晶体管，所述第一晶体管的漏极连接到所述
输出电路的栅极信号端，栅极连接到所述反相器，源极经由上拉节点 PU 连
20 接到所述输入电路、所述复位电路和所述下拉电路。
- 4、根据权利要求 3 所述的 GOA 单元，其中：
所述反相器包括第二和第三晶体管，所述第二晶体管的栅极与漏极连接到第三电压信号端，源极连接到所述第一晶体管的栅极以及所述第三晶体管的漏极。
- 25 5、根据权利要求 3 所述的 GOA 单元，其中：
所述反相器包括第二、第三和第四晶体管，所述第二晶体管的漏极以及所述第四晶体管的栅极和漏极均连接到直流高电压信号，所述第二晶体管的栅极连接到所述第四晶体管的源极，所述第二晶体管的源极连接到所述第一晶体管的栅极以及所述第三晶体管的漏极。
- 30 6、根据权利要求 4 或 5 所述的 GOA 单元，其中所述第三晶体管的源极连接到所述第一电压信号端，漏极连接到所述第二晶体管的源极，并且栅极

连接到所述输出电路的输出端。

7、根据权利要求4到6的任一个所述的GOA单元，其中所述第二晶体管的电阻大于所述第三晶体管的电阻。

8、根据权利要求1到7的任一个所述的GOA单元，其中，所述时钟信号、所述第一电压信号、所述第二电压信号和所述第三电压信号输入到所述GOA单元。

9、一种用于根据权利要求1-8的任一个所述的GOA单元的驱动方法，所述驱动方法包括以下步骤：

由输入电路响应于所接收的输入信号，控制上拉节点PU的电位；

10 由输出电路响应于输入到输出电路的时钟信号以及上拉节点PU的电位，生成输出信号；

由控制电路响应于输出电路所生成的输出信号，断开其与上拉节点PU的连接。

10、根据权利要求9所述的GOA单元的驱动方法，其中：

15 控制电路响应于输出电路所生成的输出信号，断开该控制电路中包括的第一晶体管的源极与上拉节点PU的连接。

11、根据权利要求10所述的GOA单元的驱动方法，进一步包括：

在断开第一晶体管的源极与上拉节点PU的连接之后，控制电路响应于输入到输出电路的时钟信号，接通第一晶体管的源极与上拉节点PU的连接。

20 12、一种GOA装置，包括级联的多个根据权利要求1-8的任一个所述的GOA单元。

13、根据权利要求12的GOA装置，其中在所述级联的多个GOA单元中，

25 除了第一GOA单元和最后GOA单元之外的每个GOA单元的信号输入端连接到与其相邻的上一级GOA单元的输出端，

除了第一GOA单元和最后GOA单元之外的每个GOA单元的复位信号端连接到与其相邻的下一级GOA单元的输出端。

14、一种显示装置，包括根据权利要求12所述的GOA装置。

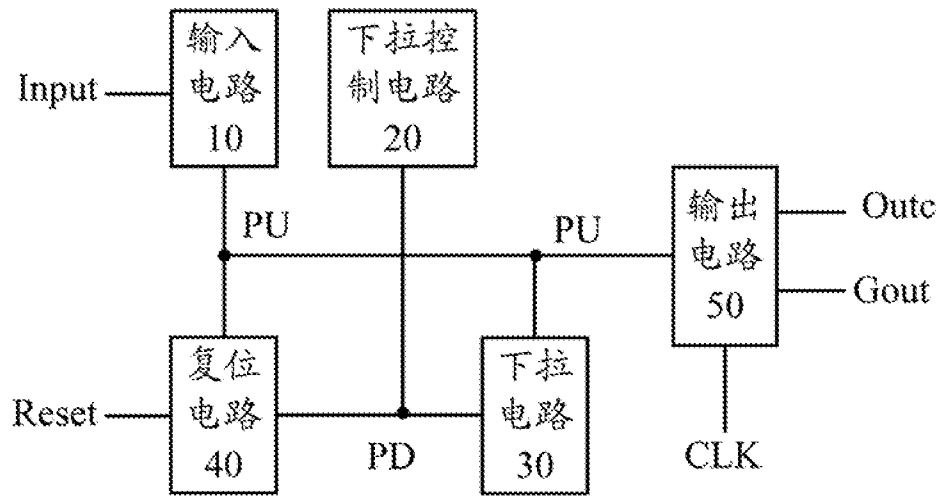


图1

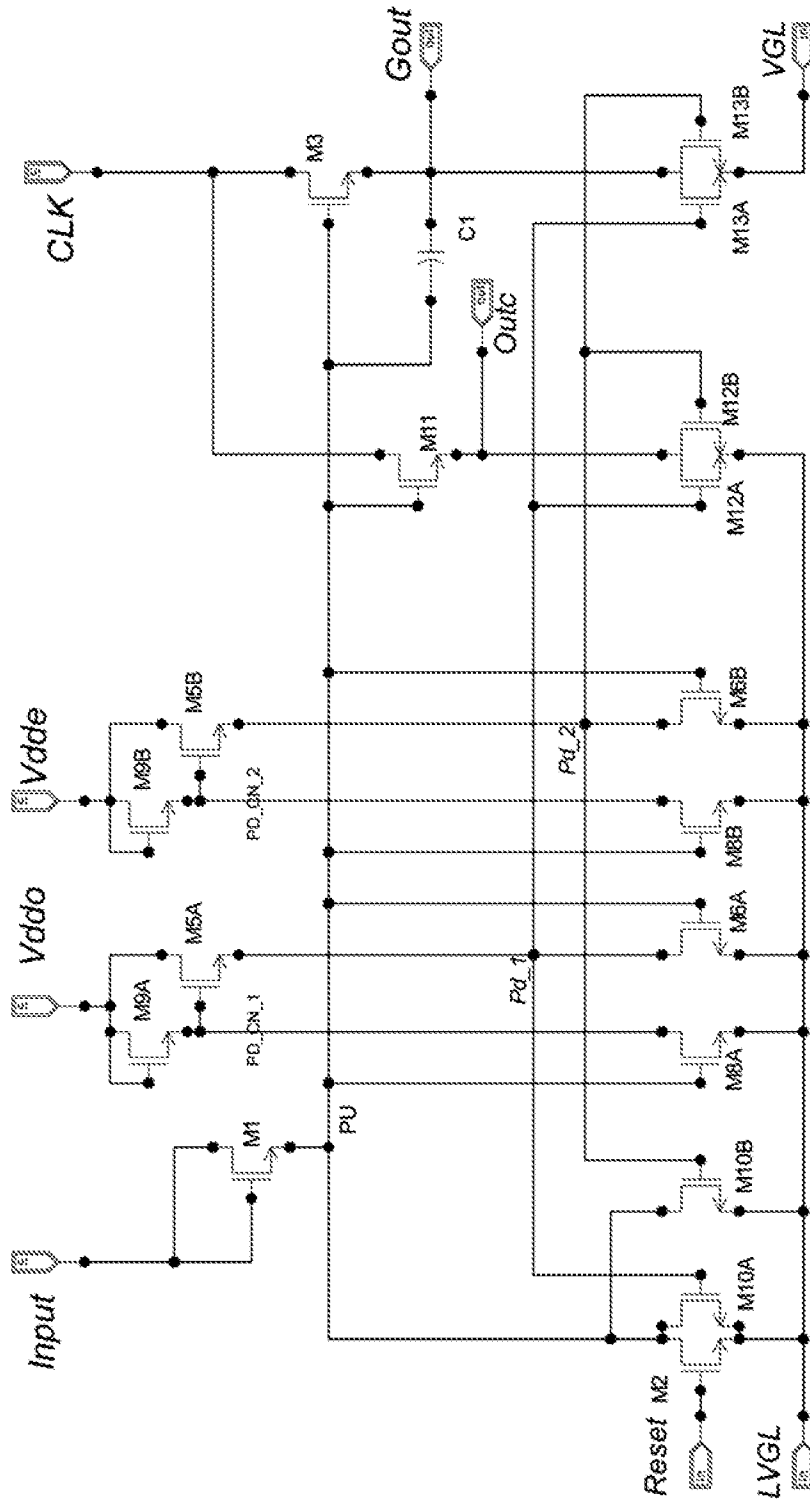


图 2

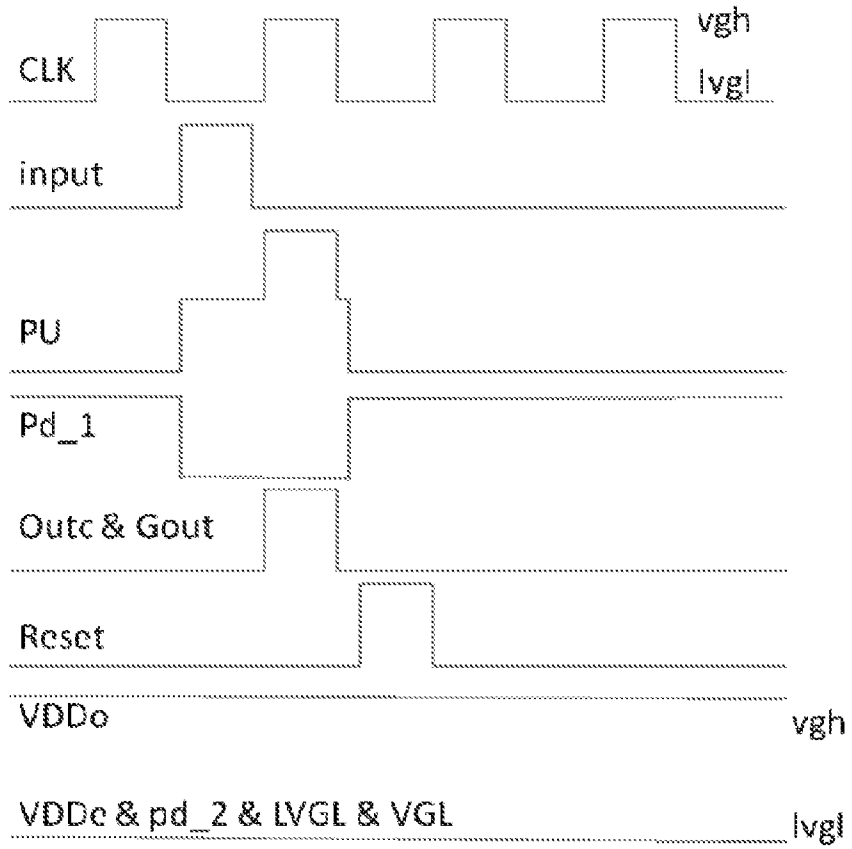


图 3

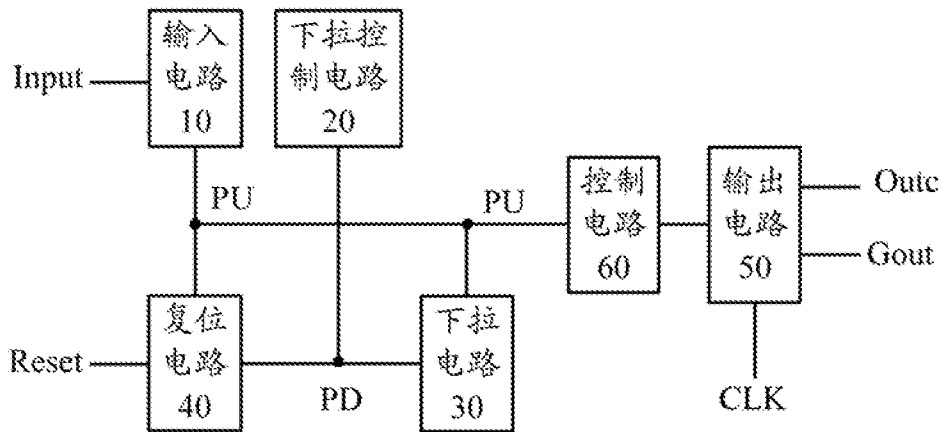


图4

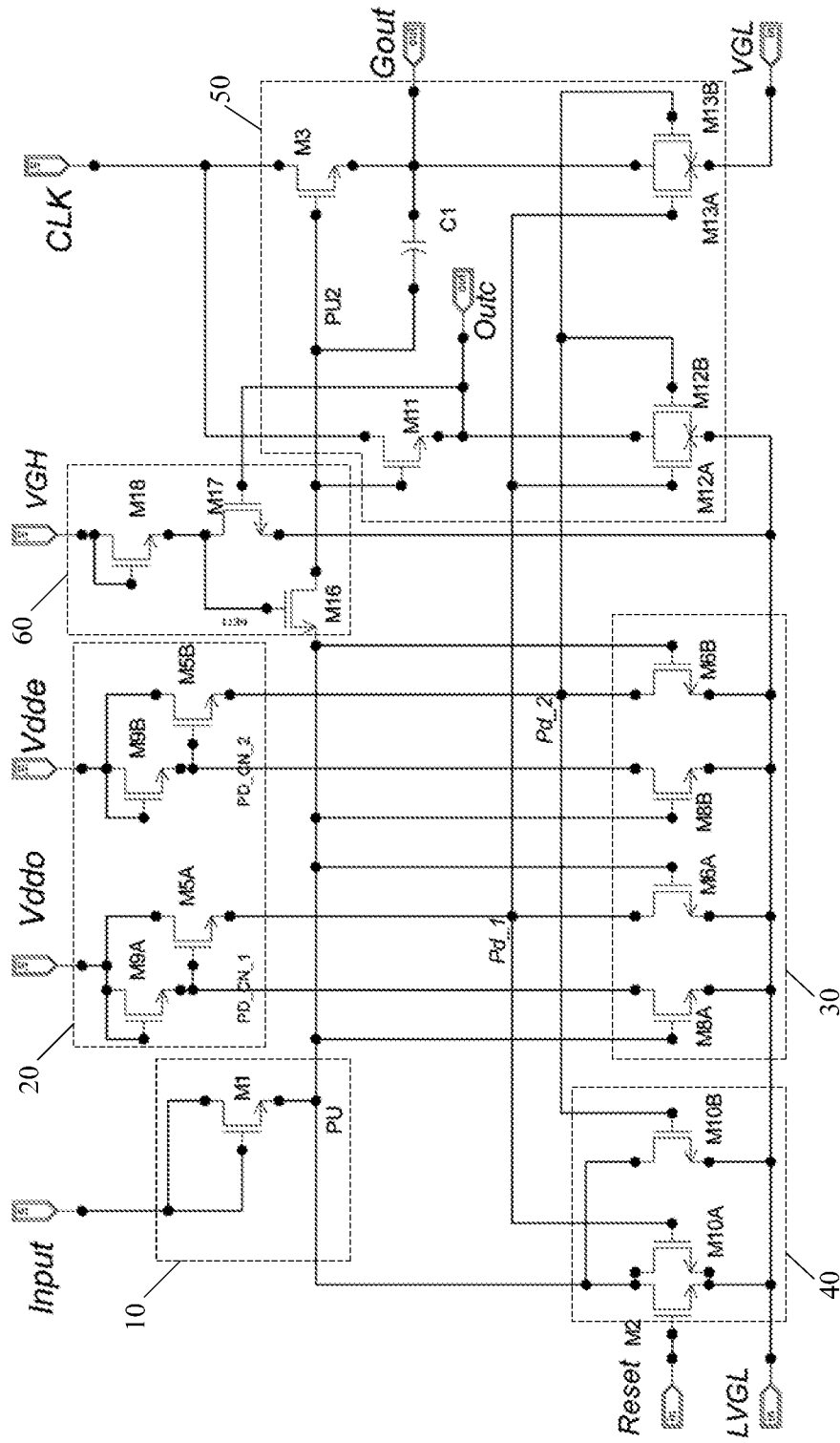


图5

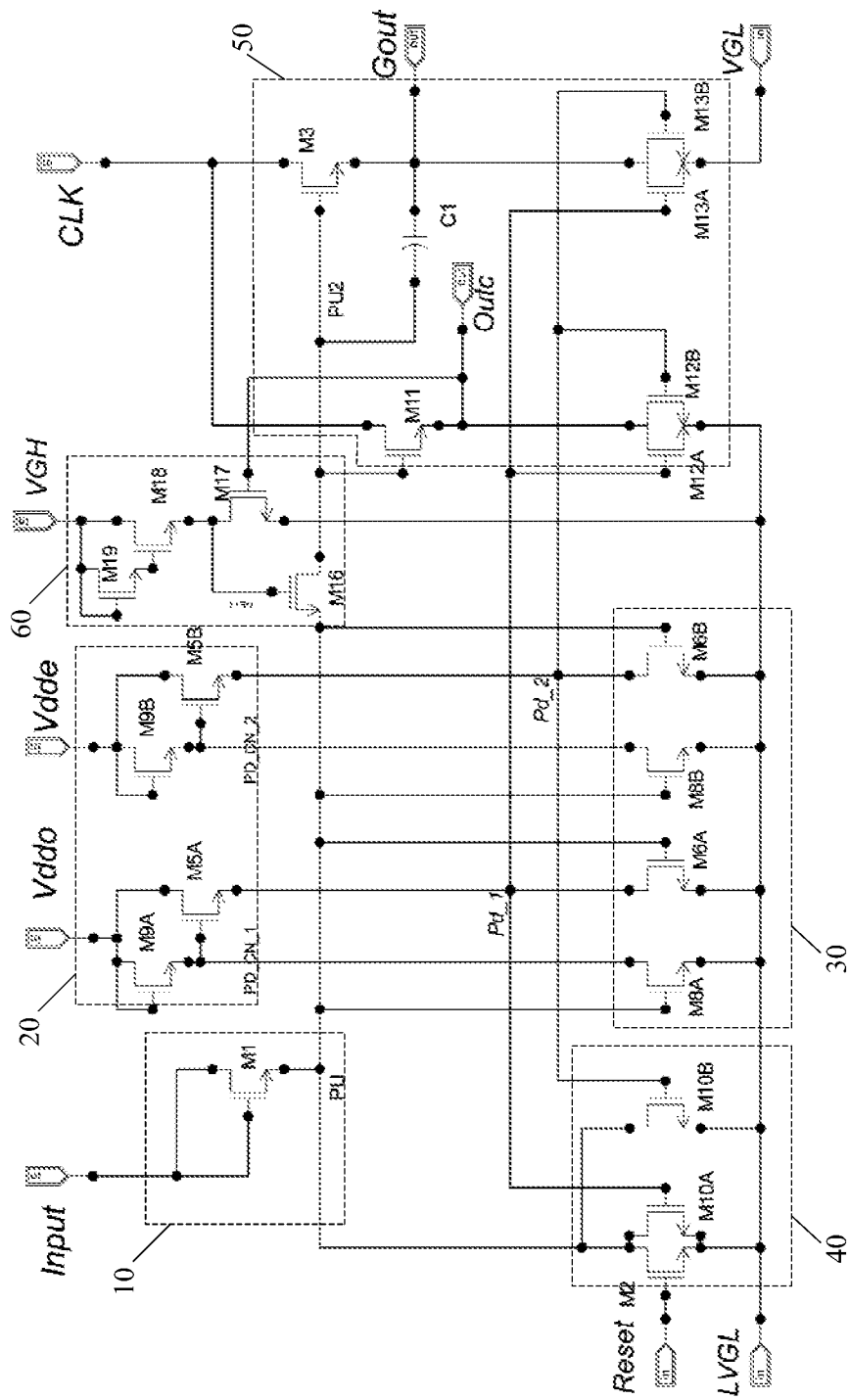


图6

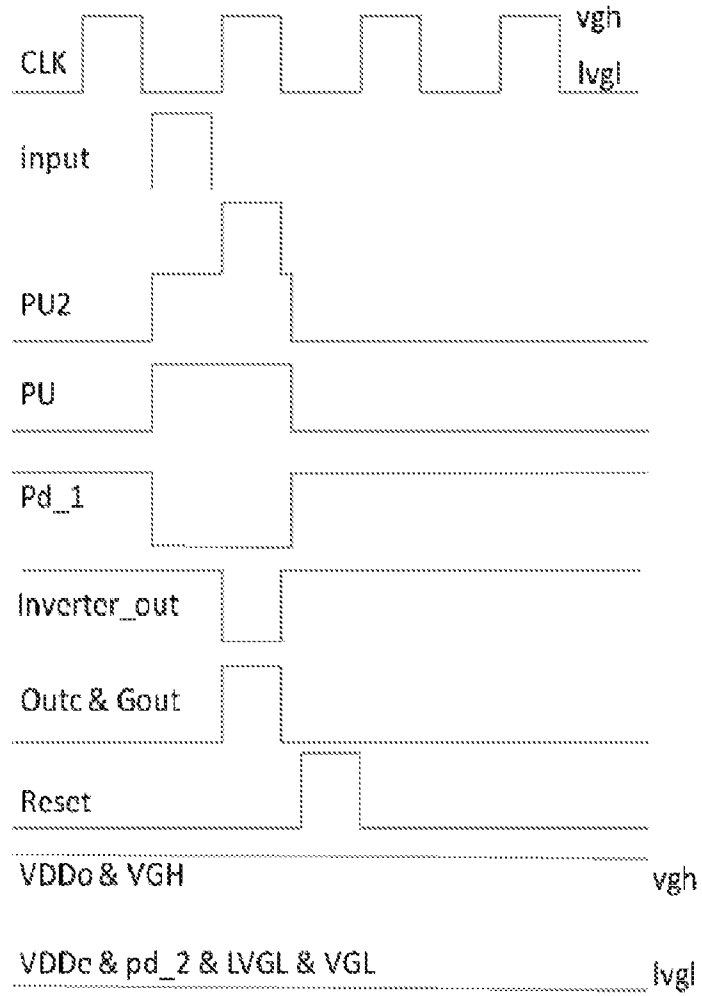


图 7

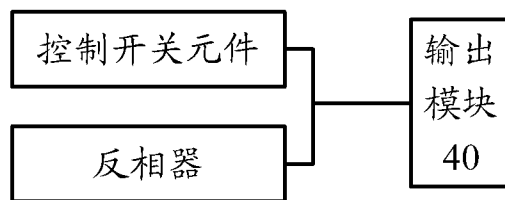


图 8

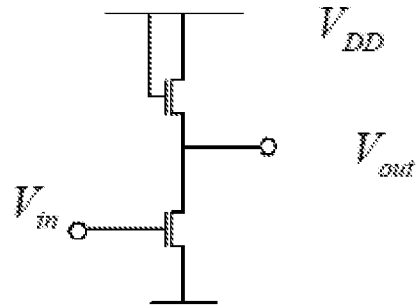


图 9(a)

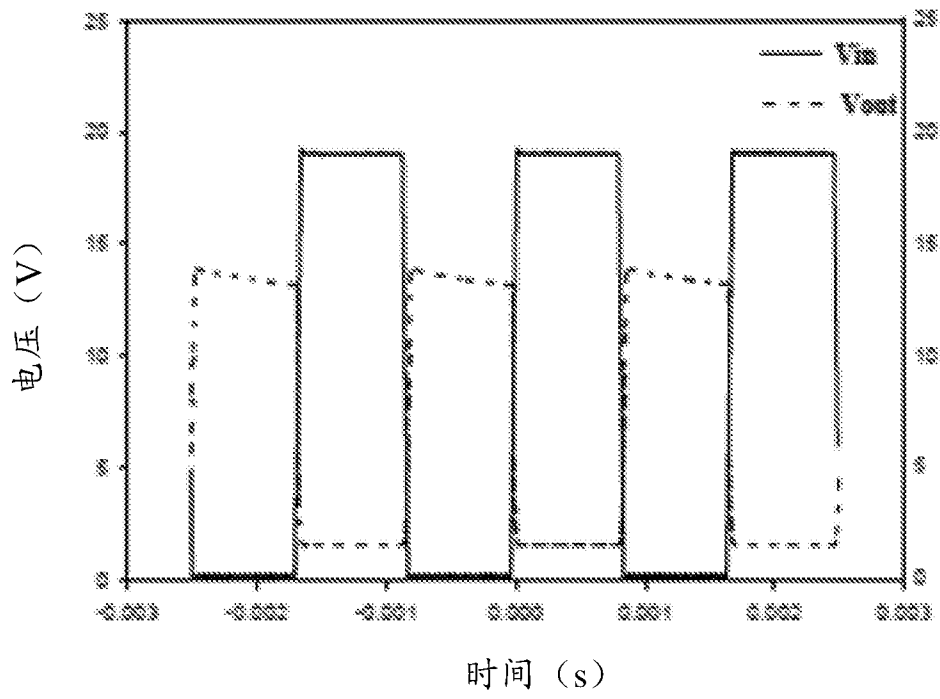


图 9(b)

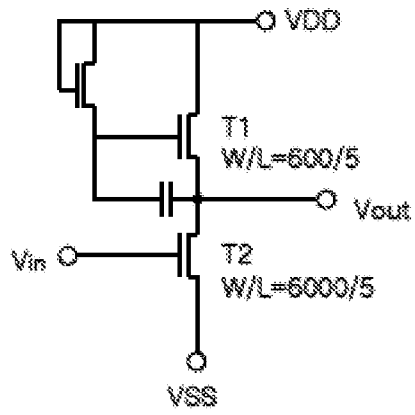


图 10(a)

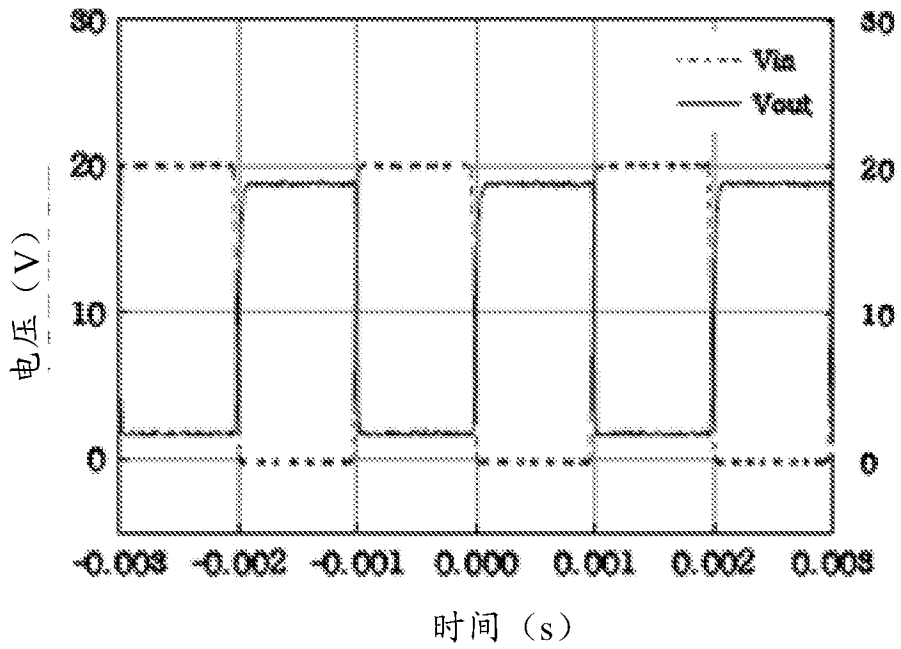


图 10(b)

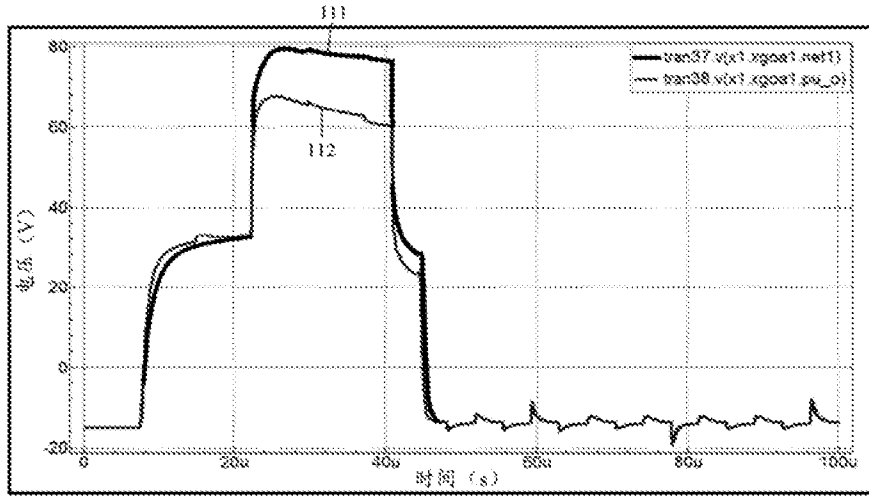


图11

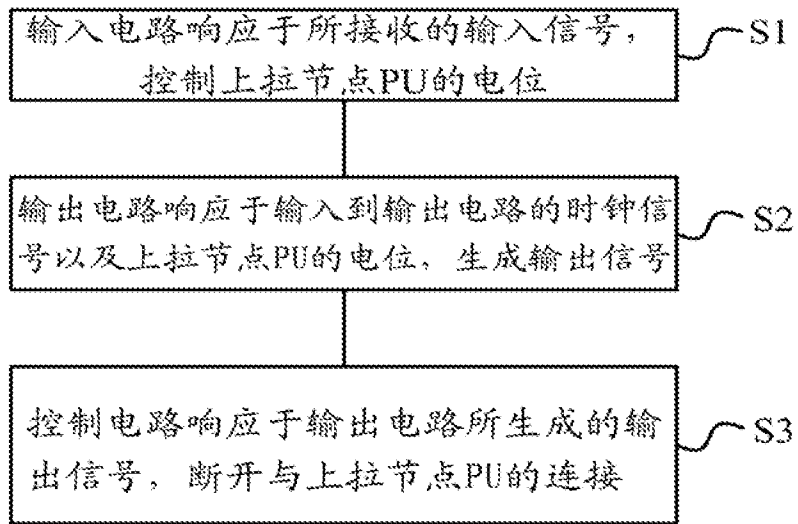


图12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/094820

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 驱动, 栅极, 闸级, 扫描, 寄存, 寄入, 移位, 传输门, 前级, 级联, 控制, 断, 关, 输出, 上拉节点 shift+, mov+, circulat+, register?, SR, driv+, gate, scan+, sweep+, GOA

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 105185349 A (BOE TECHNOLOGY GROUP CO., LTD.), 23 December 2015 (23.12.2015), description, paragraphs [0065]-[0156], and figures 1-8	1-14
Y	CN 103474038 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 25 December 2013 (25.12.2013), description, paragraphs [0073]-[0104], and figures 1-9	1-14
A	CN 104021769 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 September 2014 (03.09.2014), entire document	1-14
A	CN 103700355 A (BOE TECHNOLOGY GROUP CO., LTD.), 02 April 2014 (02.04.2014), entire document	1-14
A	CN 105096865 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 25 November 2015 (25.11.2015), entire document	1-14
A	CN 103065578 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 24 April 2013 (24.04.2013), entire document	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">29 September 2017</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">20 October 2017</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">ZHANG, Peng</p> <p>Telephone No. (86-10) 61648302</p>

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/094820

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2016307531 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 20 October 2016 (20.10.2016), entire document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/094820

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105185349 A	23 December 2015	WO 2017076082 A1	11 May 2017
CN 103474038 A	25 December 2013	CN 103474038 B	16 November 2016
		WO 2015018141 A1	12 February 2015
CN 104021769 A	03 September 2014	CN 104021769 B	15 June 2016
		EP 3151235 A1	05 April 2017
		WO 2015180420 A1	03 December 2015
		US 2016266699 A1	15 September 2016
CN 103700355 A	02 April 2014	EP 3086312 A1	26 October 2016
		WO 2015089954 A1	25 June 2015
		CN 103700355 B	04 May 2016
		US 2015325190 A1	12 November 2015
CN 105096865 A	25 November 2015	WO 2017020472 A1	09 February 2017
CN 103065578 A	24 April 2013	US 9336898 B2	10 May 2016
		US 2014169518 A1	19 June 2014
		CN 103065578 B	13 May 2015
		EP 2743929 A1	18 June 2014
US 2016307531 A1	20 October 2016	GB 2548274 A	13 September 2017
		GB 201708785 D0	19 July 2017
		US 9558704 B2	31 January 2017
		WO 2016161679 A1	13 October 2016
		DE 112015005415 T5	07 September 2017
		CN 104766575 A	08 July 2015

国际检索报告

国际申请号

PCT/CN2017/094820

<p>A. 主题的分类 G09G 3/36(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNKI, CNPAT, WPI, EPODOC: 驱动, 栅极, 闸级, 扫描, 寄存, 寄入, 移位, 传输门, 前级, 级联, 控制, 断, 关, 输出, 上拉节点 shift+, mov+, circulat+, register?, SR, driv+, gate, scan+, sweep+, GOA</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 105185349 A (京东方科技集团股份有限公司) 2015年 12月 23日 (2015 - 12 - 23) 说明书第[0065]-[0156]段, 附图1-8</td> <td>1-14</td> </tr> <tr> <td>Y</td> <td>CN 103474038 A (京东方科技集团股份有限公司 等) 2013年 12月 25日 (2013 - 12 - 25) 说明书第[0073]-[0104]段, 附图1-9</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104021769 A (京东方科技集团股份有限公司 等) 2014年 9月 3日 (2014 - 09 - 03) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 103700355 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 105096865 A (京东方科技集团股份有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 103065578 A (京东方科技集团股份有限公司 等) 2013年 4月 24日 (2013 - 04 - 24) 全文</td> <td>1-14</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 105185349 A (京东方科技集团股份有限公司) 2015年 12月 23日 (2015 - 12 - 23) 说明书第[0065]-[0156]段, 附图1-8	1-14	Y	CN 103474038 A (京东方科技集团股份有限公司 等) 2013年 12月 25日 (2013 - 12 - 25) 说明书第[0073]-[0104]段, 附图1-9	1-14	A	CN 104021769 A (京东方科技集团股份有限公司 等) 2014年 9月 3日 (2014 - 09 - 03) 全文	1-14	A	CN 103700355 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-14	A	CN 105096865 A (京东方科技集团股份有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-14	A	CN 103065578 A (京东方科技集团股份有限公司 等) 2013年 4月 24日 (2013 - 04 - 24) 全文	1-14
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
Y	CN 105185349 A (京东方科技集团股份有限公司) 2015年 12月 23日 (2015 - 12 - 23) 说明书第[0065]-[0156]段, 附图1-8	1-14																					
Y	CN 103474038 A (京东方科技集团股份有限公司 等) 2013年 12月 25日 (2013 - 12 - 25) 说明书第[0073]-[0104]段, 附图1-9	1-14																					
A	CN 104021769 A (京东方科技集团股份有限公司 等) 2014年 9月 3日 (2014 - 09 - 03) 全文	1-14																					
A	CN 103700355 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-14																					
A	CN 105096865 A (京东方科技集团股份有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-14																					
A	CN 103065578 A (京东方科技集团股份有限公司 等) 2013年 4月 24日 (2013 - 04 - 24) 全文	1-14																					
国际检索实际完成的日期 2017年 9月 29日	国际检索报告邮寄日期 2017年 10月 20日																						
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 张鹏 电话号码 (86-10)61648302																						

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2016307531 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 2016年 10月 20日 (2016 - 10 - 20) 全文	1-14
<hr/>		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/094820

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105185349	A	2015年 12月 23日	WO	2017076082	A1	2017年 5月 11日
CN	103474038	A	2013年 12月 25日	CN	103474038	B	2016年 11月 16日
				WO	2015018141	A1	2015年 2月 12日
CN	104021769	A	2014年 9月 3日	CN	104021769	B	2016年 6月 15日
				EP	3151235	A1	2017年 4月 5日
				WO	2015180420	A1	2015年 12月 3日
				US	2016266699	A1	2016年 9月 15日
CN	103700355	A	2014年 4月 2日	EP	3086312	A1	2016年 10月 26日
				WO	2015089954	A1	2015年 6月 25日
				CN	103700355	B	2016年 5月 4日
				US	2015325190	A1	2015年 11月 12日
CN	105096865	A	2015年 11月 25日	WO	2017020472	A1	2017年 2月 9日
CN	103065578	A	2013年 4月 24日	US	9336898	B2	2016年 5月 10日
				US	2014169518	A1	2014年 6月 19日
				CN	103065578	B	2015年 5月 13日
				EP	2743929	A1	2014年 6月 18日
US	2016307531	A1	2016年 10月 20日	GB	2548274	A	2017年 9月 13日
				GB	201708785	D0	2017年 7月 19日
				US	9558704	B2	2017年 1月 31日
				WO	2016161679	A1	2016年 10月 13日
				DE	112015005415	T5	2017年 9月 7日
				CN	104766575	A	2015年 7月 8日

表 PCT/ISA/210 (同族专利附件) (2009年7月)