

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6005109号
(P6005109)

(45) 発行日 平成28年10月12日(2016.10.12)

(24) 登録日 平成28年9月16日(2016.9.16)

(51) Int. Cl.		F I			
HO2M	1/00	(2007.01)	HO2M	1/00	F
HO2M	3/28	(2006.01)	HO2M	3/28	R

請求項の数 8 (全 16 頁)

(21) 出願番号	特願2014-160526 (P2014-160526)	(73) 特許権者	514200291 株式会社MersIntel
(22) 出願日	平成26年8月6日(2014.8.6)		京都府京都市下京区烏丸通四条下る水銀屋町620番地
(65) 公開番号	特開2016-39673 (P2016-39673A)	(74) 代理人	100090985 弁理士 村田 幸雄
(43) 公開日	平成28年3月22日(2016.3.22)	(74) 代理人	100093506 弁理士 小野寺 洋二
審査請求日	平成27年1月7日(2015.1.7)	(73) 特許権者	508276121 クリーンエナジーファクトリー株式会社 北海道根室市昆布盛149番地12
		(74) 代理人	100090985 弁理士 村田 幸雄

最終頁に続く

(54) 【発明の名称】 太陽光出力オブティマイザ回路

(57) 【特許請求の範囲】

【請求項1】

出力が変動する太陽光パネルの電力出力から安定的に電力を収穫する太陽光発電システムに用いる太陽光出力オブティマイザ回路であって、

前記太陽光パネルの出力を入力する太陽光発電入力手段と、前記太陽光発電入力手段に入力したDC電圧を所定のパルス電圧もしくはAC電圧に変換するスイッチング手段と、前記スイッチング手段の出力電力をさらに所定の電圧に昇圧する倍電圧整流手段とからなり、

前記太陽光発電入力手段は、前記太陽光パネルの「+」出力に直列接続されるインダクタンスL1と、このインダクタンスL1に並列に接続され、当該太陽光パネルの出力が小さくて通常の制御ができないときだけ当該インダクタンスL1の出力に生じるサージ電圧を吸収するように作用して前記太陽光パネルの出力が大きくなると前記インダクタンスL1から自動的に切り離されるサージ保護回路を具備し、

前記サージ保護回路は、前記太陽光パネルの(+)出力を入力するPV入力(+)に一端を接続したインダクタンスL1と、ダイオードD3を介してソース電極を前記インダクタンスL1の一端に接続し、前記インダクタンスL1の他端にドレイン電極を接続したスイッチングトランジスタQ6と、前記スイッチングトランジスタQ6のソース電極にドレイン電極を接続し、前記ソース電極を接地に接続したスイッチングトランジスタQ7と、前記スイッチングトランジスタQ6のソース電極と前記インダクタンスL1の一方の端子との間に、前記スイッチングトランジスタQ6のソース電極にアノードを接続し、前記イ

スイッチング手段を構成する前記スイッチングトランジスタQ2のソース電極と前記スイッチングトランジスタQ3のドレイン電極に接続し、二次側に倍電圧昇圧回路を接続したトランスと、

前記トランスの前記二次側の一端にアノードを接続し、カソードを前記倍電圧整流手段の「+」出力端子に接続したダイオードD1と、前記トランスの前記二次側の一端にカソードを接続し、アノードを前記倍電圧整流手段の「-」出力端子に接続したダイオードD2と、

一端を前記トランスの前記二次側の他端に接続し、他端を前記倍電圧整流手段の「+」出力端子に接続したコンデンサC1と、一端を前記トランスの前記二次側の他端に接続し、他端を前記倍電圧整流手段の「-」出力端子に接続したコンデンサC2とで構成したことを特徴とする太陽光出力オブティマイザ回路。

10

【請求項6】

請求項1乃至5の何れかにおいて、

前記太陽光出力オブティマイザ回路を構成するスイッチングトランジスタは、エンハンスメント型Nチャンネル電力用MOSFETであることを特徴とする太陽光出力オブティマイザ回路。

【請求項7】

請求項1乃至6の何れかにおいて、

前記太陽光出力オブティマイザ回路の一方の出力は、外部系統にAC電力を出力するパワーコンディショナに接続されることを特徴とする太陽光出力オブティマイザ回路。

20

【請求項8】

請求項1乃至7の何れかにおいて、

前記太陽光出力オブティマイザ回路は複数の太陽光パネル毎に接続され、それらの出力を並列接続することを特徴とする太陽光出力オブティマイザ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、太陽光パネルを用いた発電システムに係り、特に出力変動が大きい太陽光パネルの出力をオブティマイズ（最適化）することで安定した発電出力の収穫を可能とした太陽光出力のオブティマイザ回路に関する。

30

【背景技術】

【0002】

エネルギー資源の多様化に伴い、再生可能エネルギーの一つとして太陽光パネルを利用する発電が普及している。近年のエネルギー不足やCO₂の排出抑制を背景として、1000kWを超える大規模な太陽光発電プラント（所謂、メガソーラー）の建設も盛んになっている。なお、以下では、太陽光発電をPV(Photo-Voltaic)、それに用いる太陽光パネル（あるいは、ソーラーパネル）をPVパネルとも称する。

【0003】

PVパネルの出力は、照射される光量により変化する。特に夜明けなどの光量が少ないときには出力は小さく、内部インピーダンスが高くなっている。内部インピーダンスが高い状態で負荷を接続すると電圧が下がって電源としての正常な動作ができず、不安定な電源となる。PVパネルが低光量の状態にあっても安定に動作する制御が必要となる。このような制御を最適化（オブティマイズ）、最適化手段（回路）をオブティマイザと称する。

40

【0004】

図6は、従来のPVオブティマイザの基本構成を説明する回路図である。また、図7は、図6の回路を構成するスイッチングトランジスタのゲート信号のレベルで示す動作波形図である。図6において、PVパネル（図示せず）の「+」出力と「-」出力は、それぞれオブティマイザ100のPV入力101(IN+)とPV入力102(IN-)：接地に入力する。Q1、Q2、Q3、Q4、Q5は第1、第2、第3、第4、第5のスイッチ

50

ングトランジスタで、Nチャンネル電力用MOSFETを用いている。この回路では、図示のエンハンスメント型が好適であるが、同様の機能を有するものであればこれに限らない。L1は、一端aがPV入力101に接続され、他端bが第1のスイッチングトランジスタQ1と第2のスイッチングトランジスタQ2及び第4のスイッチングトランジスタQ4のドレイン端子に接続されたインダクタンスである。

【0005】

また、T1はトランスで、一次巻線（一次側）の一端aが第2のスイッチングトランジスタQ2のソース電極と第3のスイッチングトランジスタQ3のドレイン電極に接続され、他端bが第4のスイッチングトランジスタQ4のソース電極と第5のスイッチングトランジスタQ5のドレイン電極に接続されている。トランスT1の二次巻線（二次側）の前記一次側の一端aと同極である一端cは第1のダイオードD1のアノードと第2のダイオードD2のカソードに接続され、他端dは直列接続された第1のコンデンサC1と第2のコンデンサC2の直列接続点に接続される。第1のコンデンサC1の遊端は第1のダイオードD1のカソードに接続されると共にオプティマイザ出力の一方104（OUT+）に接続される。そして、第2のコンデンサC2の遊端は第2のダイオードD2のアノードに接続されると共にオプティマイザ出力の他方104（OUT-）に接続される。

10

【0006】

なお、第1のスイッチングトランジスタQ1のソース、第3のスイッチングトランジスタQ3のソース、第5のスイッチングトランジスタQ5のソースは接地に接続される。第2のトランジスタQ2と第4のスイッチングトランジスタQ4はハイサイドスイッチを構成し、第3のスイッチングトランジスタQ3と第5のスイッチングトランジスタQ5はローサイドスイッチを構成する。

20

【0007】

図6に示したPVオプティマイザ100が通常の動作をしているときは、第1のスイッチングトランジスタQ1、第2のスイッチングトランジスタQ2、第3のスイッチングトランジスタQ3、第4のスイッチングトランジスタQ4、第5のスイッチングトランジスタQ5の各ゲート信号Q1-G、Q2-G、Q3-G、Q4-G、Q5-Gは図7に示したようになっている。第1～第5のスイッチングトランジスタQ1、Q2、Q3、Q4、Q5の各ゲート信号Q1-G、Q2-G、Q3-G、Q4-G、Q5-Gの生成手段は後述する。このPVオプティマイザ100はブリッジ型の昇圧・倍電圧整流回路である。図7において、スイッチング周波数は、例えば50kHzであり、その1周期Tの前半をA、後半をBとし、前半、後半における各ゲート信号Gがハイレベル（H）で対応するトランジスタがON、ローレベル（L）でOFFとなる。

30

【0008】

通常動作状態では、周期Tの前半Aのときは、Aa区間で第1～第5のスイッチングトランジスタQ1～Q5は全てONにしてインダクタンスL1を励磁し、Ab区間になると第1のスイッチングトランジスタQ1、第3のスイッチングトランジスタQ3、第4のスイッチングトランジスタQ4をOFFすることで第2のスイッチングトランジスタQ2と第5のスイッチングトランジスタQ5がONとなる。これにより、トランスT1の一次側の一端aがプラス（+）、他端bが接地（GND）となってトランスT1が一端aから他端b方向に励磁される。

40

【0009】

1周期の後半Bに入ると、再度Ba区間で第1～第5のスイッチングトランジスタQ1～Q5のすべてをONにしてインダクタンスL1を励磁し、Bb区間になると第1のスイッチングトランジスタQ1、第2のスイッチングトランジスタQ2、第5のスイッチングトランジスタQ5をOFFすることで、第3のスイッチングトランジスタQ3と第4のスイッチングトランジスタQ4だけがONとなって、今度はトランスT1の一次側の他端bがプラス（+）、トランスT1の一次側の一端aが接地（GND）となって、トランスT1が上記と逆に他端bから一端a方向に励磁される。

【0010】

50

これでスイッチング周波数の1周期の動作が終了し、その後はその繰り返しとなる。トランスT1の2次側は、1次側と同様に、スイッチング周波数の半周期($T/2$)毎にプラス(+)とマイナス(-)を繰り返し、第1のダイオードD1、第2のダイオードD2と第1のコンデンサC1、第2のコンデンサC2による倍電圧整流によって、トランスT1の2次側電圧の2倍に昇圧された電圧が得られる。なお、第1のスイッチングトランジスタQ1は無くても良いが、これを設けたことによって第2のスイッチングトランジスタQ2~第5のスイッチングトランジスタQ5がONとなった時のON抵抗を下げ、負担を軽くすることができる。

【0011】

通常の動作をしているときは、図7に示したゲート信号によって動作しており、スイッチング周期の前半AのAa区間および後半BのBa区間のパルス幅を変えるPWM制御と、スイッチング周期Tの前半Aと後半Bの時間、即ち周期を変えるPFM制御を行っている。

【0012】

この種の従来技術を開示したものとしては、特許文献1、特許文献2、特許文献3などを挙げる事ができる。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2006-101581号公報

【特許文献2】特開2011-170836号公報

【特許文献3】特開2013-541930号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

基本的に、太陽光パネル(PVパネル)の出力は当該パネルに照射される光量により変化するが、特に夜明け等の光量が小さいときは出力も小さく内部インピーダンスが高くなっている。内部インピーダンスが高い状態で負荷を接続すると電圧が下がって電力源として正常な動作ができないため、この状況でも安定に動作する制御が必要となる。

【0015】

PVパネルが低出力であっても、電力源として安定に動作させるため、図6のインダクタンスL1を励磁する時間(図7に示されたスイッチング信号の周期T)のAa区間およびBa区間を非常に短いパルスで駆動するか、もしくはA+Bの周期を非常に長くすることが有効である。

【0016】

しかしながら、図7に示したAa区間およびBa区間が短くなった場合、トランスT1があるために、第2のスイッチングトランジスタQ2と第5のスイッチングトランジスタQ5、もしくは第3のスイッチングトランジスタQ3と第4のスイッチングトランジスタQ4のONする時間が長くなり、結局PVパネルの出力を短絡することになってしまう。

【0017】

図8は、PVパネルへの照射光量が少ない場合のAa区間およびBa区間が短くなった場合の各スイッチングトランジスタのスイッチング信号の波形図である。上記したPVパネルの出力の短絡を防止するため、図8に示したように周期Tの前半のAb区間の終端、および後半のBb区間の終端から第2のスイッチングトランジスタQ2および第4のスイッチングトランジスタQ4を一定時間でOFFして、Ac区間およびBc区間に示した状態にするように各スイッチングトランジスタのゲート信号を生成する。

【0018】

特に、PVパネルが非常に低出力状態にあるときは、上記Ac区間およびBc区間の時間を極力長くすることで、低電力でも安定な動作を続けることができる。

【0019】

10

20

30

40

50

ところが、上記のように第2のスイッチングトランジスタQ2および第4のスイッチングトランジスタQ4をOFFにした瞬間にインダクタンスL1の他端bが解放状態になって非常に高いサージ電圧が発生する。その結果、第1のスイッチングトランジスタQ1、第2のスイッチングトランジスタQ2、第4のスイッチングトランジスタQ4に上記のサージ電圧が加わり、これらのスイッチングトランジスタの破壊を起こす可能性がある。

【0020】

本発明の目的は、PVパネルが非常に低出力状態の低電力でも安定な動作を続行する際のインダクタンスに生じるサージ電圧からトランジスタを保護する手段を備えた太陽光出力最適化回路を提供することにある。

【課題を解決するための手段】

【0021】

上記目的を達成するため、本発明に係る太陽光出力の最適化回路の構成例を挙げれば、次のとおりである。なお、各構成部分に実施例の符号等を付記して構成を明確にした。

【0022】

(1)出力が変動する太陽光パネルの電力出力から安定的に電力を収穫する太陽光発電システムに用いる太陽光出力の最適化回路であって、

太陽光パネルのDC出力を入力する太陽光発電入力手段200と、前記太陽光発電入力手段に入力したDC電圧を所定のパルス電圧もしくはAC電圧に変換するスイッチング手段300と、

前記スイッチング手段300の出力電力をさらに所定のDC電圧に昇圧する倍電圧整流手段400とからなる。倍電圧整流手段400のDC電圧出力はAC電圧出力に変換して外部システムに出力するパワーコンディショナ150に入力される。前記太陽光発電入力手段200は、前記太陽光パネルの「+」出力に直列接続されるインダクタンスL1と、このインダクタンスL1に並列に接続され、前記太陽光パネルの出力が小さくて通常の制御ができないときだけ当該インダクタンスL1の出力に生じるサージ電圧を吸収するように作用して前記太陽光パネルの出力が大きくなると前記インダクタンスL1から自動的に切り離されるサージ保護回路250を具備し、

前記サージ保護回路は、前記太陽光パネルの(+)出力を入力する太陽光発電入力(+)に一端を接続したインダクタンスL1と、第3のダイオードD3を介してソース電極を前記インダクタンスL1の一端に接続し、前記インダクタンスL1の他端にドレイン電極を接続したスイッチングトランジスタQ6と、前記スイッチングトランジスタQ6のソース電極と前記インダクタンスL1の一方の端子との間に、前記スイッチングトランジスタQ6のソース電極にアノードを接続し、前記インダクタンスL1の一方の端子にカソードを接続したダイオードD3を接続してなり、

前記スイッチングトランジスタQ6のソース電極にカソードを接続し、アノードを接地に接続した他方のダイオードD4とで構成したことを特徴とする。

【0024】

(2)前記(1)において、

出力が変動する太陽光パネルの電力出力から安定的に電力を収穫する太陽光発電システムに用いる太陽光出力の最適化回路であって、

太陽光パネルのDC出力を入力する太陽光発電入力手段200と、前記太陽光発電入力手段に入力したDC電圧を所定のパルス電圧もしくはAC電圧に変換するスイッチング手段300と、

前記スイッチング手段300の出力電力をさらに所定のDC電圧に昇圧する倍電圧整流手段400とからなる。倍電圧整流手段400のDC電圧出力はAC電圧出力に変換して外部システムに出力するパワーコンディショナ150に入力される。前記太陽光発電入力手段200は、前記太陽光パネルの「+」出力に直列接続されるインダクタンスL1と、このインダクタンスL1に並列に接続され、前記太陽光パネルの出力が小さくて通常の制御ができないときだけ当該インダクタンスL1の出力に生じるサージ電圧を吸収するように作

10

20

30

40

50

用して前記太陽光パネルの出力が大きくなると前記インダクタンスL1から自動的に切り離されるサージ保護回路250を具備し、

前記太陽光出力最適化回路の前記サージ保護回路250は、前記太陽光パネルの(+)出力を入力する前記太陽光発電入力(+)に一端aを接続したインダクタンスL1と、第3のダイオード(一方のダイオード)D3を介してソース電極を前記インダクタンスL1の一端aに接続し、前記インダクタンスL1の他端bにドレイン電極を接続した(第6の)スイッチングトランジスタQ6と、前記(第6の)スイッチングトランジスタQ6のソース電極と前記インダクタンスL1の一方の端子aとの間に、前記(第6の)スイッチングトランジスタQ6のソース電極にアノードを接続し、前記インダクタンスL1の一方の端子aにカソードを接続した(第3の)ダイオードD3を接続してなり、

前記(第6の)スイッチングトランジスタQ6のソース電極にカソードを接続し、アノードを接地に接続した(第4の)ダイオード(他方のダイオード)D4とで構成したことを特徴とする。

【0025】

(3)前記(1)又は(2)において、前記太陽光出力最適化回路の前記スイッチング手段300は、前記インダクタンスL1の他端bにドレイン電極を接続し、ソース電極を接地に接続した第1のスイッチングトランジスタQ1と、前記インダクタンスL1の他端bにドレイン電極を接続し、ソース電極を前記倍電圧整流手段の一方の入力(倍電圧整流手段を構成するトランスT1の一次側の一端)に接続した第2のスイッチングトランジスタQ2と、前記第2のスイッチングトランジスタQ2のソース電極にドレイン電極を接続し、ソース電極を接地に接続した第3のスイッチングトランジスタQ3と、前記インダクタンスL1の他端bにドレイン電極を接続し、ソース電極を前記倍電圧整流手段の他方の入力(倍電圧整流手段を構成するトランスT1の一次側の他端b)に接続した第4のスイッチングトランジスタQ4と、ドレイン電極を前記倍電圧整流手段の他方の入力(倍電圧整流手段を構成するトランスT1の一次側の他端b)に接続し、ソース電極を接地に接続した第5のスイッチングトランジスタQ5とで構成したことを特徴とする。

【0026】

(4)前記(3)において、前記太陽光出力最適化回路の前記スイッチング手段300を構成する前記第2のスイッチングトランジスタQ2と前記第4のスイッチングトランジスタQ4はハイサイドスイッチとして動作し、前記第3のスイッチングトランジスタQ3と前記第5のスイッチングトランジスタQ5はローサイドスイッチとして動作することを特徴とする。

【0027】

(5)前記(3)において、前記太陽光出力最適化回路の前記倍電圧整流手段は、一次側の一端aを前記スイッチング手段300を構成する前記第2のスイッチングトランジスタQ2のソース電極と前記第3のスイッチングトランジスタQ3のドレイン電極に接続し、二次側に倍電圧整流回路を接続したトランスT1と、

前記トランスT1の前記二次側の一端cにアノードを接続し、カソードを前記倍電圧整流手段の「+」出力端子(OUT+)に接続した第1のダイオードD1と、前記トランスT1の前記二次側の一端cにカソードを接続し、アノードを前記倍電圧整流手段の「-」出力端子(OUT-)に接続した第2のダイオードD2と、

一端を前記トランスT1の前記二次側の他端dに接続し、他端を前記倍電圧整流手段の「+」出力端子(OUT+)に接続した第1のコンデンサC1と、一端を前記トランスT1の前記二次側の他端dに接続し、他端を前記倍電圧整流手段の「-」出力端子(OUT-)に接続した第2のコンデンサC2とで構成したことを特徴とする。

【0028】

(6)前記(1)~(5)の何れかにおいて、前記太陽光出力最適化回路を構成するスイッチングトランジスタは、エンハンスメント型Nチャンネル電力用MOSFETであることを特徴とする。

【0029】

10

20

30

40

50

(7) 前記(1)～(6)の何れかにおいて、前記太陽光出力オブティマイザ回路の出力は、外部系統にAC電力を出力するパワーコンディショナに接続されることを特徴とする。

【0030】

(8) 前記(1)～(7)の何れかにおいて、前記太陽光出力オブティマイザ回路は複数の太陽光パネル毎に接続され、それらの出力を並列接続することを特徴とする。

【0031】

本発明は、上記の構成、後述する発明の詳細な説明に記載された技術思想を逸脱することなく、種々の変更が可能であることは言うまでもない。

【発明の効果】

10

【0032】

本発明に係る太陽光出力オブティマイザ回路によれば、その入力回路に設けた保護回路の動作で前記したサージ電圧の発生を抑制し、スイッチングトランジスタの破壊を防止してPVパネルの出力変動に対しても安定した動作を得ることができる。

【図面の簡単な説明】

【0033】

【図1】本発明に係る太陽光出力オブティマイザ回路の説明図である。

【図2】図1の回路を構成するスイッチングトランジスタのゲート信号のレベルで示す動作タイミング波形図である。

【図3】本発明の太陽光出力オブティマイザ回路の実施例2の構成を説明する回路図である。

20

【図4】本発明の太陽光出力オブティマイザ回路を構成するスイッチングトランジスタのON・OFFを制御するゲート信号Q1-G～Q7-Gを生成する制御回路を説明するブロック図である。

【図5】太陽パネル発電システムにおける本発明に係る太陽光出力オブティマイザ回路の接続状態の説明図である。

【図6】従来のPVオブティマイザの基本構成を説明する回路図である。

【図7】図6の回路を構成するスイッチングトランジスタのゲート信号のレベルで示す動作波形図である。

【図8】PVパネルへの照射光量が少ない場合のAa区間およびBa区間が短くなった場合の各スイッチングトランジスタのスイッチング信号の波形図である。

30

【発明を実施するための形態】

【0034】

以下、本発明を実施するための形態を、実施例の図面を参照して詳細に説明する。

【実施例1】

【0035】

図1は、本発明のPVオブティマイザの実施例1の構成を説明する回路図である。また、図2は、図1の回路を構成するスイッチングトランジスタのゲート信号のレベルで示す動作タイミング波形図である。図2には、本実施例の動作説明を明確にするため、前記した従来技術で説明した動作タイミング波形も含み、図2の「4」は図7の丸で囲んだ4に、「1」は図8の丸で囲んだ1に対応する。

40

【0036】

図1に示した本発明の実施例1に係るPVオブティマイザ回路100は、PV入力手段200、スイッチング手段300および倍電圧整流手段400で構成される。スイッチング手段300および倍電圧整流手段400の構成は前記した従来のPVオブティマイザ回路と同様である。回路の動作、作用については、前記の従来技術の説明に負うところもあり、また、説明が重複する部分もある。

【0037】

図1において、PVパネル(図示せず)の「+」出力と「-」出力は、それぞれオブティマイザ100のPV入力101(IN+)とPV入力102(IN-:接地)に入力す

50

る。Q 1、Q 2、Q 3、Q 4、Q 5 は第 1、第 2、第 3、第 4、第 5 のスイッチングトランジスタで、N チャンネル電力用 MOS F E T を用いている。この回路では、図示のエンハンスメント型が好適であるが、同様の機能を有するものであればこれに限らない。

【 0 0 3 8 】

P V 入力手段 2 0 0 を構成するインダクタンス L 1 の P V 入力 1 0 1 (I N +) 側 (一端 a) と前記インダクタンス L 1 の他端 b にはサージ保護回路 2 5 0 が接続されている。このサージ保護回路 2 5 0 はインダクタンス L 1 に並列になるように接続されている。インダクタンス L 1 の他端 b は第 1 のスイッチングトランジスタ Q 1、第 2 のスイッチングトランジスタ Q 2、第 4 のスイッチングトランジスタ Q 4 および第 5 のスイッチングトランジスタ Q 5 で構成されたスイッチング手段 3 0 0 に接続されている。倍電圧整流手段 4 0 0 の D C 電圧出力は A C 電圧出力に変換して外部系統に出力するパワーコンディショナ 1 5 0 に入力される。

10

【 0 0 3 9 】

倍電圧整流手段 4 0 0 を構成するトランス T 1 の一次巻線 (一次側) の一端 a は、スイッチング手段 3 0 0 を構成する第 2 のスイッチングトランジスタ Q 2 のソース電極と第 3 のスイッチングトランジスタ Q 3 のドレイン電極に接続されている。そして、トランス T 1 の一次側の他端 b は第 4 のスイッチングトランジスタ Q 4 のソース電極と第 5 のスイッチングトランジスタ Q 5 のドレイン電極に接続されている。

【 0 0 4 0 】

トランス T 1 の二次巻線 (二次側) の前記一次側の一端 a と同極である一端 c は第 1 のダイオード D 1 のアノードと第 2 のダイオード D 2 のカソードに接続され、他端 d は直列接続された第 1 のコンデンサ C 1 と第 2 のコンデンサ C 2 の直列接続点に接続される。第 1 のコンデンサ C 1 の遊端は第 1 のダイオード D 1 のカソードに接続されると共にオプティマイザ出力の一方 1 0 4 (O U T +) に接続される。そして、第 2 のコンデンサ C 2 の遊端は第 2 のダイオード D 2 のアノードに接続されると共にオプティマイザ出力の他方 1 0 5 (O U T -) に接続される。

20

【 0 0 4 1 】

なお、スイッチング手段 3 0 0 を構成する第 1 のスイッチングトランジスタ Q 1 のソース、第 3 のスイッチングトランジスタ Q 3 のソース、第 5 のスイッチングトランジスタ Q 5 のソースは接地に接続される。第 2 のトランジスタ Q 2 と第 4 のスイッチングトランジスタ Q 4 はハイサイドスイッチを構成し、第 3 のスイッチングトランジスタ Q 3 と第 5 のスイッチングトランジスタ Q 5 はローサイドスイッチを構成する。

30

【 0 0 4 2 】

入力手段 2 0 0 に設けられたサージ保護回路 2 5 0 は、P V パネルの (+) 出力を入力する入力 1 0 1 (I N +) に一端 a を接続したインダクタンス L 1 と、第 3 のダイオード (一方のダイオード) D 3 を介してソース電極をインダクタンス L 1 の一端 a に接続し、前記インダクタンス L 1 の他端 b にドレイン電極を接続した第 6 のスイッチングトランジスタ (一方のスイッチングトランジスタ) Q 6 と、第 6 のスイッチングトランジスタ Q 6 のソース電極にドレイン電極を接続し、前記ソース電極を接地に接続した第 7 のスイッチングトランジスタ (他方のスイッチングトランジスタ) Q 7 と、前記第 6 のスイッチングトランジスタ Q 6 のソース電極と前記インダクタンス L 1 の一方の端子 a との間に、前記第 6 のスイッチングトランジスタ Q 6 のソース電極にアノードを接続し、前記インダクタンス L 1 の一方の端子 a にカソードを接続した第 3 のダイオード D 3 を接続して構成される。

40

【 0 0 4 3 】

前記第 6 のスイッチングトランジスタ Q 6 のソース電極と前記第 7 のスイッチングトランジスタ Q 7 のドレイン電極の接続点にはカソードが接続され、アノードを接地に接続した第 4 のダイオード (他方のダイオード) D 4 を有する。この第 4 のダイオード (他方のダイオード) D 4 は、前記第 7 のスイッチングトランジスタ Q 7 の内部に存在する寄生ダイオード (回路図には不記載) で代用することができる場合は省略可能である。第 7 のス

50

スイッチングトランジスタQ7の内部に存在する寄生ダイオードで代用することができる場合とは、寄生ダイオードの特性（最大順方向電流値等）が第4のダイオードに必要な特性を備えていることである。

【0044】

このように、実施例1では、前記したインダクタンスL1に生じるサージ電圧の発生を抑えるため、入力回路内に第6のスイッチングトランジスタQ6、もしくは第6のスイッチングトランジスタQ6と第7のスイッチングトランジスタQ7からなる回路を設けた構成を特徴とする。

【0045】

PVオプティマイザ100の出力はパワーコンディショナ150（図5参照）に入力し、所定AC電圧として商用電力系統に出力する。

10

【0046】

第6のスイッチングトランジスタQ6および第7のスイッチングトランジスタQ7は、PVパネルの出力電力が小さくて通常の制御ができないときだけ作用し、出力電力が大きくなると、PWM制御もしくはPFM制御により、途中で自動的にQ6をOFFしたままの状態となる。この「途中」は、PWM制御もしくはPFM制御が実行されているスイッチング周期Tの前半または後半の範囲内の任意の時点である。

【0047】

以下、サージ保護回路の動作について順を追って説明する。図中、Tはスイッチング周波数の1周期の期間を示し、「A」は期間Tの前半、「B」は同後半を示す。「Q1-G」～「Q7-G」は、図1に示された第1～第7のスイッチングトランジスタQ1～Q7をON・OFFさせるゲート信号（ゲートパルス）の印加レベルとそのタイミングである。ハイレベル「H」はスイッチングトランジスタをONさせるゲート信号、ローレベル「L」はスイッチングトランジスタをOFFさせるゲート信号である。

20

【0048】

図2の[1]は、PVパネルの出力が非常に小さいときのスイッチングトランジスタの制御タイミングを示す。図2の[1]の「A」では、ゲート信号Q1-GのパルスAaの幅が非常に狭く（持続時間が短く）、PVパネルの電力出力が小さくてもスイッチング手段300への入力電圧があまり下がらない、即ち、負荷の影響が少ないパルス幅となっている。このパルスAaのパルス幅の期間で励磁されたインダクタンスL1はパルスAbの期間で倍電圧整流手段400を構成するトランスT1の一次側の一端aに伝えられる。しかし、パルスAbの持続時間が長いと短絡状態となるため、トランスT1の一次側の一端aを励磁する時間をパルスAbの持続時間に限定して第2のスイッチングトランジスタQ2をOFFする。

30

【0049】

これにより、倍電圧整流手段400のトランスT1と入力手段200のインダクタンスL1は切断されるが、同時に追加した第6のスイッチングトランジスタQ6を短絡することによりインダクタンスL1に発生するサージ電圧を吸収することができる。同時に、第3のスイッチングトランジスタQ3もONにしてトランスT1を短絡しておく。第7のスイッチングトランジスタQ7はハイサイドドライバの電源をチャージするため、第6のスイッチングトランジスタQ6と逆相にしてAa+Abの期間内に充電をしておく。

40

【0050】

図2の[1]における「B」も同様に、第1のスイッチングトランジスタQ1-GのパルスBaの幅を「A」のパルスAaと同様に非常に短くして、インダクタンスL1の励磁後にBbの限定された時間でトランスT1の一次側の他端bに伝え、第4のスイッチングトランジスタQ4をOFFする。

【0051】

これにより、トランスT1とインダクタンスL1は切断されるので、同時に追加した第6のスイッチングトランジスタQ6を短絡することによりインダクタンスL1に発生するサージ電圧を吸収する。これと同時に、第5のスイッチングトランジスタQ5もONし

50

てトランスT 1を短絡しておく。第7のスイッチングトランジスタQ 7も同様に、第6のスイッチングトランジスタQ 6の逆相でB a + B bの期間内にハイサイドドライバの電源を充電しておく。

【0052】

図2の[2]はP Vパネルの電力出力が大きくなってきたときのスイッチングトランジスタの制御タイミングを示す。P Vパネルの電力出力が大きくなってくると、それを検知して制御することにより、トランスT 1は第1のスイッチングトランジスタQ 1のゲート信号Q 1 - GのパルスA aの幅とパルスB aの幅を少し長くしてインダクタンスL 1の励磁時間を増やす。インダクタンスL 1の励磁後のトランスT 1の伝達時間であるパルスA bとパルスB bの幅は第1のスイッチングトランジスタQ 1のゲート信号Q 1 - Gのパルス幅に比例するように広く(時間が長く)なるよう制御する。そうしておく、ゲート信号Q 1 - GのパルスA aの幅とパルスB aの幅がある程度長くなって、トランスT 1の伝達時間であるパルスA bとパルスB bの幅も広く(時間が長く)なり、同時に伝達がOFFするパルスA cとパルスB cの時間が短くなる。

10

【0053】

図2の[3]はP Vパネルの電力出力が大きくなって通常の動作状態[4]に到達する過程でのスイッチングトランジスタの制御タイミングを示す。図2の[2]の制御を経ることで制御タイミングの波形は図2の[3]のようになり、通常の動作状態(図2の[4])に変化する。

【0054】

上記したように、P Vパネルの電力出力が非常に小さいときは、スイッチング周波数の周期Tを長くし、かつゲート信号のパルス幅も狭い状態としてスタートする。最大電力点追従制御(M P P T)をしながら、P Vパネルの電力出力が大きくなるにつれ周期を短くしていき、一定の周期になれば次にパルス幅を広くしていくことで、本来のM P P T制御のD C - D Cコンバータとして動作する。

20

【0055】

これとは逆に、夕方に近づくときなど、P Vパネルの電力出力が徐々に小さくなってきたときは、これまでの説明と逆に、やはりM P P T制御をしながら、パルス幅を狭めて行き、一定(最低限)のパルス幅まで小さくなれば、次に周期を長くしていき、最終的にデフォルトの状態では制御ができなくなるまで待機する。

30

【0056】

実施例1によれば、入力回路に設けた保護回路の動作で前記したサージ電圧の発生を抑制し、スイッチングトランジスタの破壊を防止してP Vパネルの出力変動に対しても安定した動作を得ることができる。

【実施例2】

【0057】

図3は、本発明の太陽光出力オプティマイザ回路の実施例2の構成を説明する回路図である。前記した実施例1では、入力手段200に第6のスイッチングトランジスタQ 6と第7のスイッチングトランジスタQ 7で構成したサージ保護回路を設けた。実施例2では、入力手段200に設けるサージ保護回路を、図1に示した回路から第7のスイッチングトランジスタQ 7を取り去り、第6のスイッチングトランジスタQ 6と第3のダイオードD 3および第4のダイオードD 4のみとしたものである。

40

【0058】

図3に示した本発明の実施例2の太陽光出力オプティマイザ回路の動作は、実施例1の説明における第7のスイッチングトランジスタQ 7の部分を省いたものとなる。すなわち、ハイサイドドライバ電源を省略した回路である。

【0059】

実施例2によっても、ハイサイドドライバを絶縁型の回路で構成すれば、入力回路に設けた保護回路の動作で前記したサージ電圧の発生を抑制し、スイッチングトランジスタの破壊を防止してP Vパネルの出力変動に対しても安定した動作を得ることができる。

50

【 0 0 6 0 】

次に、上記実施例 1 及び実施例 2 で説明した本発明におけるスイッチングトランジスタの制御信号生成について説明する。図 4 は、本発明の太陽光出力オプティマイザ回路を構成するスイッチングトランジスタの ON・OFF を制御するゲート信号 Q1 - G ~ Q7 - G を生成する制御回路を説明するブロック図である。この制御回路 500 は、マイクロプロセッサ 1000 と、各種センサ（検出回路）、スイッチングトランジスタのゲート駆動用の MOS ドライバで構成される。

【 0 0 6 1 】

マイクロプロセッサ 1000 は、制御ロジック 1001、MPPT 制御部 1002、PWM 制御部 1003、PFM 制御部 1004、タイマ制御部 1006、およびポート 1005 を有する。このポート 1005 には、PV パネルの電圧を検出する PV 電圧検知回路 1101、PV パネルの電流を検出する PV 電流検知回路 1102、太陽光出力オプティマイザ回路 100 の出力電圧を検出する出力電圧検知回路 1201、同出力電流を検出する出力電流検知回路 1202、および各種 MOS ドライバが接続されている。

【 0 0 6 2 】

各種の MOS ドライバは、第 1 のスイッチングトランジスタ Q1 を駆動するローサイド MOS ドライバ 1301、第 2 のスイッチングトランジスタ Q2 を駆動するハイサイド MOS ドライバ 1302、第 3 のスイッチングトランジスタ Q3 を駆動するローサイド MOS ドライバ 1303、第 4 のスイッチングトランジスタ Q4 を駆動するハイサイド MOS ドライバ 1304、第 5 のスイッチングトランジスタ Q5 を駆動するローサイド MOS ドライバ 1305、第 6 のスイッチングトランジスタ Q6 を駆動するハイサイド MOS ドライバ 1306、および第 7 のスイッチングトランジスタ Q7 を駆動する MOS ドライバ 1307 で構成されている。

【 0 0 6 3 】

スイッチングトランジスタのゲート手前には全てゲート駆動用の MOS ドライバがあり、そのドライバを制御回路図 4 の制御回路で生成される信号に接続してスイッチングトランジスタの ON/OFF を制御する。

【 0 0 6 4 】

制御回路の信号は全てマイクロプロセッサ（MPU）1000 が制御している。MPU 1000 はプログラムされたソフトウェアにより制御入力信号から制御ロジック 1001 の信号を作って、スイッチングトランジスタに駆動信号（ゲート信号）を送り込む。MPU 1000 の入出力信号はフィードバック（FB）ループを形成する。

【 0 0 6 5 】

MPU 1000 が太陽光出力オプティマイザ回路 100 の制御に使う入力信号には、PV 電圧検知回路 1101、PV 電流検知回路 1102、出力電圧検知回路 1201、出力電流検知回路 1202 の各検知回路から入力ポート 1005 を通して MPU の制御ロジック部 1001 に伝達される。

【 0 0 6 6 】

MPU 1000 内には、基本的な制御として PWM 制御部 1003、PFM 制御部 1004、タイマ制御部 1006、MPPT 制御部 1002 がある。制御ロジック部 1001 は、これらの制御部と検知した前記検知回路からの入力信号に基づいて最適な制御ロジックを形成する。この制御ロジック部から、最終的には各スイッチングトランジスタのゲート駆動に使う信号が生成され、ポート 1005 を通して各ドライバ 1301 ~ 1306 に伝達される。

【 0 0 6 7 】

図 5 は、太陽パネル発電システムにおける本発明に係る太陽光出力オプティマイザ回路の接続状態の説明図である。PV パネル 50 の出力は太陽光出力（PV）オプティマイザ 100 の入力 101（IN+）と 102（IN-）に接続される。PV パネル 50 の出力電圧範囲は、具体的に 30V ~ 60V / 300W（ただし、電流は 10A max）となっているが、定数等（例えば、トランス T1 の巻線比）の選択によりこの限りではない。

10

20

30

40

50

【 0 0 6 8 】

PVオプティマイザ100の出力104(OUT+)と105(OUT-)はパワーコンディショナ150の入力106(DC+)と107(DC-)に接続される。推奨するパワーコンディショナ150の入力電圧は700~800Vの定電圧負荷であるが、ある程度の電圧範囲は許容される。上記定数等の選択により更に幅広い電圧範囲の入力が可能である。パワーコンディショナ150のAC出力は図示しない商用電力系統等に接続される。

【 0 0 6 9 】

実際の接続においては、太陽光発電サイトのPVパネル50は複数枚で構成されるので、PVパネル毎に本発明に係るPVオプティマイザ100を取り付けてその出力をすべて並列接続にする。一般的なPVパネルのシリーズ接続と違いストリングの概念がないことから、各PVパネルが夫々最大パワーを出すことができる。

10

【産業上の利用可能性】

【 0 0 7 0 】

上記実施例では、本発明を、太陽パネルを用いた電力収穫システムに適用したものと説明したが、電力出力が変動するエネルギー源、たとえば電池や蓄電器の昇圧システムなどにも同様に適用できる。

【符号の説明】

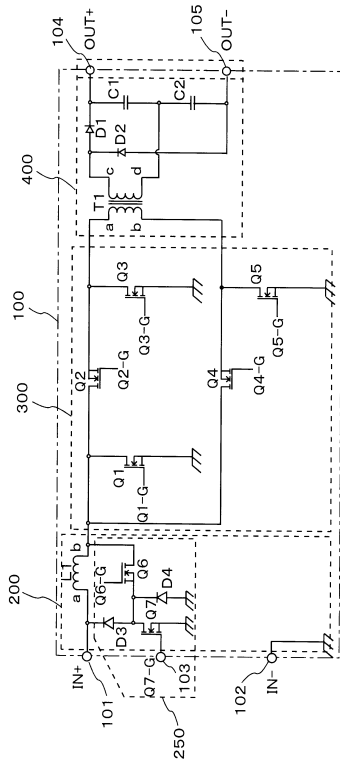
【 0 0 7 1 】

50・・・太陽光パネル(PVパネル)
 100・・・PVオプティマイザ
 101・・・PV入力(+)
 102・・・PV入力(-)
 103・・・第7のスイッチングトランジスタQ7のゲート端子
 104・・・PV出力(+)
 105・・・PV出力(-)
 150・・・パワーコンディショナ
 200・・・入力手段
 250・・・サージ保護回路
 300・・・スイッチング手段
 400・・・倍電圧整流手段
 Q1~Q7・・・スイッチングトランジスタ
 D1~D4・・・ダイオード
 C1、C2・・・コンデンサ
 L1・・・インダクタンス
 T1・・・トランス

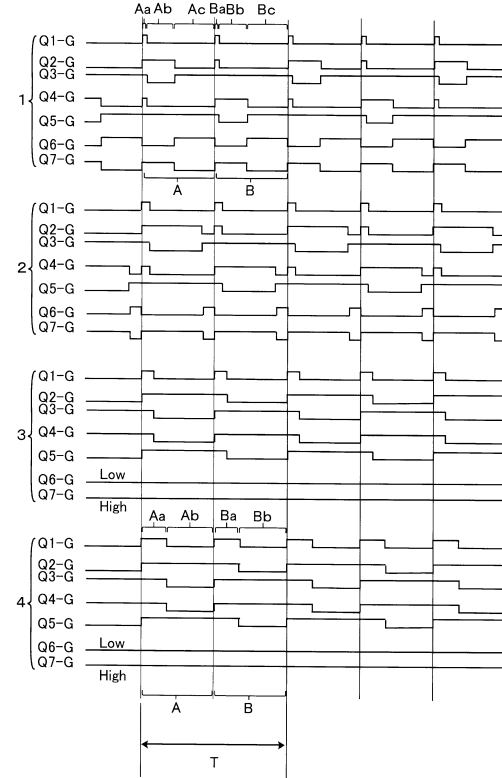
20

30

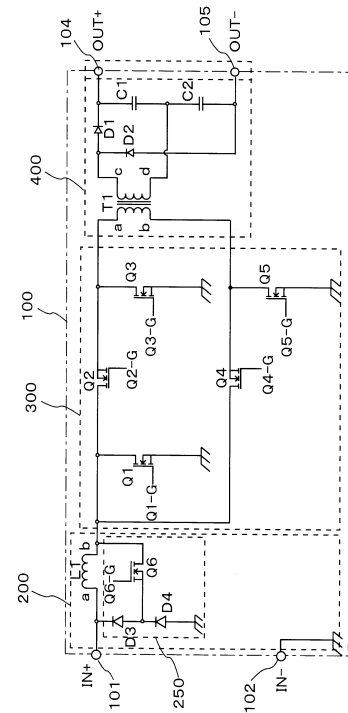
【図1】



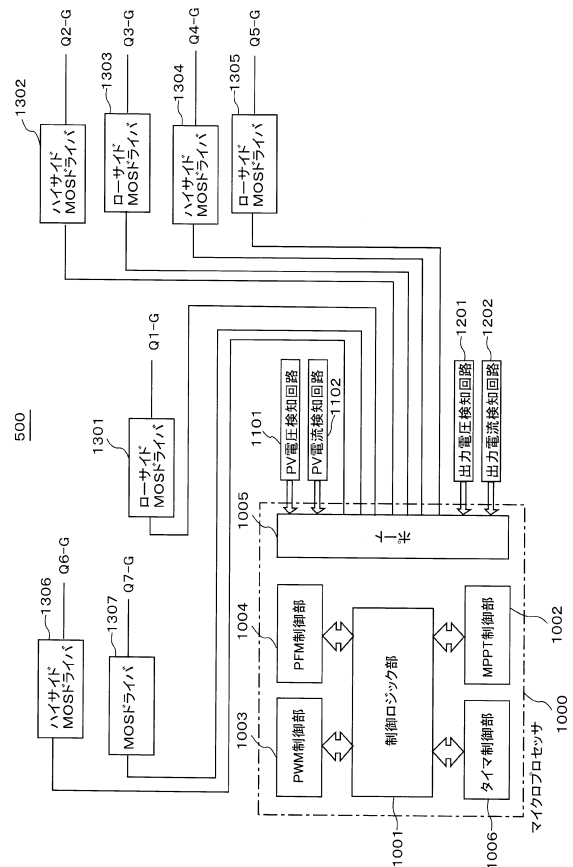
【図2】



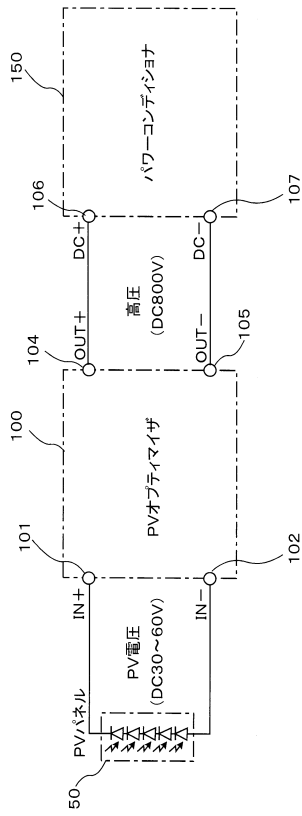
【図3】



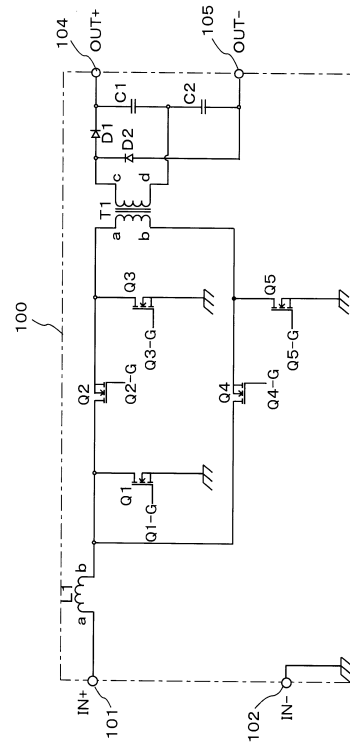
【図4】



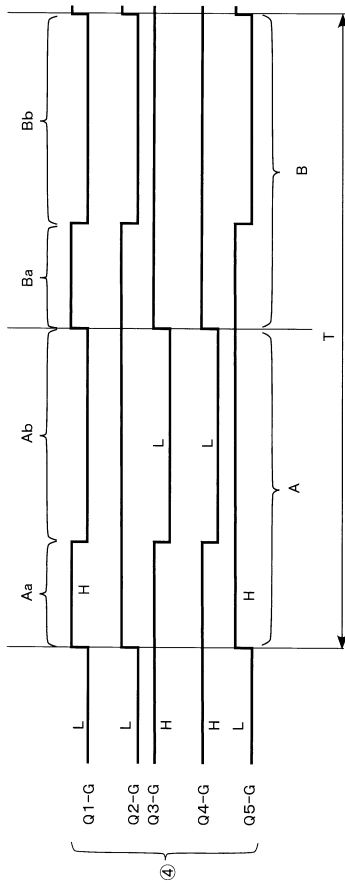
【 図 5 】



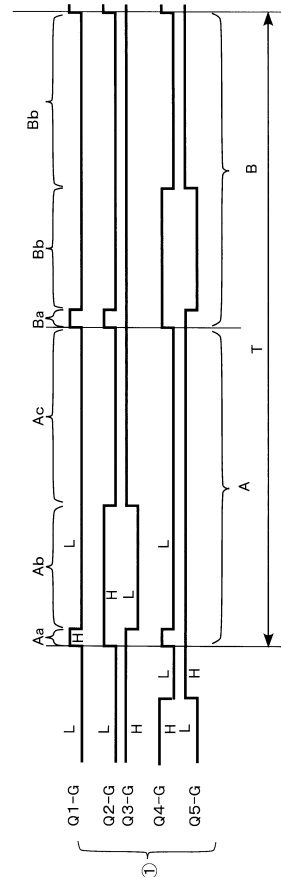
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 西村 弘之

京都府京都市下京区水銀屋町620番地 株式会社MersIntel内

審査官 安食 泰秀

(56)参考文献 特開2013-251966(JP, A)

米国特許第06344985(US, B1)

米国特許出願公開第2014/0085937(US, A1)

(58)調査した分野(Int.Cl., DB名)

H02M 1/00

H02M 3/28