

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-40122

(P2004-40122A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/20	HO 1 L 21/20	5 F O 5 2
HO 1 L 21/265	HO 1 L 29/163	
HO 1 L 29/161	HO 1 L 21/265	Q

審査請求 有 請求項の数 41 O L (全 19 頁)

(21) 出願番号	特願2003-274987 (P2003-274987)	(71) 出願人	390009531 インターナショナル・ビジネス・マシー ズ・コーポレーション INTERNATIONAL BUSIN ESS MASCHINES CORPO RATION アメリカ合衆国10504、ニューヨーク 州 アーモンク ニュー オーチャード ロード
(22) 出願日	平成15年7月15日 (2003.7.15)	(74) 代理人	100086243 弁理士 坂口 博
(31) 優先権主張番号	10/196611	(74) 代理人	100091568 弁理士 市位 嘉宏
(32) 優先日	平成14年7月16日 (2002.7.16)	(74) 代理人	100108501 弁理士 上野 剛史
(33) 優先権主張国	米国 (US)		

最終頁に続く

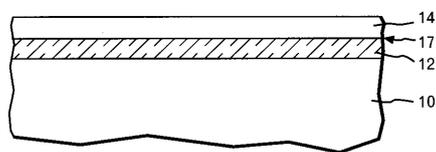
(54) 【発明の名称】 SiGe オンインシュレータ基板材料及びその製造方法

(57) 【要約】

【課題】 向上された緩和、かなり低い欠陥密度、および改善された表面品質を有する緩和された SiGe オンインシュレータ基板を形成する方法を提供すること。

【解決手段】 方法が、第1の単結晶 Si 層の表面上に SiGe 合金層を形成するステップを含む。第1の単結晶 Si 層は、Ge 拡散に対する耐性がある下の障壁層との界面を有する。次に、界面での、または界面付近での機械的な分断を可能にする欠陥を形成することができるイオンが構造内に注入され、その後、注入されたイオンを含む構造に、第1の単結晶 Si 層および SiGe 層を通る Ge の相互拡散を可能にする加熱ステップを施して、障壁層の上に、実質的に緩和された単結晶であり均質の SiGe 層を形成する。改善された性質を有する SiGe オンインシュレータ、およびそれを含むヘテロ構造も提供される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

SiGe オンインシュレータ基板材料を製造するための方法であって、  
 第 1 の単結晶 Si 層の表面上に、 $x = 0$ 、または 1 未満の数として  $Si_x Ge_{1-x}$  層を形成するステップであって、前記第 1 の単結晶 Si 層が、Ge 拡散に対する耐性がある下の障壁層との界面を有するステップと、  
 前記界面での、または界面付近での機械的な分断を可能にする欠陥を前記層内に形成することができるイオンを注入するステップと、  
 層内での歪の緩和を可能し、かつその後、前記第 1 の単結晶 Si 層および前記  $Si_x Ge_{1-x}$  層を通る Ge の相互拡散を可能にする温度で前記層を加熱して、前記障壁層の上に、実質的に緩和された単結晶 SiGe 層を形成するステップとを含む方法。

10

## 【請求項 2】

前記障壁層が、パターン化された障壁層である請求項 1 に記載の方法。

## 【請求項 3】

前記障壁層が、パターン化されていない障壁層である請求項 1 に記載の方法。

## 【請求項 4】

前記障壁層が、結晶または非結晶酸化物、あるいは結晶または非結晶窒化物からなる請求項 1 に記載の方法。

## 【請求項 5】

前記障壁層が、パターン化された、またはパターン化されていない埋込酸化膜領域である請求項 1 に記載の方法。

20

## 【請求項 6】

前記  $Si_x Ge_{1-x}$  層が、低圧化学気相成長、大気圧化学気相成長、超高真空化学気相成長、分子線エピタキシ、およびプラズマ化学蒸着からなる群から選択されるエピタキシャル成長によって形成される請求項 1 に記載の方法。

## 【請求項 7】

さらに、加熱ステップを行う前に、前記  $Si_x Ge_{1-x}$  層の上に Si キャップ層を形成するステップを含む請求項 1 に記載の方法。

## 【請求項 8】

前記 Si キャップ層が、epi-Si、a-Si、単結晶または多結晶 Si、あるいはそれらの任意の組合せおよび多層からなる請求項 7 に記載の方法。

30

## 【請求項 9】

前記注入イオンが、水素、重水素、ヘリウム、酸素、ネオン、またはそれらの混合物を含む請求項 1 に記載の方法。

## 【請求項 10】

前記注入イオンが水素イオンである請求項 1 に記載の方法。

## 【請求項 11】

前記注入が、 $3 \times 10^{16}$  (  $3 \times 10^{16}$  ) 原子 /  $cm^2$  未満のイオン濃度を使用して行われる請求項 1 に記載の方法。

40

## 【請求項 12】

前記水素イオンが、約 1 ~ 約 100 keV のエネルギーで注入される請求項 10 に記載の方法。

## 【請求項 13】

表面酸化物層が前記加熱ステップ中に形成される請求項 1 に記載の方法。

## 【請求項 14】

さらに、ウェット化学エッチ・プロセスまたはドライ・エッチングを利用して前記表面酸化物層を除去するステップを含む請求項 13 に記載の方法。

## 【請求項 15】

前記形成、注入、および加熱ステップが任意の回数繰り返される請求項 1 に記載の方法

50

。

## 【請求項 16】

前記加熱ステップが、少なくとも1つの酸素含有ガスを含む酸化環境で行われる請求項1に記載の方法。

## 【請求項 17】

前記少なくとも1つの酸素含有ガスが、 $O_2$ 、 $NO$ 、 $N_2O$ 、蒸気、オゾン、空気、またはそれらの混合物を含む請求項16に記載の方法。

## 【請求項 18】

さらに、前記少なくとも1つの酸素含有ガスを希釈するために採用される不活性ガスを含む請求項17に記載の方法。

10

## 【請求項 19】

前記加熱ステップが約900～約1350の温度で行われる請求項1に記載の方法。

## 【請求項 20】

前記加熱ステップが約1200～約1335の温度で行われる請求項19に記載の方法。

## 【請求項 21】

前記実質的に緩和されたSiGe層が約2000nm以下の厚さを有する請求項1に記載の方法。

## 【請求項 22】

前記実質的に緩和されたSiGe層が約 $5 \times 10^6$ 以下の欠陥密度を有する請求項1に記載の方法。

20

## 【請求項 23】

前記実質的に緩和されたSiGe層が約30%以上の測定緩和値を有する請求項1に記載の方法。

## 【請求項 24】

さらに、前記実質的に緩和されたSiGe層の上に追加のSiGe層を成長させるステップを含む請求項1に記載の方法。

## 【請求項 25】

さらに、前記追加のSiGe層の上に、歪を受けたSi層を形成するステップを含む請求項24に記載の方法。

30

## 【請求項 26】

さらに、前記実質的に緩和されたSiGe層の上に、歪を有するSi層を形成するステップを含む請求項1に記載の方法。

## 【請求項 27】

前記第1の単結晶Si層が約50nm以下の厚さを有する請求項1に記載の方法。

## 【請求項 28】

前記加熱ステップが、個別の緩和アニールおよび個別の相互拡散アニールを含む請求項1に記載の方法。

## 【請求項 29】

前記注入が、約0.01～約10マイクロアンペア/cm<sup>2</sup>のビーム電流密度を使用して約283K～約303Kの温度で行われる請求項1に記載の方法。

40

## 【請求項 30】

Si含有基板と、

前記Si含有基板の上に存在する、Ge拡散に対する耐性がある絶縁領域と、

前記絶縁領域の上に存在する、実質的に緩和されたSiGe層と

を備える基板材料であって、

前記実質的に緩和されたSiGe層が、約2000nm以下の厚さと、約30%以上の測定緩和値と、 $5 \times 10^6$ 以下の欠陥密度とを有する基板材料。

## 【請求項 31】

前記絶縁領域がパターン化されている請求項30に記載の基板材料。

50

## 【請求項 3 2】

前記絶縁領域がパターン化されていない請求項 3 0 に記載の基板材料。

## 【請求項 3 3】

前記絶縁領域が、結晶または非結晶酸化物、あるいは結晶または非結晶窒化物からなる請求項 3 0 に記載の基板材料。

## 【請求項 3 4】

前記絶縁領域が、パターン化された、またはパターン化されていない埋込酸化膜領域である請求項 3 0 に記載の基板材料。

## 【請求項 3 5】

Si 含有基板と、

10

Si 含有基板の上に存在する、Ge 拡散に対する耐性がある絶縁領域と、

絶縁領域の上に存在する、実質的に緩和された SiGe 層であって、約 2000 nm 以下の厚さと、約 30% 以上の測定緩和値と、 $5 \times 10^6$  以下の欠陥密度とを有する SiGe 層と、

実質的に緩和された SiGe 層の上に形成された、歪を有する Si 層とを備えるヘテロ構造。

## 【請求項 3 6】

前記絶縁領域がパターン化されている請求項 3 5 に記載のヘテロ構造。

## 【請求項 3 7】

前記絶縁領域がパターン化されていない請求項 3 5 に記載のヘテロ構造。

20

## 【請求項 3 8】

前記絶縁領域が、結晶または非結晶酸化物、あるいは結晶または非結晶窒化物からなる請求項 3 5 に記載のヘテロ構造。

## 【請求項 3 9】

前記絶縁領域が、パターン化された、またはパターン化されていない埋込酸化膜領域である請求項 3 5 に記載のヘテロ構造。

## 【請求項 4 0】

前記歪を有する Si 層の上に、緩和された SiGe と歪を有する Si との交互層が形成される請求項 3 5 に記載のヘテロ構造。

## 【請求項 4 1】

30

前記歪を有する Si 層が、III/V 化合物半導体からなる群から選択される格子不整合化合物で置き換えられた請求項 4 0 に記載のヘテロ構造。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体基板材料を製造する方法に関し、より詳細には、薄く、高品質であり、実質的に緩和された SiGe オンインシュレータ (SGOI) 基板材料を製造する方法に関する。具体的には、本発明の方法は、従来技術の SGOI 基板材料に比べて、緩和の度合が増大し、表面アーチファクトが最小限であり、かつ結晶欠陥の密度が減少された、改良された SGOI 基板材料を提供する。本発明はまた、上述した性質を有する SGOI 40

## 【背景技術】

## 【0002】

半導体業界では、近年、CMOS 適用例に関する高いキャリア移動度の構造を達成するために、歪を有する Si ベースのヘテロ構造を使用する高レベルの活動が行われている。従来、NFEET および PFET デバイスの性能を高めるために、これを実施するための従来技術方法は、厚い (約 1 ~ 約 5 マイクロメートル程度の) 緩和された SiGe 緩衝層上に、歪を有する Si 層を成長させなければならなかった。

## 【0003】

従来技術ヘテロ構造に関して報告されている高いチャネル電子移動度にも関わらず、S 50

i G e 緩衝層の使用は、それに伴ういくつかの顕著な欠点を有する。第1に、厚い S i G e 緩衝層は通常、既存の S i ベース C M O S 技術を用いて集積するのが簡単でない。第2に、貫通転位 ( T D ) およびミスフィット転位を含む欠陥密度が、約  $10^6$  ~ 約  $10^8$  欠陥 /  $\text{cm}^2$  であり、これは、現実的な V L S I ( 超大規模集積 ) 適用例では依然として高すぎる。第3に、従来技術構造の性質が、 S i G e 緩衝層の選択的な成長を妨げ、そのため、歪を有する S i と、歪を受けていない S i と、 S i G e 材料とを備えるデバイスを採用する回路は、集積するのが困難であり、いくつかの場合にはほぼ不可能である。

【 0 0 0 4 】

緩和された S i G e 材料を S i 基板上に生成するために、従来技術の方法は通常、均一な、段階式の、またはステップ式の S i G e 層を準安定臨界厚さ ( すなわち、それを超えると転位が生じて応力を解放する厚さ ) を超えて成長させ、 S i G e 緩衝層にわたって、関連する貫通転位と共にミスフィット転位が生じるようにする。構造でのミスフィット転位セクションの長さを延ばし、それにより T D 密度を減少させるために、様々な緩衝構造が使用されている。 10

【 0 0 0 5 】

典型的な従来技術の準安定であり歪を有する S i G e 層が十分に高い温度でアニールされると、ミスフィット転位が生じて成長し、それにより被膜での全ての歪を解放する。すなわち、被膜の初期弾性歪は、結晶格子の塑性変形の開始までに解放される。 S O I 基板上に成長した従来技術の準安定であり歪を有する S i G e の場合、ほとんどのアニーリング / 酸化条件のもとで、約 7 0 0 よりも高い温度に関するアニーリング履歴でミスフィット転位の発生が早期に生じることを実験が示している。これらの欠陥の多くは、次いで、構造の高温アニーリング中に費やされ、または消滅し、しかし、元のミスフィット配列の表面トポグラフィが酸化中に残る。さらに、熱拡散によって製造される S G O I 基板材料は、 S i G e 合金層を完全に緩和しない。そうではなく、最終的な S i G e 格子は、平衡値の数分の1にしか広がらない。 20

【 0 0 0 6 】

初期 S O I 基板での S i 層が、埋込酸化膜 ( B O X ) 層に対して「浮動」することが真に可能な場合、準安定 S i G e / S i 二層構造での初期歪は、 S i / 埋込酸化膜境界に沿って摺動することによって弾性的に解放することができる ( すなわち弾性緩和 ) 。これは、 S i / B O X 界面で ( 十分に高い温度で ) 自然に起こると推測されているが、この概念の詳細な調査から、はじめに準安定な二層被膜をアニーリングするときにはこれが生じず ( 巨視的には ) 、ミスフィット配列が生じることが示されている。 30

【 0 0 0 7 】

S G O I 基板材料を製造する従来技術プロセスに関して上述した問題に鑑み、 S O I 基板上で成長する準安定 S i G e 合金の低温弾性緩和の向上を可能にする新たな、改善された方法を提供することが引き続き求められている。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

本発明の1つの目的は、薄く、高品質の S G O I 基板材料を製造する方法を提供することである。 40

【 0 0 0 9 】

本発明の別の目的は、関連する格子緩和の度合いがかなり高い、薄く、高品質の S G O I 基板材料を製造する方法を提供することである。

【 0 0 1 0 】

本発明のさらなる目的は、関連する表面アーチファクト、すなわち欠陥が実質的にほとんどない、または全くない、薄く、高品質の S G O I 基板材料を製造する方法を提供することである。

【 0 0 1 1 】

本発明のさらなる目的は、関連する結晶欠陥の密度がかなり低い、薄く、高品質の S G 50

O I 基板材料を製造する方法を提供することである。

【0012】

本発明のさらなる目的は、厚さの均一性の度合いが高い、薄く、高品質のSGOI基板材料を製造する方法を提供することである。

【0013】

本発明のさらなる目的は、格子緩和の度合いを増大し、表面アーチファクトを最小限に抑え、SGOI基板材料に存在する結晶欠陥の密度を大幅に低減することができる、薄く、高品質のSGOI基板材料を製造する方法を提供することである。従来技術方法はどれも、SGOI基板について3つの性質全てを達成することはできない。したがって、本発明の方法は、従来技術に勝る重要な、大幅な進歩をもたらす。

10

【0014】

本発明のさらなる目的は、相補型金属酸化物半導体(CMOS)処理ステップと互換性のある処理ステップを利用する、薄く、高品質のSGOI基板材料を製造する方法を提供することである。

【0015】

本発明の追加の目的は、歪を有するSi層を形成する際に格子不整合テンプレート、すなわち基板として使用することができる、薄く、高品質の、実質的に緩和されたSGOI基板材料を製造する方法を提供することである。

【0016】

本発明のさらなる追加の目的は、高性能CMOS適用例で有用な高いキャリア移動度を有する、歪を有するSi/実質的に緩和されたSGOI構造を提供することである。

20

【課題を解決するための手段】

【0017】

これら、およびその他の目的および利点は、 $Si_x Ge_{1-x}$ /SOI構造の第1の単結晶Siと下の障壁層との界面に、または界面付近に水素イオン(または機械的な分断を可能にする欠陥を形成することができる任意の他のイオン)が注入される方法を利用することによって、本発明で達成される。注入されたイオンは、その界面の機械的な分断を補助し、それにより弾性緩和機構を生じることができると考えられている。後の熱処理は、 $Si_x Ge_{1-x}$ /第1の単結晶Si二層内部にGeを拡散混合する。この拡散中のGe原子は、成長する酸化物(酸化薄層化の場合)と、下の障壁層との両方から拒絶される。したがって、元の二層が熱処理によって薄層化される場合、 $Si_x Ge_{1-x}$ 層のGe含有量が引き続き増加する。 $Si_x Ge_{1-x}$ 合金層の格子定数は、Geの割合が0から100原子パーセントまで変化するときにはほぼ線形に約4.17%増加する。Geの割合が増加するとそれだけ、 $Si_x Ge_{1-x}$ 層の物理的な寸法を、歪解放欠陥(塑性変形)の導入を回避するものにしなければならない。本発明のイオン注入ステップは、二層の下部に、すなわち第1の単結晶Si/Ge拡散障壁層界面に存在する非常に制限された領域を塑性変形することによって二層の弾性緩和を発生させることができるようにすることにより、歪を有する二層での欠陥生成を低減する。この領域は、その後、熱処理ステップ中に再構成される。

30

【0018】

具体的には、本発明の方法は、

第1の単結晶Si層の表面上に、 $x = 0$ 、または1未満の数として $Si_x Ge_{1-x}$ 層を形成するステップであって、第1の単結晶Si層が、Ge拡散に対する耐性がある下の障壁層との界面を有するステップと、

界面での、または界面付近での機械的な分断を可能にする欠陥を層内に形成することができるイオンを注入するステップと、

層内での歪の緩和を可能にし、かつその後、第1の単結晶Si層および $Si_x Ge_{1-x}$ 層を通るGeの相互拡散を可能にする温度で層を加熱して、障壁層の上に、実質的に緩和された単結晶SiGe層を形成するステップとを含む。

40

50

## 【0019】

本発明で形成される実質的に緩和された単結晶SiGe層は、 $Si_x Ge_{1-x}$ と第1の単結晶Si層との均質な混合からなることに留意されたい。さらに、実質的に緩和された単結晶SiGe層は、注入ステップを伴わずに形成される緩和されたSiGe層に比べて、最小限の表面欠陥と、低い結晶欠陥の密度とを有する。

## 【0020】

上述したイオン注入および加熱のステップに続いて、歪を有するSi層を、実質的に緩和された単結晶SiGe層の上にエピタキシャル成長させることができ、様々な高性能CMOS適用例で使用することができる歪を有するSi/実質的に緩和されたSiGe含有ヘテロ構造を形成する。

10

## 【0021】

本発明のいくつかの実施形態では、第1の単結晶Si層および障壁層が、シリコンオンインシュレータ(SOI)基板の構成要素である。他の実施形態では、障壁層が、半導体基板の表面の上に形成され、その後、第1の単結晶Si層が障壁層の上に形成される。後者の基板材料は非SOI基板である。

## 【0022】

本発明の非常に好ましい実施形態では、第1の単結晶Si層は、約50nm以下の厚さを有する薄層である。薄い開始単結晶層の使用は、この層が、 $Si_x Ge_{1-x}$ /第1の単結晶Si二層の歪を有する界面を、分断されるSi/BOX界面に近付けることができるので好ましい。

20

## 【0023】

本発明の方法はまた、パターン化されていない障壁層(すなわち、連続する障壁層)、またはパターン化された障壁層(すなわち、半導体材料によって取り囲まれた不連続の、隔離された障壁領域または島)の使用を企図している。

## 【0024】

本発明のさらなる別の実施形態では、構造を加熱する前にSiキャップ層が $Si_x Ge_{1-x}$ 合金層の上に形成される。本発明のこの実施形態は、(欠陥生成の防止に関して)熱力学的に安定な薄く、実質的に緩和されたSiGeオンインシュレータ(SGOI)基板材料を提供する。高品質の、実質的に緩和されたSiGeオンインシュレータ基板材料に関連して使用するとき、用語「薄い」は、本発明の方法によって形成される均質化されたSiGe層が約200nm以下の厚さ、より好ましくは約10~約200nmの厚さを有することを示すことに留意されたい。

30

## 【0025】

本発明の別の態様は、上述した処理ステップを利用して形成されるSiGeオンインシュレータ基板材料に関する。具体的には、本発明の基板材料は、Si含有基板と、Si含有基板の上に存在する、Ge拡散に対する耐性がある絶縁領域と、絶縁領域の上に存在する、実質的に緩和されたSiGe層とを備え、実質的に緩和されたSiGe層が、約2000nm以下の厚さと、約30%以上の測定緩和値とを有し、表面欠陥が実質的にほとんどなく、または全くなく、さらに $5 \times 10^6$ 以下の欠陥密度を有する。

## 【0026】

本発明のさらなる態様は、上述した基板材料を少なくとも含むヘテロ構造に関する。具体的には、本発明のヘテロ構造は、Si含有基板と、Si含有基板の上に存在する、Ge拡散に対する耐性がある絶縁領域と、絶縁領域の上に存在する、実質的に緩和されたSiGe層であって、約2000nm以下の厚さと、約30%以上の測定緩和値とを有し、表面欠陥が実質的にほとんどなく、または全くなく、さらに $5 \times 10^6$ 以下の欠陥密度を有するSiGe層と、実質的に緩和されたSiGe層の上に形成された、歪を有するSi層とを備える。

40

## 【0027】

本発明の他の態様は、超格子構造と、本発明のSiGeオンインシュレータ基板材料を少なくとも含む他の格子不整合構造に関するテンプレートとに関する。

50

## 【発明を実施するための最良の形態】

## 【0028】

ここで、後のエピタキシャルSiの過成長のための格子不整合テンプレートとして働くことができる、改良された薄い、高品質の、実質的に緩和されたSiGeオンインシュレータ基板材料を製造する方法を提供する本発明を、本出願に添付する図面を参照することによってより詳細に説明する。添付図面では、同じ要素および/または対応する要素あるいはその両方が同じ参照番号によって表されていることに留意されたい。

## 【0029】

まず、本発明で採用することができる初期基板材料を示す図1および図6を参照する。具体的には、図1および6に例示される初期基板材料はそれぞれ、Si含有半導体基板10と、Si含有半導体基板10の表面の上に存在する、Ge拡散に対する耐性がある障壁層12（本明細書で以後「障壁層」と）と、障壁層の上に存在する、約 $1 \times 10^6$ 欠陥/cm<sup>2</sup>未満のミスフィット転位およびTD密度を有する第1の単結晶Si層14とを備える。図面に示される2つの初期構造の相違点は、図1では、障壁層が構造全体にわたって連続的に存在し、図6では、障壁層が、半導体材料、すなわち層10および14によって取り囲まれた不連続の、隔離された領域または島として存在することである。したがって、図1に示される初期構造が、パターン化されていない障壁層を含み、図6の初期構造が、パターン化された障壁層を含むことに留意されたい。

## 【0030】

障壁層がパターン化されているか、パターン化されていないかに関わらず、初期構造は、従来のシリコンオンインシュレータ(SOI)基板材料であってよく、領域12は、Si含有半導体基板10から第1の単結晶Si層14を電気的に絶縁する埋込酸化膜(BOX)領域である。本明細書で使用される用語「Si含有」は、少なくともシリコンを含む半導体基板を表す。例として、Si、SiGe、SiC、SiGeC、Si/Si、Si/SiC、Si/SiGeC、および任意の数の埋込酸化膜(連続、不連続、または連続と不連続の混合)領域を中に含むことができる事前成形されたシリコンオンインシュレータが挙げられ、しかしそれらに限定されない。

## 【0031】

当業者によく知られている従来のSIMOX(separation by ionimplantation of oxygen)プロセス、および米国特許出願第09/861593号、09/861594号、09/861590号、09/861596号、および09/884670号、ならびに米国特許第5930634号で述べられている様々なSIMOXプロセスを利用してSOI基板を形成することができ、各特許文書の内容全体を参照により本明細書に組み込む。'590出願に開示されているプロセスを、図6に示されるパターン化された基板を製造するために本明細書で採用することができることに留意されたい。

## 【0032】

別法として、例えば熱結合および切断プロセスを含めた他の従来のプロセスを使用してSOI基板材料を作成することができる。

## 【0033】

SOI基板に加えて、図1および6に示される初期基板は、従来の堆積プロセス、ならびにリソグラフィおよびエッチング(パターン化された基板を製造する際に採用される)を使用して作成された非SOI基板であってもよい。具体的には、非SOI基板が採用されるとき、従来の堆積または熱成長プロセスによってSi含有基板の表面上にGe拡散障壁層を堆積し、従来のリソグラフィおよびエッチングを採用することによって障壁層に任意選択でパターン付けし、その後、例えば化学気相成長(CVD)、プラズマCVD、スパッタリング、蒸着、化学溶液法、またはエピタキシャルSi成長を含めた従来の堆積プロセスを使用して障壁層の上に単結晶Si層を形成することにより、初期構造が形成される。

## 【0034】

図1および6に示される初期構造の障壁層12は、Ge拡散に対する高い耐性がある任

10

20

30

40

50

意の絶縁材料からなる。そのような絶縁およびGe拡散耐性材料の例として、結晶または非結晶酸化物または窒化物が挙げられ、しかしそれに限定されない。

【0035】

初期構造の様々な層の厚さは、層を作成する際に使用されるプロセスによって変えることができる。しかし、通常、単結晶Si層14は約1~約2000nmの厚さを有し、約20~約200nmの厚さがより好ましい。障壁層12(すなわちGe拡散耐性層)については、この層は約1~1000nmの厚さを有する場合があります、約20~約200nmの厚さがより好ましい。Si含有基板層、すなわち層10の厚さは、本発明で重要ではない。上で提供した厚さは例示のものであり、本発明の範囲を何ら制限するものではないことに留意されたい。

10

【0036】

本発明は、上述した厚さ範囲を有する単結晶Si層を有する初期構造を使用して機能するが、単結晶Si層が約50nm以下の厚さを有することが最も好ましい。

【0037】

図2および7は、 $Si_xGe_{1-x}$ 層16(ここで、 $x$ は0、または1未満の数)が第1の単結晶Si層14の上に形成された後に形成される構造を例示する。「 $Si_xGe_{1-x}$ 」層を、本明細書では以後、SiGe合金層と呼ぶ。本発明のSiGe合金層は、最大99.99原子パーセントのGeを有するSiGe合金( $x$ が1未満のとき)と、100原子パーセントのGeを含む純粋なGe( $x=0$ のとき)とを含むことができる。本発明の一実施形態では、SiGe合金層中のGe含有量は、約0.1~約99.9原子パーセントであることが好ましく、約10~35原子パーセントのGeがより好ましい。図面では、参照番号17が、障壁層12と単結晶Si層14との界面を示す。

20

【0038】

本発明によれば、(i)熱力学的に安定な(臨界厚さ未満の)SiGe合金を成長させる、または(ii)準安定であり、欠陥、すなわちミスフィット転位およびTD転位が存在しないSiGe合金層を成長させることができる当業者によく知られている従来のエピタキシャル成長法を使用して、SiGe合金が第1の単結晶Si層14の上に形成される。条件(i)または(ii)を満たすことができるエピタキシャル成長プロセスの例として、低圧化学気相成長(LPCVD)、超高真空化学気相成長(UHV-CVD)、大気圧化学気相成長(APCVD)、分子線エピタキシ(MBE)、およびプラズマ化学気相成長(PECVD)が挙げられ、しかしそれらに限定されない。

30

【0039】

本発明のこの点で形成されるSiGe合金層の厚さは変えることができるが、通常は、層16が約10~約500nmの厚さを有し、約20~約200nmの厚さがより好ましい。

【0040】

本発明の1つの代替実施形態では、図11~12を参照すると、本発明の加熱ステップを行う前に、任意選択のキャップ層18がSiGe合金層16の上に形成される。より具体的には、任意選択のキャップ層を、本明細書で以下により詳細に論じる注入ステップの前に形成することも、後に形成することもできる。図11~12は、任意選択のキャップ層がイオン注入の前に形成される実施形態を示すが、本発明はまた、任意選択のキャップ層が本発明のイオン注入ステップ後に形成される実施形態も企図している。本発明で採用される任意選択のキャップ層は、エピタキシャル・シリコン(epi-Si)、アモルファス・シリコン(a-Si)、単結晶または多結晶Si、あるいは多層を含むそれらの任意の組合せを含む任意のSi材料からなる。好ましい実施形態では、キャップ層が、epi-Siからなる。層16と18は、同じ反応チャンバ内で形成されても、そうでなくてもよいことに留意されたい。

40

【0041】

存在時、任意選択のキャップ層18は、約1~約100nmの厚さを有し、約1~約30nmの厚さがより好ましい。任意選択のキャップ層は、上述したエピタキシャル成長プ

50

プロセスを含めた任意のよく知られている堆積プロセスを利用して形成される。

【0042】

本発明の一実施形態では、単結晶Si層の表面に約1～約2000nmの厚さを有するSiGe合金(Geが15～20原子パーセント)を形成し、その後、SiGe合金層の上に約1～約100nmの厚さを有するSiキャップ層を形成することが好ましい。

【0043】

初期構造の上に(任意選択のキャップ層を有する、または有さない)SiGe合金を形成した後、図2または7に示される(任意選択のキャップを有する、または有さない)構造にイオン注入ステップが施され、界面17での、または界面付近での機械的な分断を可能にする欠陥を形成することができるイオンが注入される。機械的な分断が生じるようにする欠陥の例としては、水素イオン注入の場合と同様に、板状欠陥または泡状欠陥が挙げられる。注入は、注入マスクを使用して行うことも、使用せずに行うこともできる。この注入ステップ後の構造が、図3または8に示されている。これらの図で、参照番号19が、イオン注入ステップによって形成された欠陥領域を示す。上述したように、この欠陥領域は、SiGe合金/単結晶Si二層の弾性緩和が生じるようにすることによって、SiGe合金/単結晶Si二層での欠陥生成の問題を解決する。具体的には、界面17に、または界面付近に存在する欠陥領域を塑性変形することによって弾性緩和が生じる。

10

【0044】

界面17で、または界面付近で機械的な分断が生じるようにする欠陥は、界面17で、または界面付近でイオン範囲のピークを維持する注入条件を使用して、水素、重水素、ヘリウム、酸素、ネオン、およびそれらの混合物などのイオンを様々な層に注入することによって形成される。本発明で使用される好ましいイオンは水素イオン( $H^+$ )である。 $H_2^+$ など、水素の他の種を本明細書で企図することもできることに留意されたい。

20

【0045】

本発明の注入ステップは、約0.01～約10マイクロアンペア/ $cm^2$ のビーム電流密度を使用して、ほぼ室温で、すなわち約283K～約303Kの温度で行われる。異なる温度での、かつ/または他のビーム電流密度を使用する、あるいはその両方での注入が、機械的な分断に影響を及ぼす場合がある。

【0046】

板状欠陥を形成する際に使用される注入種の濃度は、採用される注入種のタイプによって変えることができる。しかし、通常、本発明のこの点で使用される注入イオンの濃度は、 $3E16cm^{-2}$ ( $3 \times 10^{16}/cm^2$ )未満であり、約 $1E16$ ( $1 \times 10^{16}$ )～約 $2.99E16$ ( $2.99 \times 10^{16}$ ) $cm^{-2}$ のイオン濃度がより好ましい。この注入のエネルギーは、注入エネルギーが界面17に、または界面付近にイオンを配置することができなければならないという条件のもとで、注入されるイオンの種類によって変えることもできる。例えば、注入イオンとして水素が採用されるとき、界面17での、または界面付近での板状欠陥生成を保証するために使用されるエネルギーは約1～約100keVであり、約3～約20keVのエネルギーがより好ましい。

30

【0047】

注入ステップ後、構造の上に前もって形成されていない場合には、任意選択のキャップをSiGe合金層の上に形成することができる。次に、歪を有するSiGe合金層の緩和を可能にし、かつその後、第1の単結晶Si層14、SiGe合金層16、および存在する場合は任意選択のSiキャップを通るGeの相互拡散を可能にする温度で、注入を受けた構造を加熱し、すなわちアニールし、それにより障壁層の上に、実質的に緩和された単結晶SiGe層20を形成する(図4または9参照)。緩和アニールは、相互拡散アニールとは別個に行うことができ、あるいは1つのアニールリング・プロセスに組み合わせることができる。加熱は、チューブ炉内で、または急速熱アニール(RTA)ツールを使用して行うことができる。加熱ステップ中に、酸化物層22が層20の上に形成されることに留意されたい。この酸化物層は、必ずではないが、通常は、SiGeに比べて酸化物を除去するのに高い選択性をもつHFなどの化学エッチャントが採用される従来のウェッ

40

50

ト・エッチ・プロセスを使用して、加熱ステップ後に構造から除去される。別法として、この酸化物層を、反応性イオン・エッチングなど従来のドライ・エッチング・プロセスを使用して除去することができる。

【0048】

酸化物層が除去されると、第2の単結晶Si層を層20の上に形成することができ、本発明の上述した処理ステップを任意の回数繰り返して、多層化され緩和されたSiGe基板材料を生成することができることに留意されたい。

【0049】

本発明の加熱ステップ後に形成される酸化物層は、約20～約2000nmの範囲にすることができる可変厚さを有し、約20～約500nmの厚さがより好ましい。

10

【0050】

具体的には、本発明の加熱ステップは、約900～約1350の温度で行われるアニーリング・ステップであり、約1200～約1335の温度がより好ましい。さらに、本発明の加熱ステップは、O<sub>2</sub>、NO、N<sub>2</sub>O、H<sub>2</sub>O（蒸気）、オゾン、空気、および他の同様の酸素含有ガスなど少なくとも1つの酸素含有ガスを含む酸化環境で行われる。酸素含有ガスを互いに混ぜることができ（O<sub>2</sub>とNOの混合物など）、あるいは、He、Ar、N<sub>2</sub>、Xe、Kr、またはNeなど不活性ガスを用いてガスを希釈することができる。

【0051】

加熱ステップは、通常は約10～約1800分の範囲の可変時間にわたって行うことができ、約60～約600分の時間がより好ましい。加熱ステップは、単一の目標温度で行うことができ、または、様々な温度上昇速度および浸漬時間を使用する様々な温度上昇および浸漬サイクルを採用することができる。

20

【0052】

加熱ステップが酸化環境下で行われ、Ge原子に対する拡散障壁として作用する表面酸化物層、すなわち層22の存在を実現する。したがって、酸化物層が構造の表面に形成されると、Geが、障壁層12と酸化物層22の間に捕捉される。表面酸化物の厚さが増大するにつれて、Geは、層14、16、および任意選択で18を通してより均一に分散され、しかし浸食する酸化物層から継続的に、かつ効率的に拒絶される。したがって（現在均質化されている）層がこの加熱ステップ中に薄くなるとそれだけ、相対的なGeの割合が増大する。本発明では、希釈された酸素含有ガス中で約1200～約1320の温度で加熱ステップが行われるときに、効率的な熱混合が実現される。

30

【0053】

また、SiGe合金層の融点に基づいて調整された熱サイクルを使用することも本明細書で企図されている。そのような場合、温度は、SiGe合金層の融点未満になるように調節される。

【0054】

酸化が非常に急速に生じる場合、Geが、表面酸化物/SiGe界面から十分に速く拡散することができず、酸化物を通して輸送され（失われ）、またはGeの界面濃度が、合金熔融温度に達するほど高くなることに留意されたい。

40

【0055】

本発明の加熱ステップの役割は、(1) Ge原子をより急速に拡散できるようにし、それによりアニーリング中に均質な拡散を維持すること、および(2)（「はじめに」）歪を受けている層構造に、平衡構成を容易にするサーマルバジェットを施すことである。この加熱ステップが行われた後、構造は、障壁層12と表面酸化物層22との間に挟まれた、均一であり、実質的に緩和されたSiGe合金層、すなわち層20を含む。

【0056】

本発明によれば、緩和されたSiGe層20は、約2000nm以下の厚さを有し、約10～約100nmの厚さがより好ましい。本発明で形成される緩和SiGe層は、従来技術SiGe緩衝層よりも薄く、ミスフィット転位およびTDを含む欠陥密度が約5×1

50

$0^6$  欠陥 /  $\text{cm}^2$  以下であることに留意されたい。

【0057】

本発明で形成される緩和されたSiGe層は、約0.1～約99.9原子パーセントの最終Ge含有量を有し、約10～約35原子パーセントのGeがより好ましい。緩和SiGe層22の別の特徴は、約30%以上の測定格子緩和を有することであり、典型的には約50～約70%の測定格子緩和がより好ましい。本発明では100%緩和が最も好ましいことに留意されたい。

【0058】

本発明を利用して形成されたSGOI基板材料の測定緩和値は、イオン注入を用いずに形成された従来技術SGOI基板材料に関して通常報告される測定緩和値よりも実質的に高いことに留意されたい。さらに、本発明の方法は、最小限の表面アーチファクトを提供し、結晶欠陥の密度を実質的に低減する。上述した本発明のイオン注入ステップを含まない従来技術方法を使用して、上述した3つの性質全てをSGOIについて得ることはできない。

【0059】

上述したように、本発明のこの点で表面酸化層22を取り除き、それにより、例えば図5または10に示されるSiGeオンインシュレータ基板材料を提供することができる（緩和されたSiGe層を形成する際にキャップ層は使用されないため、基板材料がキャップ層を含まないことに留意されたい）。

【0060】

図13は、それぞれ図5および図10のSiGe層の上にSi層24を形成した後で得られる構造を示す。Si層24は、当技術分野でよく知られている従来のエピタキシャル堆積プロセスを使用して形成される。epi-Si層24の厚さは変えることができ、しかし通常は、epi-Si層24は約1～約100nmの厚さを有し、約1～約30nmの厚さがより好ましい。

【0061】

いくつかの例では、上述した処理ステップを利用して、緩和されたSiGe層20の上に追加のSiGeを形成することができ、その後、epi-Si層24を形成することができる。層20は、epi層24に比べて大きな面内格子パラメータを有するので、epi層24は、引っ張られる形で歪を受ける。

【0062】

上述したように、本発明はまた、本発明のSiGeオンインシュレータ基板材料を少なくとも含む超格子構造および格子不整合構造も企図する。超格子構造の場合、そのような構造は、本発明の実質的に緩和されたSiGeオンインシュレータ基板材料と、基板材料の実質的に緩和されたSiGe層の上に形成された交互の層SiおよびSiGeとを少なくとも含む。

【0063】

格子不整合構造の場合、GaAs、GaP、または他の同様のIII/V化合物の半導体が、本発明のSiGeオンインシュレータ基板材料の実質的に緩和されたSiGe層の上に形成される。

【0064】

緩和されたSGOI基板材料を形成する際にイオン注入ステップが使用されない従来技術拡散方法に比べて、本発明の方法を利用して達成することができる利点のいくつかを例示するために以下の例を与える。

【実施例1】

【0065】

この例で、緩和されたSGOI基板材料は、本発明の方法を利用して準備され、本発明のイオン注入ステップを用いずに準備された従来の緩和されたSGOI基板材料と比較された。

【0066】

各緩和されたSGOI基板材料を形成する際に使用される初期構造は、以下の層を含む(トップダウンで)。

SiGe(600、20原子%Ge)/Si(350)/障壁酸化物(1350)/Si基板(750 $\mu$ m)

【0067】

上のトップダウン構成に含まれる初期構造の1つに対して、約 $2.5 \times 10^{16}$  H/cm<sup>2</sup>のイオン照射線量を使用して、障壁酸化物と350のSi層との界面で、または界面付近で水素イオンが構造内に注入された。注入は、約6.7 keVのエネルギーで行われた。もう一方の構造は、この注入ステップを施されなかった。

【0068】

次いで、両方の構造が以下の加熱手順を使用して酸素中でアニールされた。3/分の温度上昇速度で室温から1200まで温度上昇され、均質な350のSiGe層が障壁酸化物の上に形成されるまで1200で保たれた。

【0069】

図14は、従来技術の緩和されたSGOI基板材料を表し、図16は、本発明の緩和されたSGOI材料を表す。注入を受けなかった構造に関する最終的なSiGe合金のGeの割合、および最終的な緩和の割合を示すX線拡散データは以下のようなものである。Geの割合0.257;緩和の割合0.52。上述した注入を受けた構造に関するX線データは以下のようなものである。Geの割合0.265;緩和の割合0.38。

【0070】

図14は、注入を使用せずに製造された最終的なSGOIの平面図TEM画像である。この画像は、残っている表面アーチファクトによる広がった欠陥と厚さコントラスト・ラインとを示す。図16は、水素注入を受けた構造に関する同じ平面図TEM画像を示す。結晶欠陥と、表面欠陥によるアーチファクトとの実質的な減少が存在する。画像中で良く見えるラインは、モアレ干渉縞であり、(緩和された)SiGe合金層と下のSi基板(埋込酸化膜層の下)の格子パラメータの差から得られる。

【0071】

これらのデータは、(イオン注入およびアニリングによって形成される)本発明のSGOI基板材料、特に均質なSiGe層が、従来技術のSGOI基板材料に比べて、向上された緩和、かなり低い欠陥密度、および改善された表面品質を有することを示す。

【0072】

本発明を、その好ましい実施形態に関して特に示し、説明してきたが、本発明の精神および範囲を逸脱することなく前述の、およびその他の形態および詳細の変更を施すことができることを当業者は理解されよう。したがって、本発明は、説明し、例示した正確な形態および詳細に限定されず、頭記の特許請求の範囲の範囲内に含まれることを意図されている。

【0073】

まとめとして、本発明の構成に関して以下の事項を開示する。

【0074】

(1) SiGeオンインシュレータ基板材料を製造するための方法であって、  
第1の単結晶Si層の表面上に、 $x = 0$ 、または1未満の数として $Si_x Ge_{1-x}$ 層を形成するステップであって、前記第1の単結晶Si層が、Ge拡散に対する耐性がある下の障壁層との界面を有するステップと、

前記界面での、または界面付近での機械的な分断を可能にする欠陥を前記層内に形成することができるイオンを注入するステップと、

層内での歪の緩和を可能し、かつその後、前記第1の単結晶Si層および前記 $Si_x Ge_{1-x}$ 層を通るGeの相互拡散を可能にする温度で前記層を加熱して、前記障壁層の上に、実質的に緩和された単結晶SiGe層を形成するステップとを含む方法。

(2) 前記障壁層が、パターン化された障壁層である上記(1)に記載の方法。

10

20

30

40

50

- (3) 前記障壁層が、パターン化されていない障壁層である上記(1)に記載の方法。
- (4) 前記障壁層が、結晶または非結晶酸化物、あるいは結晶または非結晶窒化物からなる上記(1)に記載の方法。
- (5) 前記障壁層が、パターン化された、またはパターン化されていない埋込酸化膜領域である上記(1)に記載の方法。
- (6) 前記  $\text{Si}_x\text{Ge}_{1-x}$  層が、低圧化学気相成長、大気圧化学気相成長、超高真空化学気相成長、分子線エピタキシ、およびプラズマ化学蒸着からなる群から選択されるエピタキシャル成長によって形成される上記(1)に記載の方法。
- (7) さらに、加熱ステップを行う前に、前記  $\text{Si}_x\text{Ge}_{1-x}$  層の上に  $\text{Si}$  キャップ層を形成するステップを含む上記(1)に記載の方法。 10
- (8) 前記  $\text{Si}$  キャップ層が、 $\text{epi-Si}$ 、 $\text{a-Si}$ 、単結晶または多結晶  $\text{Si}$ 、あるいはそれらの任意の組合せおよび多層からなる上記(7)に記載の方法。
- (9) 前記注入イオンが、水素、重水素、ヘリウム、酸素、ネオン、またはそれらの混合物を含む上記(1)に記載の方法。
- (10) 前記注入イオンが水素イオンである上記(1)に記載の方法。
- (11) 前記注入が、 $3 \times 10^{16}$  原子/cm<sup>2</sup> 未満のイオン濃度を使用し  
て行われる上記(1)に記載の方法。
- (12) 前記水素イオンが、約1~約100keVのエネルギーで注入される上記(10)  
に記載の方法。
- (13) 表面酸化層が前記加熱ステップ中に形成される上記(1)に記載の方法。 20
- (14) さらに、ウェット化学エッチ・プロセスまたはドライ・エッチングを利用して前記表面酸化層を除去するステップを含む上記(13)に記載の方法。
- (15) 前記形成、注入、および加熱ステップが任意の回数繰り返される上記(1)に記載の方法。
- (16) 前記加熱ステップが、少なくとも1つの酸素含有ガスを含む酸化環境で行われる  
上記(1)に記載の方法。
- (17) 前記少なくとも1つの酸素含有ガスが、 $\text{O}_2$ 、 $\text{NO}$ 、 $\text{N}_2\text{O}$ 、蒸気、オゾン、空  
気、またはそれらの混合物を含む上記(16)に記載の方法。
- (18) さらに、前記少なくとも1つの酸素含有ガスを希釈するために採用される不活性  
ガスを含む上記(17)に記載の方法。 30
- (19) 前記加熱ステップが約900~約1350の温度で行われる上記(1)に記載  
の方法。
- (20) 前記加熱ステップが約1200~約1335の温度で行われる上記(19)に  
記載の方法。
- (21) 前記実質的に緩和された  $\text{SiGe}$  層が約2000nm以下の厚さを有する上記(1)  
に記載の方法。
- (22) 前記実質的に緩和された  $\text{SiGe}$  層が約  $5 \times 10^6$  以下の欠陥密度を有する上記  
(1)に記載の方法。
- (23) 前記実質的に緩和された  $\text{SiGe}$  層が約30%以上の測定緩和値を有する上記(1)  
に記載の方法。 40
- (24) さらに、前記実質的に緩和された  $\text{SiGe}$  層の上に追加の  $\text{SiGe}$  層を成長させ  
るステップを含む上記(1)に記載の方法。
- (25) さらに、前記追加の  $\text{SiGe}$  層の上に、歪を受けた  $\text{Si}$  層を形成するステップを  
含む上記(24)に記載の方法。
- (26) さらに、前記実質的に緩和された  $\text{SiGe}$  層の上に、歪を有する  $\text{Si}$  層を形成す  
るステップを含む上記(1)に記載の方法。
- (27) 前記第1の単結晶  $\text{Si}$  層が約50nm以下の厚さを有する上記(1)に記載の方法。
- (28) 前記加熱ステップが、個別の緩和アニールおよび個別の相互拡散アニールを含む  
上記(1)に記載の方法。 50

(29) 前記注入が、約 0.01 ~ 約 10 マイクロアンペア /  $\text{cm}^2$  のビーム電流密度を使用して約 283 K ~ 約 303 K の温度で行われる上記(1)に記載の方法。

(30) Si 含有基板と、

前記 Si 含有基板の上に存在する、Ge 拡散に対する耐性がある絶縁領域と、

前記絶縁領域の上に存在する、実質的に緩和された SiGe 層と

を備える基板材料であって、

前記実質的に緩和された SiGe 層が、約 2000 nm 以下の厚さと、約 30% 以上の測定緩和値と、 $5 \times 10^6$  以下の欠陥密度とを有する基板材料。

(31) 前記絶縁領域がパターン化されている上記(30)に記載の基板材料。

(32) 前記絶縁領域がパターン化されていない上記(30)に記載の基板材料。

(33) 前記絶縁領域が、結晶または非結晶酸化物、あるいは結晶または非結晶窒化物からなる上記(30)に記載の基板材料。

(34) 前記絶縁領域が、パターン化された、またはパターン化されていない埋込酸化膜領域である上記(30)に記載の基板材料。

(35) Si 含有基板と、

Si 含有基板の上に存在する、Ge 拡散に対する耐性がある絶縁領域と、

絶縁領域の上に存在する、実質的に緩和された SiGe 層であって、約 2000 nm 以下の厚さと、約 30% 以上の測定緩和値と、 $5 \times 10^6$  以下の欠陥密度とを有する SiGe 層と、

実質的に緩和された SiGe 層の上に形成された、歪を有する Si 層と

を備えるヘテロ構造。

(36) 前記絶縁領域がパターン化されている上記(35)に記載のヘテロ構造。

(37) 前記絶縁領域がパターン化されていない上記(35)に記載のヘテロ構造。

(38) 前記絶縁領域が、結晶または非結晶酸化物、あるいは結晶または非結晶窒化物からなる上記(35)に記載のヘテロ構造。

(39) 前記絶縁領域が、パターン化された、またはパターン化されていない埋込酸化膜領域である上記(35)に記載のヘテロ構造。

(40) 前記歪を有する Si 層の上に、緩和された SiGe と歪を有する Si との交互層が形成される上記(35)に記載のヘテロ構造。

(41) 前記歪を有する Si 層が、III/V 化合物半導体からなる群から選択される格子不整合化合物で置き換えられた上記(40)に記載のヘテロ構造。

【図面の簡単な説明】

【0075】

【図1】改良された SGOI 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図(断面図)である。この図で、初期基板は、パターン化されていない障壁層を含む。

【図2】改良された SGOI 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図(断面図)である。この図で、初期基板は、パターン化されていない障壁層を含む。

【図3】改良された SGOI 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図(断面図)である。この図で、初期基板は、パターン化されていない障壁層を含む。

【図4】改良された SGOI 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図(断面図)である。この図で、初期基板は、パターン化されていない障壁層を含む。

【図5】改良された SGOI 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図(断面図)である。この図で、初期基板は、パターン化されていない障壁層を含む。

【図6】改良された SGOI 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図(断面図)である。この図で、初期基板は、パターン化された障壁層を含

10

20

30

40

50

む。

【図 7】改良された S G O I 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図（断面図）である。この図で、初期基板は、パターン化された障壁層を含む。

【図 8】改良された S G O I 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図（断面図）である。この図で、初期基板は、パターン化された障壁層を含む。

【図 9】改良された S G O I 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図（断面図）である。この図で、初期基板は、パターン化された障壁層を含む。

10

【図 10】改良された S G O I 基板材料を製造する際に本発明で採用される基本的な処理ステップを示す図（断面図）である。この図で、初期基板は、パターン化された障壁層を含む。

【図 11】パターン化されていない基板上に形成された S i G e 合金層の上に S i キャップ層が形成された、本発明の代替実施形態を示す図（断面図）である。

【図 12】パターン化された基板上に形成された S i G e 合金層の上に S i キャップ層が形成された、本発明の代替実施形態を示す図（断面図）である。

【図 13】図 5 又は図 10 の改良された薄い、高品質の、実質的に緩和された S i G e オンインシュレータ基板材料上での、歪を有する S i 層の形成を示す図（断面図）である。

【図 14】制御された S G O I 基板材料の平面図 T E M（透過型電子顕微鏡）画像である。

20

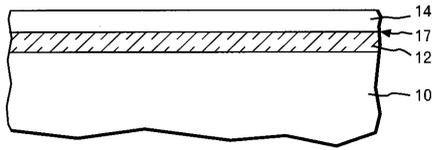
【符号の説明】

【 0 0 7 6 】

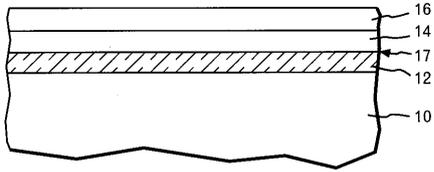
- 1 0 S i 含有半導体基板
- 1 2 障壁層
- 1 4 単結晶 S i 層
- 1 6  $S i_x G e_{1-x}$  層
- 1 7 界面
- 1 8 キャップ層
- 1 9 欠陥領域
- 2 0 単結晶 S i G e 層
- 2 2 酸化物層

30

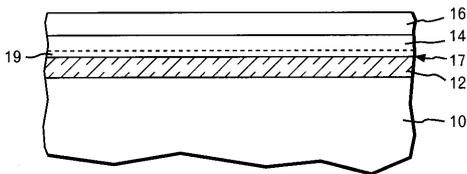
【 図 1 】



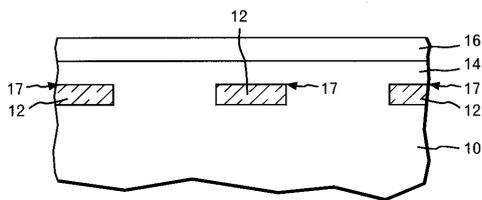
【 図 2 】



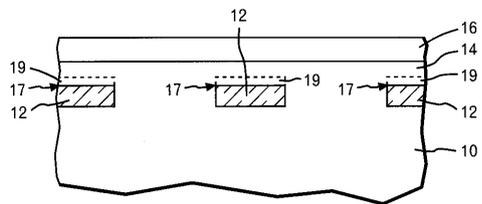
【 図 3 】



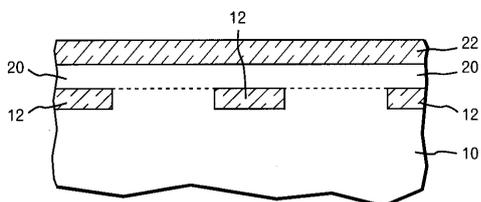
【 図 7 】



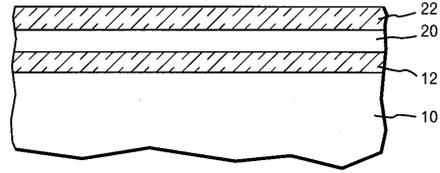
【 図 8 】



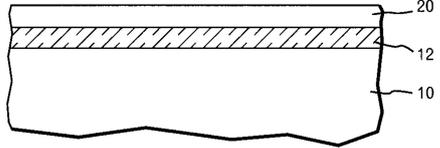
【 図 9 】



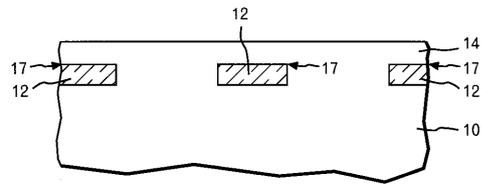
【 図 4 】



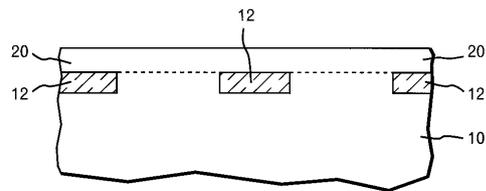
【 図 5 】



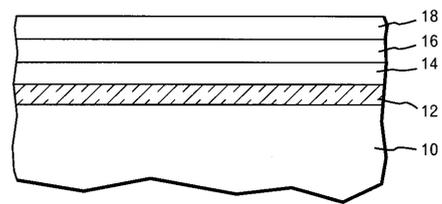
【 図 6 】



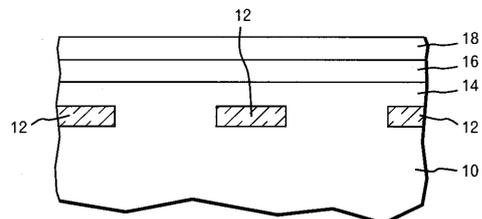
【 図 10 】



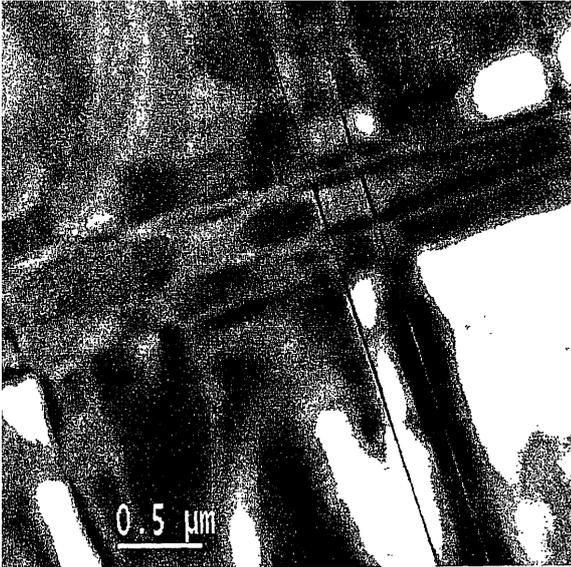
【 図 11 】



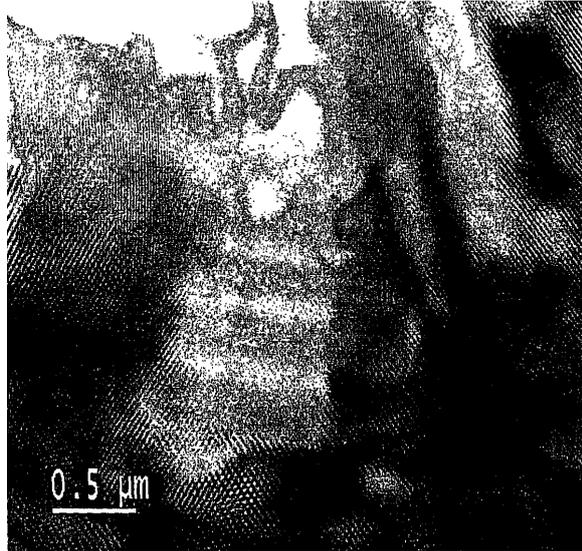
【 図 12 】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

(72)発明者 スティーヴン・ダブリュー・ベデル

アメリカ合衆国 1 2 5 9 0 ニューヨーク州ワピンジャース・フォールズ ニコール・ドライブ  
3 2

(72)発明者 キース・イー・フォーゲル

アメリカ合衆国 1 0 5 4 7 ニューヨーク州モヒガン・レーク ルークス・レーン 4

(72)発明者 デヴェンドラ・ケイ・サダナ

アメリカ合衆国 1 0 5 7 0 ニューヨーク州プレザントヴィル スカイ・トップ・ドライブ 9 0

Fターム(参考) 5F052 AA04 AA17 AA24 DA01 DA03 DA04 DB01 DB02 DB03 DB06

EA02 EA05 GC01 GC03 HA04 JA01 KA01 KA05