

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4785963号
(P4785963)

(45) 発行日 平成23年10月5日(2011.10.5)

(24) 登録日 平成23年7月22日(2011.7.22)

(51) Int.Cl. F I
H O 1 L 27/146 (2006.01) H O 1 L 27/14 A

請求項の数 9 (全 18 頁)

(21) 出願番号	特願2009-235087 (P2009-235087)	(73) 特許権者	000001007
(22) 出願日	平成21年10月9日 (2009.10.9)		キヤノン株式会社
(65) 公開番号	特開2011-82425 (P2011-82425A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成23年4月21日 (2011.4.21)	(74) 代理人	100126240
審査請求日	平成22年12月28日 (2010.12.28)		弁理士 阿部 琢磨
早期審査対象出願		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	大貫 裕介
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	山下 雄一郎
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

第2導電型のウェルが配された半導体基板に、
入射光に応じて電荷を生成する光電変換部と、
前記光電変換部で生成された電荷を前記光電変換部とは別の場所で保持する第1導電型の第1半導体領域を含んで構成される電荷保持部と、
前記電荷保持部とセンスノードとの間のポテンシャルを制御する転送ゲート電極を含んで構成される転送部と、を有する画素を備える固体撮像装置であって、
前記第1半導体領域とPN接合を構成するように前記第1半導体領域の下部に配される第2導電型の第2半導体領域を有し、
前記第2半導体領域の第2導電型の不純物濃度は、前記ウェルの不純物濃度よりも高く、かつ、前記転送ゲート電極の下部であって前記第2半導体領域と同じ深さの領域の第2導電型の不純物濃度よりも高く、
前記光電変換部は、第1導電型の半導体領域と、前記第1導電型の半導体領域の下部に配され、前記第1導電型の半導体領域とPN接合を構成する第2導電型の半導体領域とを含んで構成され、
前記光電変換部に含まれる前記第1導電型の半導体領域は、第1の部分と、前記第1の部分の内部に配され、前記第1の部分よりも不純物濃度が高い第2の部分とを含むことを特徴とする固体撮像装置。

【請求項2】

第 2 導電型のウェルが配された半導体基板に、
入射光に応じて電荷を生成する光電変換部と、
前記光電変換部で生成された電荷を前記光電変換部とは別の場所で保持する第 1 導電型の第 1 半導体領域を含んで構成される電荷保持部と、

前記電荷保持部とセンスノードとの間のポテンシャルを制御する転送ゲート電極を含んで構成される転送部と、を有する画素を備える固体撮像装置であって、

前記第 1 半導体領域と P N 接合を構成するように前記第 1 半導体領域の下部に配される第 2 導電型の第 2 半導体領域を有し、

前記第 2 半導体領域の第 2 導電型の不純物濃度は、前記ウェルの不純物濃度よりも高く、かつ、前記転送ゲート電極の下部であって前記第 2 半導体領域と同じ深さの領域の第 2 導電型の不純物濃度よりも高く、

10

前記光電変換部は、第 1 導電型の半導体領域と、前記第 1 導電型の半導体領域の下部に配され、前記第 1 導電型の半導体領域と P N 接合を構成する第 2 導電型の半導体領域とを含んで構成され、

前記光電変換部に含まれる前記第 1 導電型の半導体領域は、前記第 1 半導体領域と前記第 2 半導体領域とが構成する P N 接合の位置よりも深い位置まで延在していることを特徴とする固体撮像装置。

【請求項 3】

前記センスノードはフローティングディフュージョンを含み、

前記第 2 半導体領域よりも深い位置に、前記第 2 半導体領域の少なくとも一部、前記転送ゲート電極、及び前記フローティングディフュージョンのそれぞれの下部にわたって配された第 2 導電型の第 3 半導体領域を有することを特徴とする請求項 1 または請求項 2 のいずれかに記載の固体撮像装置。

20

【請求項 4】

前記第 3 半導体領域は、それぞれ異なる深さに配された複数の半導体領域により構成され、

前記第 3 半導体領域を構成する複数の半導体領域のうち、最下部に配された半導体領域は

前記光電変換部の P N 接合が構成されている深さまで延在していることを特徴とする請求項 3 に記載の固体撮像装置。

30

【請求項 5】

前記画素において、

前記第 1 半導体領域の一部の領域の下部に、前記第 2 半導体領域と、前記光電変換部の一部を構成する第 1 導電型の半導体領域とが配され、

前記第 1 半導体領域の前記一部とは別の一部の領域の下部に、前記第 2 半導体領域と、前記第 3 半導体領域とが配されたことを特徴とする請求項 3 または 4 のいずれかに記載の固体撮像装置。

【請求項 6】

前記電荷保持部は、前記第 1 半導体領域の上部に絶縁膜を介して配された制御電極を含み、

前記制御電極と前記転送ゲート電極との間の半導体領域の表面に、前記第 1 半導体領域よりも不純物濃度が高い第 2 導電型の第 4 半導体領域を有することを特徴とする請求項 1 乃至 5 のいずれか一項に記載の固体撮像装置。

40

【請求項 7】

前記第 4 半導体領域の直下に、前記第 1 半導体領域よりも不純物濃度が高い第 1 導電型の第 5 半導体領域を有していることを特徴とする請求項 6 に記載の固体撮像装置。

【請求項 8】

前記第 2 半導体領域の不純物濃度のピークが、基板表面から 0 . 5 μ m よりも浅くに位

50

置していることを特徴とする請求項 1 乃至 7 のいずれかに記載の固体撮像装置。

【請求項 9】

第 1 不純物注入工程と、前記第 1 不純物注入工程と同一のマスクを用いた第 2 不純物注入工程とによって、前記第 1 半導体領域と前記第 2 半導体領域とが形成されたことを特徴とする請求項 1 乃至 8 のいずれか一項に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像装置に関するものであり、更に詳細には、画素内に電荷保持部を有する固体撮像装置に関するものである。

10

【背景技術】

【0002】

近年、固体撮像装置の更なる高性能化のために、画素内に光電変換部及びフローティングディフュージョン（以下FD）とは別に電荷保持部を有する構成が検討されている。電荷保持部の用途としては、第 1 に、特許文献 1 に記載されているようにグローバル電子シャッタを実現するために設けられる。第 2 に特許文献 2 に記載されているようにダイナミックレンジを拡大するために設けられる。更に、第 3 に、特許文献 3 に記載されているように画素毎に AD 変換器を有する構成において、画素内の電荷保持部が設けられる。

【0003】

特許文献 1 には、半導体領域の深い位置で発生した電荷が電荷保持部に混入することを抑制することでノイズを低減する構成が開示されている。具体的には、内部に光電変換部が配置される P 型ウェルと、電荷格納部と、電荷格納部の少なくとも一部の下に P 型ウェルの一部を介して設けられた P 型ウェルよりも不純物濃度が高い P 型層とを含む構成が開示されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2008 - 004692 号公報

【特許文献 2】特開 2006 - 197383 号公報

【特許文献 3】特開 2009 - 038167 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明者らは、特許文献 1 に関示される構成では、電荷保持部から FD への電荷転送時の駆動電圧が高くなるという課題が生じるのを見出した。特許文献 1 の図 3 が示す通り、電荷格納部の下部に、P 型ウェルを介して高濃度の P 型層が配されている。電荷保持部は濃度の低い P 型ウェルと PN 接合を形成している。そのため、電荷保持部の N 型領域からの空乏層が P 型ウェルに広がり、電荷転送時に高い電圧が必要となる。

【0006】

更に、本発明者らは、高濃度の P 型層と、電荷保持部から FD への電荷の転送路との位置関係によっては、転送路が狭まり転送効率が下がる場合があることも併せて見出した。

40

【0007】

上記課題に鑑み、本発明は、電荷保持部から FD への電荷転送時に空乏層の広がりを抑制し、加えて電荷保持部から FD への転送路が狭まることのないようにすることで、低電圧での電荷転送を可能とすることを目的とする。

【課題を解決するための手段】

【0008】

本発明の一つの側面に係る固体撮像装置は、第 2 導電型のウェルが配された半導体基板に、入射光に応じて電荷を生成する光電変換部と、前記光電変換部で生成された電荷を前記光電変換部とは別の場所で保持する第 1 導電型の第 1 半導体領域を含んで構成される電

50

荷保持部と、前記電荷保持部とセンスノードとの間のポテンシャルを制御する転送ゲート電極を含んで構成される転送部と、を有する画素を備える固体撮像装置であって、前記第1半導体領域とPN接合を構成するように前記第1半導体領域の下部に配される第2導電型の第2半導体領域を有し、前記第2半導体領域の第2導電型の不純物濃度は、前記ウェルの不純物濃度よりも高く、かつ、前記転送ゲート電極の下部であって前記第2半導体領域と同じ深さの領域の第2導電型の不純物濃度よりも高く、前記光電変換部は、第1導電型の半導体領域と、前記第1導電型の半導体領域の下部に配され、前記第1導電型の半導体領域とPN接合を構成する第2導電型の半導体領域とを含んで構成され、前記光電変換部に含まれる前記第1導電型の半導体領域は、第1の部分と、前記第1の部分の内部に配され、前記第1の部分よりも不純物濃度が高い第2の部分とを含むことを特徴とする。

10

また、本発明の別の側面に係る固体撮像装置は、第2導電型のウェルが配された半導体基板に、入射光に応じて電荷を生成する光電変換部と、前記光電変換部で生成された電荷を前記光電変換部とは別の場所で保持する第1導電型の第1半導体領域を含んで構成される電荷保持部と、前記電荷保持部とセンスノードとの間のポテンシャルを制御する転送ゲート電極を含んで構成される転送部と、を有する画素を備える固体撮像装置であって、前記第1半導体領域とPN接合を構成するように前記第1半導体領域の下部に配される第2導電型の第2半導体領域を有し、前記第2半導体領域の第2導電型の不純物濃度は、前記ウェルの不純物濃度よりも高く、かつ、前記転送ゲート電極の下部であって前記第2半導体領域と同じ深さの領域の第2導電型の不純物濃度よりも高く、前記光電変換部は、第1導電型の半導体領域と、前記第1導電型の半導体領域の下部に配され、前記第1導電型の半導体領域とPN接合を構成する第2導電型の半導体領域とを含んで構成され、前記光電変換部に含まれる前記第1導電型の半導体領域は、前記第1半導体領域と前記第2半導体領域とが構成するPN接合の位置よりも深い位置まで延在していることを特徴とする。

20

【発明の効果】

【0009】

本発明に係る固体撮像装置によれば、電荷保持部に蓄積された電荷を転送する際に空乏層が広がることを抑制することが可能となり、さらに電荷の転送路が狭まることを抑制することが可能となる。

【図面の簡単な説明】

【0010】

30

【図1】本発明の実施例1に係る固体撮像素子の画素断面の概略図。

【図2】本発明の実施例1に係る固体撮像素子の製造方法を説明するための図。

【図3】本発明の実施例2に係る固体撮像素子の画素断面の概略図。

【図4】本発明の実施例3に係る固体撮像素子の画素断面の概略図。

【図5】本発明の実施例4に係る固体撮像素子の画素断面の概略図。

【図6】本発明の実施例5に係る固体撮像素子の画素断面の概略図。

【図7】本発明の実施例6に係る固体撮像素子の画素断面の概略図。

【図8】本発明の一実施形態に係る固体撮像素子の画素の等価回路図。

【図9】本発明の実施例2に係る固体撮像素子の画素領域の上面図。

【図10】本発明の実施例4に係る固体撮像素子の画素領域の上面図。

40

【図11】本発明の実施例1に係る固体撮像素子の不純物濃度のプロファイル図。

【図12】本発明の実施例1に係る固体撮像素子の添加不純物濃度のプロファイル図。

【図13】本発明の実施例3に係る固体撮像素子の不純物濃度のプロファイル図

【発明を実施するための形態】

【0011】

本発明の実施例を図面を参照して詳細に説明する。各実施例において、信号電荷として電子を用いる構成を例示するが、信号電荷としてホールを用いることも可能である。信号電荷として電子を用いる場合は、第1導電型がN型、第2導電型がP型である。ホールを信号電荷として用いる場合には、信号電荷が電子の場合に対して各半導体領域の導電型を逆の導電型にすればよい。また各実施例における画素断面の概略図は一画素のみを示すが

50

、実際には複数の画素が例えば行列状に配されている。

【実施例 1】

【0012】

図 1 は本発明に係る一実施形態である固体撮像装置の画素断面の概略図である。101 は光電変換部である。例えば P 型半導体領域と N 型半導体領域とを含んで構成されるフォトダイオードが用いられる。102 は電荷保持部である。電荷保持部 102 は、光電変換部で生成された電荷を保持可能な N 型の半導体領域を含んで構成される。103 は転送部である。転送部 103 は、電荷保持部で保持された電荷をセンスノードへ転送する。104 はセンスノードである。センスノードは、例えば画素増幅 MOS トランジスタのゲートに電氣的に接続された FD を含んで構成される。FD は、画素増幅 MOS トランジスタのゲートに電氣的に接続される代わりに、不図示の垂直信号線に電氣的に接続されていてもよい。

10

【0013】

次に上記各部材の詳細な構成に関して説明する。本実施例において、光電変換部 101、電荷保持部 102、転送部 103、センスノード 104 は P 型ウェル 107 の内部に配される。P 型ウェル 107 は、イオン注入もしくはエピタキシャル成長によって、N 型基板 116 の一主面に形成される。P 型ウェル 107 が配された N 型基板 116 の代わりに、P 型基板を用いてもよい。

【0014】

また、エピタキシャル成長によって形成した N 型基板に画素構造を配するようによい。この構成のメリットとして、P 型埋め込み層がポテンシャル障壁となるため、光電変換部で発生した電荷が基板に排出され難くなることが挙げられる。したがって感度の向上のためには、エピタキシャル成長によって形成した N 型基板に画素構造を配することが好ましい。光電変換部の N 型半導体領域の不純物濃度を低くし、発生した電荷が、光電変換部 101 に蓄積されることなく直ちに電荷保持部 102 へ転送される構成の場合には、N 型基板を用いた感度向上の効果が特に顕著となる。

20

【0015】

105、106 は N 型半導体領域である。N 型半導体領域 105 は N 型半導体領域 106 の内部に配され、N 型半導体領域 106 よりも N 型不純物濃度が高い。N 型半導体領域 105 は、P 型半導体領域 108 と PN 接合を形成している。N 型半導体領域 106 は、N 型半導体領域 106 の下部に配された P 型ウェル 107 と PN 接合を形成している。

30

【0016】

108 は高濃度の P 型半導体領域である。P 型半導体領域 108 を設けることにより、半導体表面で生じる暗電流を低減することが可能となる。本実施例において、上述の光電変換部 101 は、N 型半導体領域 105、106、P 型ウェル 107、P 型半導体領域 108 で構成される。

【0017】

110 は N 型の半導体領域である。本実施例においては、N 型半導体領域 110 が光電変換部とは別の場所で電荷を保持する第 1 半導体領域として機能する。112 は制御電極である。上述の電荷保持部 102 は、N 型半導体領域 110、及び制御電極 112 を含んで構成される。

40

【0018】

本実施例の電荷保持部 102 は、N 型半導体領域 110 の上に絶縁膜 109 を介して制御電極 112 を備えている。制御電極 112 は、N 型半導体領域 110 の半導体表面側のポテンシャルを制御する。電荷保持部で発生する暗電流の影響を抑制するためには、制御電極に負電圧が印加されるとよい。

【0019】

制御電極 112 は、光電変換部 101 と電荷保持部 102 の間のポテンシャルを制御する機能を併せて備えていてもよい。また、制御電極 112 とは別に、光電変換部 101 と電荷保持部 102 の間のポテンシャルを制御する電極を配した構成としてもよい。

50

【0020】

本発明は、制御電極112を含まない構成に用いることもできる。例えばN型半導体領域110が、コンタクトプラグ、スイッチを介して選択的に電源に接続される構成である。

【0021】

113は転送ゲート電極である。転送ゲート電極113に供給されるバイアスにより、N型半導体領域110に隣接するP型ウェル107の一部の領域に、信号電荷の転送路が形成される。電荷保持部から、後述するセンスノードへ信号電荷を転送可能な位置に転送路が形成されるように、転送ゲート電極は配される。転送ゲート電極113は供給されるバイアスに応じて転送路の形成、非形成状態を切り替え、電荷保持部とFDとの電氣的接続を制御する。

10

【0022】

N型半導体領域114はFDである。本実施例ではFD114がセンスノードとして機能する。センスノードは、蓄積された電荷の量に応じて信号が出力される半導体領域であればよい。センスノードは複数の画素で共有される構成としてもよい。

【0023】

115は遮光部材である。遮光部材115は、電荷保持部102、転送部103、センスノード104へ入射する光を低減、好ましくは入射する光を完全に遮蔽する。

【0024】

111は高濃度のP型半導体領域であり、本実施例の特徴部分である。P型半導体領域111はN型半導体領域110の下部に配されている。そして、P型半導体領域111とN型半導体領域110とが、P型ウェルを介することなく直接にPN接合を構成している。すなわち、本実施例において、P型半導体領域111は、N型半導体領域110とPN接合を構成するように、N型半導体領域110の下部に配された第2半導体領域である。

20

【0025】

図11は、電荷保持部(図1のX断面)及び転送部(図1のY断面)のそれぞれにおける、深さ方向に沿った不純物濃度プロファイルを示している。深さ方向は、半導体表面に垂直な方向である。P型半導体領域111の不純物濃度は、P型ウェル107の不純物濃度より高い。

【0026】

図11が示すように、P型半導体領域111の深さ方向の不純物濃度プロファイルは、ある深さに不純物濃度ピークを持ったプロファイルとしてもよい。P型半導体領域111の不純物濃度のピークは、表面から0.5 μm よりも浅い位置であることが好ましい。これよりも深くにピークが位置していても、P型半導体領域111とN型半導体領域110とが、P型ウェルを介することなく直接にPN接合を構成していれば、本発明の効果は得られる。しかし、表面から0.5 μm よりも浅い位置にピークが位置すると、N型半導体領域110とP型半導体領域111との間に、不純物濃度の低い領域が形成されないため、より大きな効果が得られる。P型半導体領域111はN型半導体領域110の下部に配されるため、P型半導体領域111の不純物濃度ピークは、N型半導体領域110の不純物濃度ピークよりも深い位置にある。

30

40

【0027】

図11に示すように、P型半導体領域111の不純物濃度のピークが位置する深さにおいて、P型半導体領域111の不純物濃度の方が、同じ深さの転送ゲート下部の不純物濃度より高い。本実施例において、転送ゲート電極の少なくとも一部の下部においては、P型半導体領域111が存在していないか、あるいはその不純物密度が低い。ここで、P型半導体領域111と同じ深さにおいて、転送ゲート下部がP型半導体領域111の反対導電型である場合には、P型半導体領域111の方がP型の不純物濃度が高い。

【0028】

続いて、P型半導体領域111とN型半導体領域110とがPN接合を構成していることについて詳しく説明する。図12は、電荷保持部(図1のX断面)における、半導体表

50

面に対して垂直な方向の添加不純物濃度のプロファイルを示している。「添加不純物濃度」は、実際に添加されている不純物の濃度を意味している。これに対し、本明細書、請求の範囲及び図面において単に「不純物濃度」という用語が使われた場合、逆導電型の不純物によって補償された正味の不純物濃度を意味している。図12において、P型の添加不純物濃度がN型の添加不純物濃度より高い領域はP型半導体領域である。反対に、N型の添加不純物濃度がP型の添加不純物濃度より高い領域はN型半導体領域である。

【0029】

図12において、P型不純物の添加不純物濃度のピークがP型半導体領域111の不純物濃度ピークに対応している。図12において、N型不純物とP型不純物との添加不純物濃度が等しくなっている場所がPN接合の界面である。PN接合界面において、P型の添加不純物濃度がP型ウェルの添加不純物濃度よりも高ければ、P型半導体領域111とN型半導体領域110とが直接にPN接合を構成しているといえる。

10

【0030】

ここで、添加不純物濃度の比較対象となるP型ウェルに関して説明する。本実施例において、図1のP型ウェル107が示す領域には不純物が略均一に分布している。この場合、比較対象となるP型ウェルの添加不純物濃度としては、例えば、P型半導体領域111の不純物濃度のピークが位置する深さと同じ深さの、転送ゲート電極下部の添加不純物濃度とすればよい。

【0031】

しかし、転送ゲートに供給する電圧制御のために、転送路に不純物が添加される場合がある。このような構成においては、転送ゲート電極下部の添加不純物濃度は、P型ウェルの添加不純物濃度より高く、図1のP型ウェル107が示す領域の不純物濃度が均一ではない。この場合、例えば、光電変換部101の下部に配されたP型ウェル107の添加不純物濃度を比較対象とする。転送路に不純物が添加された場合でも、光電変換部101の下部の添加不純物濃度は変化しないからである。

20

【0032】

図12において、実線で描かれた曲線は本実施例の添加不純物濃度を示し、点線で描かれた曲線は比較例の添加不純物濃度を示している。比較例のPN接合界面では、P型不純物の添加不純物濃度はP型ウェルの添加不純物濃度と等しい。この場合、P型半導体領域111とN型半導体領域110とが直接にPN接合を構成しているとはいえない。

30

【0033】

以上に示した本実施例の構成により、電荷保持部からセンスノードへの低電圧での電荷転送が可能となる。これを詳細に説明する。

【0034】

まず、電荷保持部からセンスノードへの電荷転送のメカニズムを説明する。光電変換部101で生成された信号電荷がN型半導体領域110で保持される前に、N型半導体領域110はセンスノードを介してリセット電圧が供給される。この後、フローティングにした後に、光電変換部101の電荷がN型半導体領域110へ転送される。その後、順次電荷保持部からセンスノードへ電荷が転送される。通常画素行ごとに転送が行なわれる。この時、N型半導体領域110は転送部103を介して逆バイアスが供給された状態となる。逆バイアスによってN型半導体領域110が空乏化することで電荷が転送される。N型半導体領域110に保持された電荷のほとんど、好ましくは全てをセンスノードへ転送するためには、N型半導体領域110の大部分、好ましくは全領域が空乏化される必要がある。

40

【0035】

N型半導体領域110が空乏化される際には、N型半導体領域110の下部のP型半導体領域に空乏層が広がる。N型半導体領域110からの空乏層の広がり量は、N型半導体領域110とPN接合を形成するP型半導体領域の不純物濃度に応じて変化する。

【0036】

本実施例の効果を理解しやすくするために、特許文献1が開示する構成と対比して説明

50

する。特許文献1の図3に示された構成によれば、電荷保持部を構成するN型半導体領域の下部にP型ウェルを介して高濃度のP型半導体領域が配されている。特許文献1に開示された構成のように、N型半導体領域が低濃度のP型ウェルとPN接合を構成していると、空乏層はP型ウェルに大きく広がる。この場合、N型半導体領域110を十分に空乏化するために、転送部を介して供給される逆バイアス電圧が大きくなければならない。

【0037】

これに対して本実施例では、N型半導体領域110が、P型ウェル107を介することなく直接に、P型半導体領域111とPN接合を構成している。N型半導体領域110とPN接合を形成するP型半導体領域の不純物濃度が高いため、P型半導体領域への空乏層の広がりが抑制される。したがって、転送部を介して供給される逆バイアス電圧が小さくても、N型半導体領域110の大部分、あるいは全領域が空乏化される。

10

【0038】

さらに本実施例においては、P型半導体領域111の不純物濃度が、転送路下部のP型半導体領域111と同じ深さの領域の不純物濃度よりも高い。言い換えると、P型半導体領域111は転送ゲート電極113の下部にまで延在していない。この構成によれば、転送ゲート電極113に供給されるバイアス電圧を大きくすることなく、転送ゲート電極113下のP型ウェルに転送路が形成される。

【0039】

次に本実施例のP型半導体領域111の好適な製造方法に関して説明する。図2は、P型半導体領域111が形成される時の、画素断面の概略図を示す。201は例えばフォトリソで形成されたマスクパターンである。図1と同じ部分には同じ符号を付し、詳細な説明は省略する。

20

【0040】

まずフォトリソが基板全面に形成される。その後、電荷保持部のN型半導体領域110を配するべき領域に開口ができるように、フォトリソが露光される。

【0041】

N型半導体領域110を形成するための第1不純物注入工程として、露光工程により形成されたフォトリソパターンをマスクパターンとして用いて、N型不純物のイオンが注入される。このときの不純物としては砒素、リンなどを用いることができる。

【0042】

続いて、フォトリソマスクを除去する工程を経ることなく、P型半導体領域111を形成するための第2不純物注入工程として、P型不純物のイオンが注入される。このときの不純物としては、ボロンなどを用いることができる。その後、イオン注入時に生じる結晶欠陥等を回復させるため、熱処理が行なわれる。このようにして、同一のマスクパターンを用いて、N型半導体領域110とP型半導体領域111とが形成される。

30

【0043】

N型半導体領域を形成するための第1不純物注入工程と、P型半導体領域を形成するための第2不純物注入工程とは、逆の順番で実施してもよい。

【0044】

このような製造方法によれば、製造工程を大幅に増やすことなくP型半導体領域111を形成することができる。より詳しく言うと、新たなマスクパターンニング工程を増やすことなく、P型半導体領域111を形成することができる。さらに、このような製造方法によれば、N型半導体領域110とP型半導体領域111との、基板表面と水平な方向へのずれが低減される。そのため、N型半導体領域110とP型半導体領域111とがPN接合を直接構成する部分を大きくすることが可能となる。

40

【0045】

なお、上述の好適な製造方法は、本発明に係る固体撮像装置を製造するための必須の方法ではない。N型半導体領域110と、P型半導体領域111とを、それぞれ別のマスクパターンを用いて形成してもよい。

【0046】

50

以上述べたように本実施例によれば、電荷保持部に蓄積された電荷を転送する際に空乏層が広がることが抑制され、さらに電荷の転送路が狭まることが抑制される。そのため、低電圧での電荷転送が可能となる。

【実施例 2】

【0047】

図 3 は本発明に係る別の実施形態である固体撮像装置の画素断面の概略図である。実施例 1 と同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。

【0048】

本実施例と実施例 1 との大きな違いは、P 型半導体領域 1 1 1 下部に P 型半導体領域 3 0 1 を配したことである。図 3 が示す通り、P 型半導体領域 3 0 1 は、転送路及び F D 1 1 4 の下部にまで延在している。本実施例において、P 型半導体領域 3 0 1 が第 3 半導体領域として機能する。

10

【0049】

図 9 は本実施例の画素領域の上面図である。図 9 には、4 つの画素だけが示されているが、本発明に係る固体撮像装置はさらに多くの画素を備えていてもよい。図 1 もしくは図 3 と同様の機能を有する部分には同様の符号を付している。なお、図 3 は図 9 の A B 断面の概略図を示している。

【0050】

3 0 2 は活性領域である。活性領域 3 0 2 に、光電変換部 1 0 1、P 型ウェル、電荷を保持する N 型半導体領域 1 1 0、P 型半導体領域 1 1 1、転送路、F D 1 1 4 が形成される。3 0 3 はフィールド領域である。フィールド酸化膜によって、素子分離がなされている。3 0 4 は画素増幅用の M O S トランジスタやリセット用の M O S トランジスタなどが形成された領域である。

20

【0051】

本実施例において、P 型半導体領域 3 0 1 は、図 9 において破線で囲まれた領域に形成される。すなわち、P 型半導体領域 3 0 1 は光電変換部 1 0 1 を除く全てのアクティブ領域 3 0 2 に形成されている。この場合、P 型ウェル 1 0 7 は、図 3 が示す通り、二つの領域 1 0 7 a と 1 0 7 b に分離される。しかし、P 型半導体領域 3 0 1 が、P 型半導体領域 1 1 1、転送ゲート電極 1 1 3 及び F D 1 1 4 のそれぞれの少なくとも一部の下に延在している構成としてもよい。

30

【0052】

本実施例において、P 型半導体領域 1 1 1 と N 型半導体領域 1 1 0 との P N 接合界面の P 型不純物の添加不純物濃度は、P 型ウェルの添加不純物濃度より高い。本実施例においては、P 型ウェルに P 型半導体領域 3 0 1 が形成されている。このような場合には、転送ゲート電極 1 1 3 の下部の添加不純物濃度は、P 型ウェル 1 0 7 の添加不純物濃度より高いことがある。そこで、光電変換部 1 0 1 の下部の P 型ウェル 1 0 7 の添加不純物濃度を比較対象とすればよい。

【0053】

本実施例の構成によれば、転送路、F D 1 1 4 への電荷の混入を抑制することが可能となる。よって、実施例 1 で得られる効果に加えて、ノイズが低減されるという効果が得られる。

40

【実施例 3】

【0054】

図 4 は本発明に係るさらに別の実施形態である固体撮像装置の画素断面の概略図である。実施例 1、2 と同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。

【0055】

本実施例と実施例 2 との大きな違いは、P 型半導体領域 3 0 1 下部に P 型半導体領域 4 0 1 を配したことである。二つの P 型半導体領域 3 0 1 と 4 0 1 はそれぞれ異なる深さに配される。その結果、P 型半導体領域 4 0 1 の下端は、光電変換部の一部を構成する N 型

50

半導体領域 106 と P 型ウェル 107 との PN 接合界面が形成されている深さに位置している。本実施例において、P 型半導体領域 301、401 が第 3 半導体領域として機能する。

【0056】

図 13 は、本実施例の電荷保持部（図 4 の X 断面）及び転送部（図 4 の Y 断面）のそれぞれにおける、深さ方向に沿った不純物プロファイルを示している。P 型半導体領域 111 のピークがある深さにおいて、転送路下の不純物濃度よりも P 型半導体領域 111 の不純物濃度の方が高い。P 型半導体領域 111 よりも深い場所には、P 型半導体領域 301、401 が P 型半導体領域 111、転送ゲート電極 113 及び FD 114 のそれぞれの下部にわたって配されている。したがって、図 13 が示す通り、電荷保持部と転送部とにおいて深さ方向に沿った不純物プロファイルが同じになっている。

10

【0057】

図 13 には、光電変換部（図 4 の Z 断面）における深さ方向に沿った不純物プロファイルも示されている。図 13 が示す通り、P 型半導体領域 401 の最下部は、光電変換部の N 型半導体領域と P 型ウェルとが PN 接合を構成している深さにまで延在している。

【0058】

本実施例においては、P 型半導体領域 301、401 が 4 回のイオン注入工程によって形成される。注入イオン種はボロンである。P 型半導体領域 301 の上部の不純物濃度が高くなるように、加速エネルギーが一番小さいイオン注入の際のドーズ量はほかに比べて高い。P 型半導体領域 301 の上部の不純物濃度が高いことは、電荷保持部等への電荷混入の低減に有利である。

20

【0059】

本実施例においては、異なる加速エネルギーによるイオン注入によって、異なる深さに配された複数の半導体領域が形成され、これらの半導体領域が P 型不純物領域 301、401 を構成している。このような製造方法に限らず、それぞれ深さの異なる位置に P 型半導体領域 301、401 が形成されればよい。

【0060】

図 4 では、P 型半導体領域 301 が存在する領域の下に、P 型半導体領域 401 も配されている。すなわち、P 型半導体領域 401 は、例えば図 9 において破線で囲まれた領域に配される。

30

【0061】

本実施例において、P 型半導体領域 111 と N 型半導体領域 110 との PN 接合界面の P 型不純物の添加不純物濃度は P 型ウェルの添加不純物濃度より高い。本実施例においては、P 型ウェルに P 型半導体領域 301、401 が形成されている。このような場合には、転送ゲート電極 113 の下部の添加不純物濃度は、P 型ウェル 107 の添加不純物濃度より高いことがある。そこで、光電変換部 101 の下部の P 型ウェル 107 の添加不純物濃度を比較対象とすればよい。

【0062】

本実施例の構成によれば、光電変換部 101 で発生した信号電荷が P 型ウェルを介して隣接する画素への混入することを抑制することが可能となる。よって実施例 2 で得られる効果に加えて、ノイズがさらに低減されるという効果が得られる。

40

【実施例 4】

【0063】

図 5 は本発明に係るさらに別に実施形態である固体撮像装置の画素断面の概略図である。実施例 1 ~ 3 のいずれかと同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。

【0064】

本実施例と実施例 3 との大きな違いは、P 型半導体領域 301、401 の端部が電荷保持部の端部を基準として同じ画素内の光電変換部側からオフセットして配されたことである。オフセットされた部分には光電変換部の一部を構成する N 型半導体領域 106 が配さ

50

れる。

【0065】

図10は本実施例の画素領域の上面図を示している。図10には、4つの画素だけが示されているが、本発明に係る固体撮像装置はさらに多くの画素を備えていてもよい。図10において、P型半導体領域301、401が配された領域は破線によって示されている。

【0066】

本実施例においては、P型半導体領域111を示す四角形の下辺が、P型半導体領域111の同じ画素内の光電変換部側の端部である。図10が示す通り、P型半導体領域301、401の同じ画素内の光電変換部側の端部は、P型半導体領域111の同じ画素内の光電変換部側の端部より、光電変換部101から離れた位置にある。

10

【0067】

本実施例では、図10に示された複数の画素の各々において、P型半導体領域301、401の光電変換部側の端部が光電変換部からオフセットしている。なお、本実施例に係る固体撮像装置は、P型半導体領域301、401の光電変換部側の端部がオフセットしていない画素を含んでいてもよい。

【0068】

本実施例の構成によれば、斜め方向から入射した入射光に対しても感度を持つことが可能となる。よって、実施例1乃至3の効果に加えて、光電変換部の感度が向上するという効果が得られる。

20

【実施例5】

【0069】

図6は本発明に係るさらに別の実施形態である固体撮像装置の画素断面の概略図である。実施例1乃至4と同様の機能を有する部分には同様の符号を付し、詳細な説明は省略する。

【0070】

本実施例は制御電極112と転送ゲート電極113との間の半導体表面にP型の半導体領域601を配したことが第1～第4の実施例と異なる点である。本実施例においては、P型半導体領域601が第4半導体領域として機能する。

【0071】

P型半導体領域601の不純物濃度は、N型半導体領域110の不純物濃度より高い。

30

【0072】

本実施例の構成によれば、電荷保持部からFDへの電荷の転送路における暗電流の混入を抑制することが可能となる。よって、実施例1乃至4の効果に加えて、ノイズをさらに低減する効果が得られる。

【実施例6】

【0073】

図7は本発明に係るさらに別の実施形態である固体撮像装置の画素断面の概略図である。実施例1乃至5と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。

40

【0074】

本実施例はP型半導体領域601直下にN型半導体領域701を配したことが第5の実施例と大きく異なる点である。本実施例においては、N型半導体領域701が第5半導体領域として機能する。

【0075】

図7が示す通り、N型半導体領域701と、その下部のP型半導体領域とのPN接合界面は、N型半導体領域110とP型半導体領域111とのPN接合界面よりも深い位置にある。

【0076】

P型半導体領域601の不純物濃度とN型半導体領域701の不純物濃度とは、N型半

50

導体領域 1 1 0 の不純物濃度よりも高い。したがって、N型半導体領域 1 1 0 の端部は、半導体領域 6 0 1、7 0 1 の配置によって決まる。P型半導体領域 6 0 1 とN型半導体領域 7 0 1 は、予め形成された制御電極 1 1 2 及び転送ゲート電極 1 1 3 をマスクとしてセルフアラインプロセスにより形成されることが望ましい。このようなせ製造方法によれば、N型半導体領域 1 1 0 の端部と制御電極 1 1 2 の端部とを高い精度で整列させることが容易になる。

【 0 0 7 7 】

本実施例の構成によれば、転送効率を向上させることが可能となるため、さらに低電圧での電荷転送が可能である。

【 0 0 7 8 】

(固体撮像装置の応用例)

図 8 は以上に述べた全実施例に適用可能な固体撮像装置の等価回路図である。この等価回路を有する固体撮像装置はグローバル電子シャッタ動作が可能となる。

【 0 0 7 9 】

8 0 1 は光電変換部である。ここではフォトダイオードを用いている。8 0 2 は電荷保持部である。光電変換部で生じた信号電荷を保持する。8 0 3 は増幅部のセンスノードである。例えば F D 及び F D に電氣的に接続された増幅トランジスタのゲート電極がこれにあたる。8 0 4 は第 1 の転送部である。電荷保持部の電荷を増幅部のセンスノードへ転送する。8 0 5 は必要に応じて設けられる第 2 の転送部である。光電変換部の電荷を電荷保持部へ転送する。8 0 8 はリセット部である。少なくとも増幅部の入力部に基準電圧を供給する。更に電荷保持部に対して基準電圧を供給しても良い。8 0 7 は必要に応じて設けられる選択部である。信号線に画素行ごとの信号を出力させる。8 0 6 は増幅部である。信号線に設けられた定電流源とともにソースフォロワ回路を構成する。8 0 9 は電荷排出制御部である。光電変換部とオーバーフロードレイン (以下、O F D) として機能する電源線との接続を制御する。

【 0 0 8 0 】

R E S はリセット部に駆動パルスを供給するための配線である。T X 1 は第 1 の転送部に駆動パルスを供給するための配線である。T X 2 は第 2 の転送部に駆動パルスを供給するための配線である。これは電荷保持部の制御電極の制御パルスを供給するための配線と兼用することができる。S E L は選択部に駆動パルスを供給するための配線である。

【 0 0 8 1 】

また等価回路はこれに限られるものではなく、一部の構成を複数の画素で共有してもよい。また、各素子の制御配線を一定電圧で固定し、導通の制御を行なわない構成にも適用可能である。

【 0 0 8 2 】

第 2 の転送部を埋め込みチャネル型の M O S トランジスタ構成として、光電変換部で生じた電荷が直ちに電荷保持部へ流入するような構成とすることができる。これは、非導通状態であっても表面よりも深い部位にエネルギー障壁が一部低くなっている部分が存在している構成である。この場合には電荷転送部は積極的な制御を行わずに一定の電圧が供給された状態とすることもできる。つまり転送部としての機能を有さずとも固定のポテンシャル障壁を設けても良い。

【 0 0 8 3 】

このような構成によれば、光電変換部に光が入射した際に光電変換により生成した信号電荷の大半が光電変換部で蓄積されることなく電荷保持部へ転送可能となる。したがって、全ての画素に含まれる光電変換部において電荷の蓄積時間を揃えることが可能となる。また、M O S トランジスタが非導通時においてはチャネル表面にホールが蓄積されており、かつ電荷が転送されるチャネルが表面よりも所定深さの部分に存在するため、絶縁膜界面における暗電流の影響を低減することが可能となる。

【 0 0 8 4 】

別の観点でいうと、光電変換部及び電荷保持部で信号電荷を蓄積している期間において

10

20

30

40

50

、光電変換部と電荷保持部間の電荷経路のポテンシャルが光電変換部とOFD領域との間の電荷経路のポテンシャルよりも低いともいえる。ここでのポテンシャルとは信号電荷に対するポテンシャルである。

【0085】

このような画素構成においては光電変換部から電荷保持部への電荷転送が低電圧で行なうことが可能であるため、本発明の実施例と組み合わせた時に、低電圧での電荷転送効率向上という観点で更に好ましい。

【0086】

さらに駆動という観点では、1露光期間中に光電変換部から第1の電荷保持部に移動してきた電荷を第1の電荷保持部において保持し、画像信号として用いている。つまり、光電変換部での1露光期間を開始後、電荷保持部のリセット動作を介することなく画素外部へ信号を読み出しているともいえる。なお1露光期間とは1フレームの画像を撮影する際に、各光電変換部で共通に決定されるものである。

10

【0087】

このような構成においては、グローバル露光は比較的容易に実施できるが、電荷保持部からFD領域への転送期間中は光電変換部の電荷はOFD領域へ排出されるため、画像が間欠的になる。このような構成において画像の連続性が特に必要な場合には、ライン露光を行なうことによって連続的な画像を得ることが可能となる。必要に応じて両者を切り替え可能にすることができる。

【0088】

20

また、ダイナミックレンジ向上のために画素内に電荷保持部が設けられ、電荷保持部からセンスノードへ電荷が転送されるような固体撮像装置においても、本発明を実施することができる。

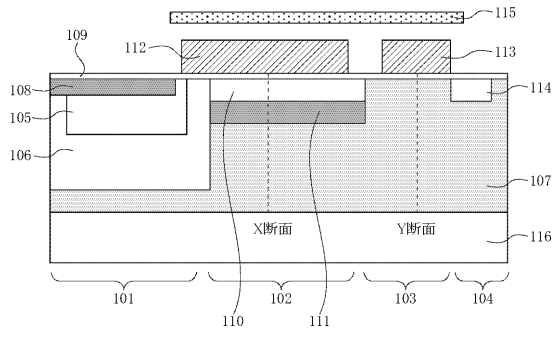
【符号の説明】

【0089】

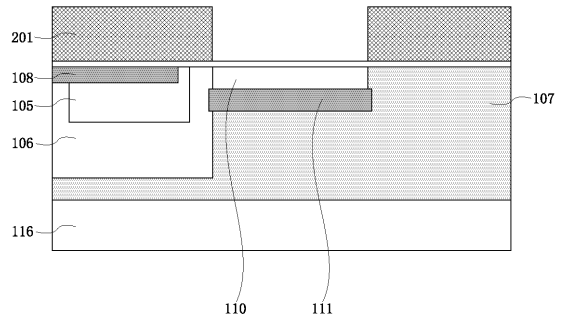
- 101 光電変換部
- 102 電荷保持部
- 103 転送部
- 104 センスノード
- 110 N型半導体領域
- 111 P型半導体領域
- 113 転送ゲート電極

30

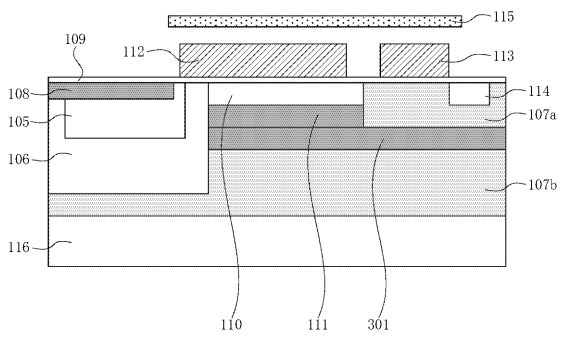
【図1】



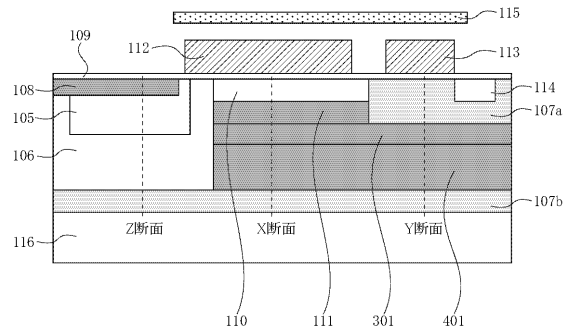
【図2】



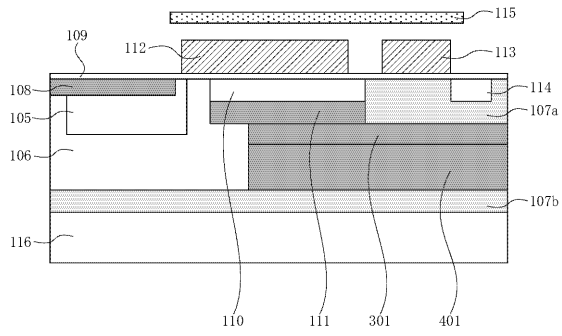
【図3】



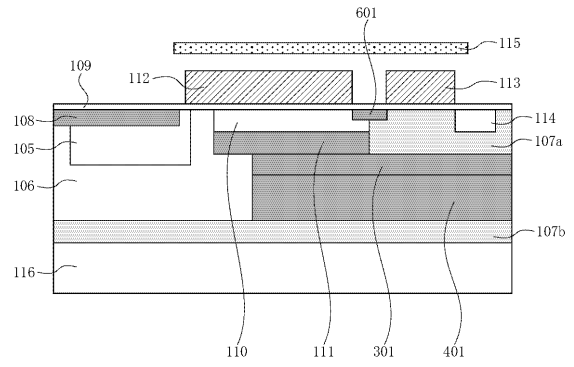
【図4】



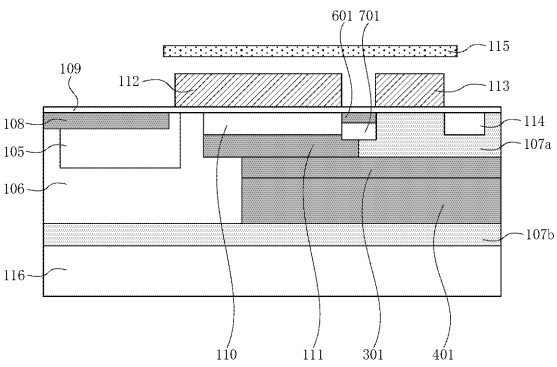
【図5】



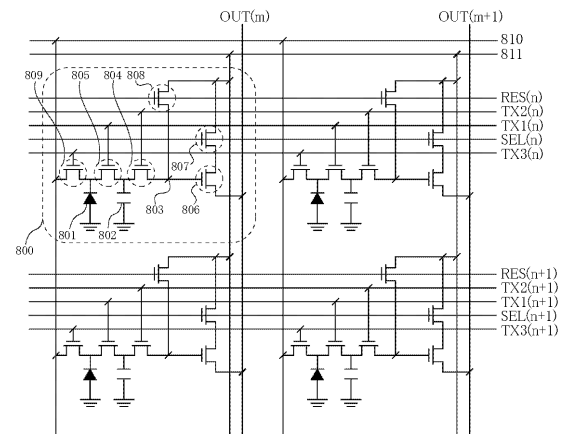
【図6】



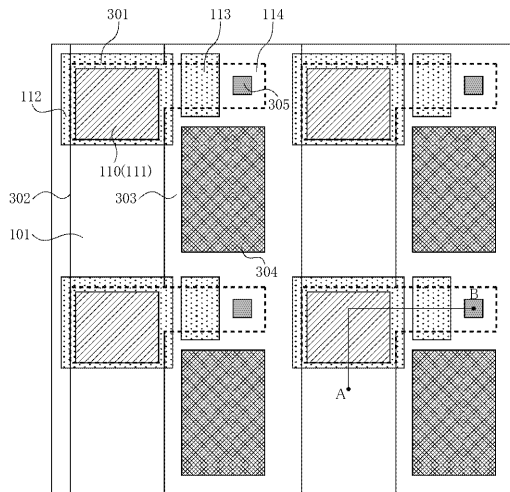
【図7】



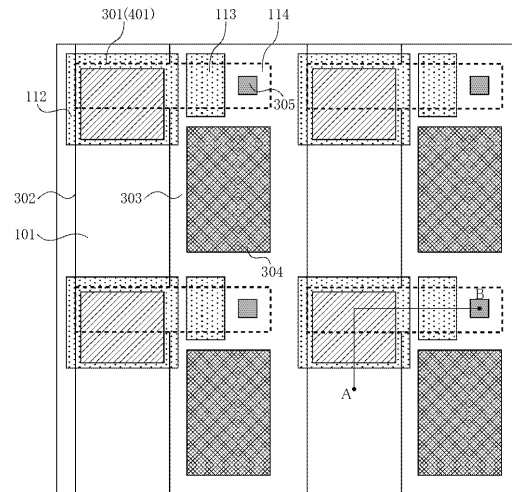
【図8】



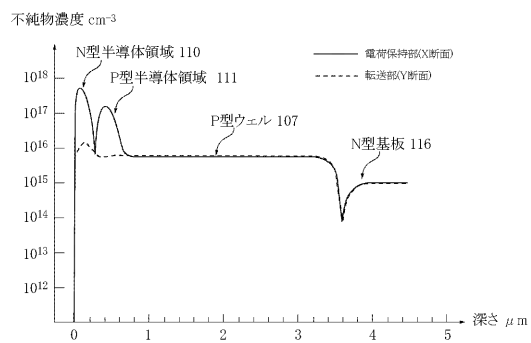
【図9】



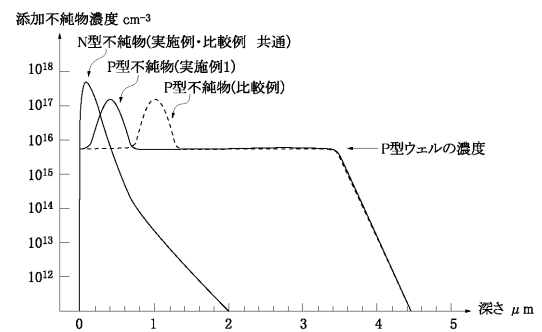
【図10】



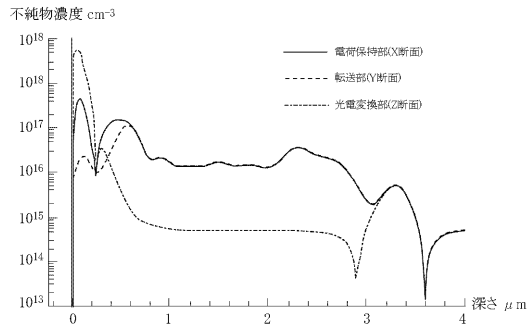
【図11】



【図12】



【図 13】



フロントページの続き

(72)発明者 小林 昌弘
東京都大田区下丸子3丁目30番2号キャノン株式会社内

審査官 栗野 正明

(56)参考文献 特開2010-182887(JP,A)
特開2008-103647(JP,A)
特開2008-004692(JP,A)
特開2007-157912(JP,A)
特開2004-111590(JP,A)
特開2000-286405(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/146
H04N 5/3745