

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 29/786	(45) 공고일자 2000년03월 15일
(21) 출원번호 10-1996-0018858	(11) 등록번호 10-0247840
(22) 출원일자 1996년05월30일	(24) 등록일자 1999년12월 15일
(30) 우선권주장 95-133705 1995년05월31일 일본(JP)	(65) 공개번호 특1996-0043299
	(43) 공개일자 1996년12월23일
(73) 특허권자 닛뽕덴끼 가부시끼가이샤 가네꼬 히사시	
(72) 발명자 오쿠무라 고이찌로	
(74) 대리인 박해선, 윤여범	

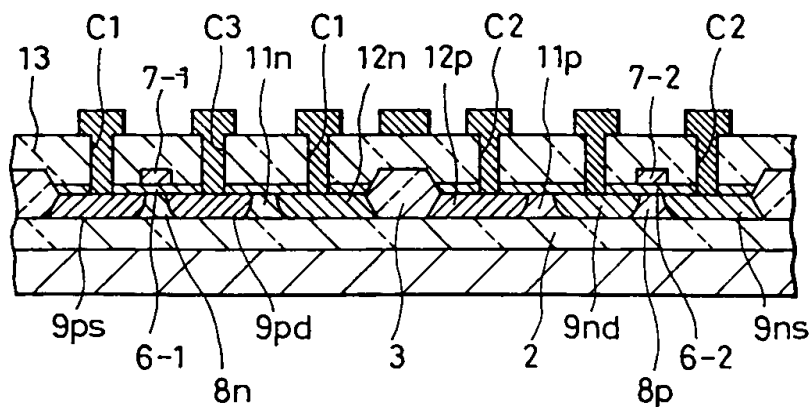
심사관 : 김관식

(54) S01형 반도체 장치

요약

본 발명은 트랜지스터, 다이오드 및 전원선을 포함하는 S01 형 반도체 장치를 제공한다. 다이오드는 트랜지스터의 드레인 영역(9nd)을 통해 트랜지스터와 전기적으로 접속한다. 트랜지스터의 다이오드와 소스 영역(9ns) 모두는 전원선(15)에 전기적으로 접속한다. 그러므로, 다이오드는 정방향으로 바이어스되어 과도한 음 또는 양 전위가 트랜지스터의 드레인 영역(9nd)에 인가될 때 그 다이오드를 통해 전기 전하 이동을 위한 행로가 제공된다. 그 결과, 본 발명은 종래의 S01 형 반도체 장치와 비교하여 정전 파괴에 대항하는 개선된 저항을 가진 S01 형 반도체 장치를 제공한다.

대표도



명세서

[발명의 명칭]

S01 형 반도체 장치

[도면의 간단한 설명]

제1a도는 종래의 S01 형 반도체 장치를 설명하는 평면도.

제1b도는 제1a도의 선 A-A를 따라 절단한 횡단면도.

제2a도 내지 제2e도는 제1a도와 제1b도에 도시된 종래의 S01 형 반도체 장치를 제조하는 방법의 개별 단계를 도시하는 횡단면도.

제3도는 종래의 S01 형 반도체 장치의 변형을 도시하는 평면도.

제4a도는 본 발명의 제 1 실시예에 의한 S01 형 반도체 장치의 출력 버퍼를 도시하는 횡단면도.

제4b도는 제4a도의 선 A-A를 따라 절단한 횡단면도.

제5a도 내지 제5e도는 제4a도와 제4b도에 도시된 S01 형 반도체 장치를 제조하는 방법의 개별 단계를 도

시하는 횡단면도.

제6도는 제 1 실시예에 의한 SOI 형 반도체 장치의 변형을 도시하는 평면도.

제7a도는 본 발명의 제 2 실시예에 의한 SOI 형 반도체 장치의 출력 버퍼를 도시하는 평면도.

제7b도는 제7a도의 선 A-A를 따라 절단한 횡단면도.

제8a도 내지 제8b도는 제7a도와 제7b도에 도시된 SOI 형 반도체 장치의 제조 방법의 개별 단계를 도시하는 횡단면도.

제9a도는 본 발명의 제 3 실시예에 의한 SOI 형 반도체 장치의 출력 버퍼를 도시하는 평면도.

제9b도는 제9a도의 선 A-A를 따라 절단한 횡단면도.

제10a도 내지 제10e도는 제9a도와 제9b도에 도시된 SOI 형 반도체 장치의 제조 방법의 개별 단계를 도시하는 횡단면도.

<도면의 주요부분에 대한 부호의 설명>

1 : 실리콘 기판	2 : 매입 산화막
3 : 필드 산화막	4p : 제 1 소자 형성 영역
5n : 제 2 소자 형성 영역	6-1 : 제 1 게이트 산화막
6-2 : 제 2 게이트 산화막	6-3 : 제 3 게이트 산화막
6-4 : 제 4 게이트 산화막	7-1 : 제 1 게이트 전극
7-2 : 제 2 게이트 전극	7-3 : 제 3 게이트 전극
7-4 : 제 4 게이트 전극	8 : 실리콘막
8n, 8nA : 제 1 저농도 n 형 영역	
8p, 8pA : 제 1 저농도 p 형 영역	
9ns, 9nsA : n 형 소스 영역	9nd, 9ndA, 9ndB : n 형 드레인 영역
9ps, 9psA : p 형 소스 영역	9pd, 9pdA, 9pdB : p 형 드레인 영역
10 : 이산화 실리콘막	11n : 제 2 저농도 n 형 영역
11p : 제 2 저농도 p 형 영역	12n, 12nA, 12nB : 고농도 n 형 영역
12p, 12pA, 12pB : 고농도 p 형 영역	
13 : 층간 절연막	14 : 제 1 전원선
15, 15A, 15B, 15C : 제 2 전원선	
16, 16A, 16B, 16C : 입력 신호선	
17, 17A, 17B, 17C : 출력 신호선	
18 : 질화 실리콘막	
19, 20, 21, 21A, 23, 23A, 25, 26, 27, 28 : 포토 레지스트막	
24p : 저농도 p 형 영역	24n : 저농도 n 형 영역

[발명의 상세한 설명]

본 발명은 실리콘-온-절연체 (이후로, 간단히 "SOI"로 언급될 것임)형 반도체 장치에 관한 것이며, 특히 IGFET-SOI 형 반도체 장치의 출력 버퍼에 관한 것이다.

최근에, 반도체 집적 회로의 고속 동작에 대한 필요성이 증가하고 있다. 그러므로, SOI 형 기판상에 형성된 CMOS 집적회로가 CMOS 집적 회로를 고속으로 동작시킬 수 있는 구조로서 현재 주목받고 있다. 이하에 출력 버퍼의 평면도인 제 1a 도와, 또한 제 1a 도의 선 A-A를 따라 절단한 횡단면도인 제 1b 도를 참조로 SOI 형 기판상에 형성된 CMOS 집적회로의 출력 버퍼가 설명된다.

제 1a 도에서, 상단에는 p-채널 MOSFET (이하로, 간단히 "PMOS"로 언급될 것임), 하단에는 n-채널 MOSFET (이하로, 간단히 "NMOS"로 언급될 것임)가 배치된다.

n 형 폴리실리콘막으로 이루어진 게이트 전극(7-1), p 형 소스 영역(9ps) 및 p 형 드레인 영역(9pd) 이 PMOS를 구성한다. p 형 소스 및 드레인 영역들(9ps) 및 (9pd)는 게이트 전극(7-1) 아래에 위치한 저농도 n 형 영역(8n)을 사이에 위치시키면서, 게이트 전극(7-1)에 대해 자기 정렬된다. 유사하게, n 형 폴리실리콘막으로 구성된 게이트 전극(7-2), n 형 소스 영역(9ns) 및 n 형 드레인 영역(9nd) 이 NMOS를 구성한다. n 형 소스 및 드레인 영역(9ns) 및 (9nd)는 게이트 전극 (7-2) 아래에 위치한 저농도 p 형 영역 (8p)을 사이에 위치시키면서, 게이트 전극 (7-2)에 대해 자기 정렬된다. 게이트 전극(7-1)과 (7-2)는 서로 직렬로 접속되고 n 형 폴리실리콘막으로 구성된 입력 신호선 (16B)에 또한 접속된다. p 형 소스 영역

(9ps)은 알루미늄 합금으로 구성된 제 1 전원선(14B)에 접촉홀(C1)을 통해 전기적으로 접속되어, 전원(도시되지 않음)이 p 형 소스 영역(9ps)에 공급 전압(Vdd)을 제공한다. n 형 소스 영역(9ns)은 알루미늄 합금으로 구성된 제 2 전원선(15B)에 접촉홀(C2)을 통해 전기적으로 접속되어, 접지 전압(GND)이 n 형 소스 영역(9ns)에 제공한다. p 형 및 n 형 드레인 영역(9pd) 및 (9nd) 각각은 알루미늄 합금막으로 구성된 출력 신호선(17B)에 접촉홀(C3)을 통해서 전기적으로 접속된다.

실리콘 기판(1)에는 이산화 실리콘막으로 이루어진 매입 산화막(2)이 형성된다. 상기 매입 산화막(2)상에 위치하는 실리콘막은 이산화 실리콘막으로 이루어진 다수의 필드 산화물(3)에 의해 아일랜드 형태로 분리되어 소자 형성 영역(4p)과 (5n)을 형성한다.

게이트 절연막(6-1)은 소자 형성 영역(4P)을 덮고, 상기 게이트 절연막(6-1) 위에는 게이트 전극(7-1)이 형성된다. 둘다 매입 산화막(2)에 도달하는 깊이를 가지고 약 $1 \times 10^{20} \text{ cm}^{-3}$ 의 양의 고농도 p 형 불순물을 포함하는 p 형 소스 및 드레인 영역(9ps)과 (9pd)는 제 1 게이트 전극(7-1)에 대해 자기 정렬식으로 형성된다. PMOS 채널이 형성되고 약 $1 \times 10^{17} \text{ cm}^{-3}$ 의 양의 저농도 n 형 불순물을 포함하는 저농도 n 형 영역(8n)이 제 1 게이트 전극(7-1) 아래 실리콘막에 형성된다.

유사하게, 게이트 절연막(6-2)은 소자 형성 영역(5n)을 덮고, 게이트 절연막(6-2) 상에는 게이트 전극(7-2)이 형성된다. 둘다 매입 산화막(2)에 도달하는 깊이를 가지고 약 $1 \times 10^{20} \text{ cm}^{-3}$ 의 양의 고농도 n 형 불순물을 포함하는 n 형 소스 및 드레인 영역(9ns)과 (9nd)는 게이트 전극(7-2)에 대해 자기 정렬식으로 형성된다. NMOS의 채널이 형성되고 약 $1 \times 10^{17} \text{ cm}^{-3}$ 의 양의 저농도 p 형 불순물을 포함하는 저농도 p 형 영역(8p)이 게이트 전극(7-2) 아래 실리콘막에 형성된다.

p 형 소스 영역(9ps)은 층간 절연막(13)을 통해 형성된 접촉홀(C1)을 통해 제 1 전원선(14B)에 전기적으로 접속되고, n 형 소스 영역(9ns)은 층간 절연막(13)을 통해 형성된 접촉홀(C2)을 통해 제 2 전원선(15B)에 전기적으로 접속된다.

SOI 형 기판을 사용하여 형성된 상기 언급된 SOI 형 반도체 장치에서, PMOS의 p 형 드레인 영역(9pd)과 NMOS의 n 형 드레인 영역(9nd)은 둘다, 특히 약 400 nm의 두께로 비교적 두꺼운 매입 산화막(2)과 저부에서 접촉하고 있어서, 확산층 용량을 낮게 한다. 결과적으로, 종래기술에서 알려져 있듯이, 더욱 고속의 동작이 성취될 수 있다.

이하에는, CMOS 집적 회로의 상기 언급한 출력 버퍼를 제조하는 방법이 설명된다.

먼저, 실리콘 기판에 SIMOX (Separation by Implanted Oxygen; 주입된 산소에 의한 분리)가 수행된다. 여기서, 산소 이온이 실리콘 기판에 주입되고, 이어서 실리콘 기판을 열적으로 어닐링하여 실리콘 기판내에 매입 산화물층을 형성시켜, 제 2a 도에 도시된 것처럼, 실리콘 기판(1), 매입 산화막(2) 및 실리콘막(8)으로 이루어진 SOI 형 기판상에 패드 산화막(17a)과 질화 실리콘막(18)을 형성한다. 그런다음, 마스크로서 패터닝된 포토레지스트(19A)를 사용하여 질화 실리콘막(18)을 에칭하여 실리콘막(8)을 소자 형성 영역으로 분리시킨다. 그런 다음, 포토레지스트(19A)를 제거한 후에, 실리콘막(8)은 마스크로서 질화 실리콘막(18)을 사용하여 선택적으로 산화되어, 제 2b 도에 도시된 것처럼, 내부에 소자 형성 영역을 형성하는 다수의 필드 산화물(3)을 형성한다. 질화 실리콘막(18)과 패드 산화막(17a)은 제거되고, 그런다음, 20 nm의 두께를 갖는 이산화 실리콘막(10)이 실리콘막(8)상에서 성장된다.

그런다음, NMOS가 형성될 영역이외의 영역은 포토레지스트(20A)가 피복되고, 이 포토레지스트(20A)를 마스크로서 사용하여 붕소(B)가 50 KeV에서 $1 \times 10^{12} \text{ cm}^{-2}$ 의 양만큼 이온 주입된다. 결과적으로, 제 2c 도에 도시된 것처럼, 저농도 p 형 영역(8p)이 형성된다. 그후에, 포토레지스트(20A)가 제거된후, PMOS가 형성될 영역이외의 영역은 포토레지스트(21A)로 피복되고, 인(P)이 50 KeV에서 $1 \times 10^{12} \text{ cm}^{-2}$ 의 양만큼 이온 주입된다. 결과적으로, 제 2d 도에 도시된 것처럼, 저농도 n 형 영역(8n)이 형성된다.

포토레지스트(21A)와 이산화 실리콘막(10)의 제거후에, 10 nm 두께의 게이트 산화막(6-1) 및 (6-2)가 저농도 p 형 및 n 형 영역(8p) 및 (8n) 상에서 성장된다. 그후에, 300 nm 두께의 폴리실리콘막이 게이트 산화막(6-1) 및 (6-2) 상부에 도포되고, 인(P)이 850°C에서 약 30분동안 확산된다. 그후에, 포토레지스트 사용 단계가 수행되어 그림으로써 고농도 n 형 폴리실리콘막으로 이루어진 게이트 전극(7-1) 및 (7-2)이 형성된다.

그후에, 제 2d 도에 도시된 것처럼, NMOS가 형성될 영역이외의 영역은 포토레지스트(22A)로 피복되고, 비소(As)가 70 KeV에서 $5 \times 10^{16} \text{ cm}^{-2}$ 의 양만큼 이온 주입된다. 결과적으로, 제 2e 도에 도시된 것처럼, n 형 소스 영역(9ns)와 n형 드레인 영역(9nd)가 형성된다. NMOS 게이트 전극(7-2) 아래에 위치한 영역이 비소로 도핑되지 않기 때문에, 그 영역은 저농도 p 형 영역(8p)으로 남아 있다.

그후에, 포토레지스트(23A)의 제거에 이어서, PMOS가 형성될 영역이외의 영역이 포토레지스트(도시되지 않음)로 피복되고, BF_2 가 50 KeV에서 $5 \times 10^{15} \text{ cm}^{-2}$ 의 양만큼 이온 주입된다. 결과적으로, 제 1a 도와 제 1b 도에 도시된 p 형 소스 영역(9ps)과 p 형 드레인 영역(9pd)이 형성된다. 게이트 전극(7-1) 아래에 위치한 영역이 BF_2 로 도핑되지 않기 때문에, 그 영역은 저농도 n 형 영역(8n)으로 남아 있다.

그후에, 접촉홀 C1 내지 C3가 형성되는 층간 절연막(13)이 피복된다. 그후에, 제 1 전원선(14B), 제 2 전원선(15) 및 출력 신호선(17B)이 형성된다.

상기 언급된 종래의 SOI 형 반도체 장치에서, PMOS의 p 형 드레인 영역(9pd)은 매입 산화막(2)과 저부 표면에서 접촉하고, p 형 드레인 영역(9pd)의 측면과 접촉하고 있는 저농도 n 형 영역(8n) 또는 n 형 본체 영역은 SOI 형 반도체가 동작하지 않을때 플로팅 전압을 갖는다. 그러므로, 어떤 이유로 큰 양전압이 출력 신호선(17B)에 인가되면, 전기 전하가 방전될 행로는 없다. 이는 음전압이 출력 신호선(17B)에 인가될 때와 유사하다. 즉, NMOS의 n 형 드레인 영역(9nd)은 매입 산화막(2)과 저부 표면에서 접촉하고, n 형 드

레인 영역(9nd)의 측면과 접촉하고 있는 저농도 p 형 영역(8p) 또는 p 형 본체 영역은 S01 형 반도체가 동작하지 않을 때 플로팅 전압을 갖는다. 그러므로, 어떤 이유에서 큰 음전압이 출력 신호선(17B)에 인가되면, 전기 전하가 방전될 행로가 없다. 따라서, 종래의 S01 형 반도체 장치에서는 정전 파괴에 대한 출력 버퍼의 내성 감소 문제가 보고 되어 왔다. 예로서, Koen Verhaege et al 은 1993년, EOS/EDS(Electrical Overstress/Electrostatic Discharge) Symposium, pp.(93-215)-(93-219)에, S01 형구조의 NMOS가 SIMOX 기판을 사용하여 제조된 경우, 접지된 소스를 가진 S01 형구조 NMOS의 드레인에 음전압이 인가될 때 측정된 정전파괴 내성은 동일한 드레인에 양전압이 인가될 때 측정된 정전 파괴 내성보다 작다고 보고되어 있다.

이 사실을 아래에서 분석한다.

드레인의 파괴 전압(breakdown voltage)을 증가하는 양전압이 드레인에 인가되면, 통상의 실리콘 기판의 p 형 웰내에 형성된 NMOS와 유사하게, 트리거로 사용되는 드레인 종단에서 충돌 이온화에 의해 초래된 홀의 발생과 함께, 소스, 본체 및 드레인이 각각 에미터, 베이스 및 컬렉터로 사용되는 NPN 바이폴라 트랜지스터 동작이 시작된다. 다량의 전자들이 NPN 바이폴라 트랜지스터 동작을 통해 드레인에 제공되어, 드레인 종단에서의 전압이 비교적 효과적으로 저하될 수 있다.

그러므로, 통상의 실리콘 기판내에 형성된 CMOS의 정전 파괴에 대한 내성보다 열등하다고 하더라도, 정전 파괴에 대한 실용적인 내성을 얻는 것이 가능하다.

음전압이 통상의 실리콘 기판의 p 형 웰내에 형성된 NMOS의 드레인에 인가될 때, n 형 드레인과 p 형 웰에 의해 형성된 다이오드 접합은 정방향으로 바이어스된다. 결과적으로, 전자들은 p 형 웰로 흐르고, 또한 p 형 웰과 접지선사이에 형성된 웰 접착을 통해 접지선에 흘러서, 음 전위가 감소된다.

한편, 음전압이 S01 형구조 NMOS의 드레인에 인가되면, n 형 드레인 영역과 p 형 본체 영역으로 이루어진 다이오드를 통하여 p 형 본체 영역으로 흐르는 전자들은 p 형 본체 영역의 외부로 흐르는 행로를 가질 수 없는데, 왜냐하면 p 형 본체 영역이 플로팅 전압을 갖기 때문이다. 그러므로, 전자들은 p 형 본체 영역에 머무른다. 드레인과 본체 영역이 음전압을 가지면, 게이트와 소스는, 드레인을 기준으로 고려하여, 양전압을 갖게 된다. 그러므로, 채널이 p 형 본체 영역의 표면상에 형성되어, NMOS를 턴온하여, 전자가 드레인으로부터 소스로 흘러, 음전압을 감소시킨다. 그러나, MOS 트랜지스터의 특성은 제한된 양의 전류를 흐르도록 하고, 그러므로, 정전 파괴에 대한 내성이 양전압의 인가시 측정된 내성보다 훨씬 더 낮아진다. 이는 S01 형구조를 실제적으로 사용하는데 분명한 장애가 된다.

상기 언급한 문제는 개방 드레인형 출력 버퍼에서 발생한다. 예로서, 개방 드레인형 S01 형구조 NMOS가 제 3 도에 평면도로서 도시되어 있다. 어떤 공급 전압이 풀업 저항(도시되지 않음)을 통해 S01 형 칩외부에 위치한 전원에서부터 개방 드레인 출력 신호선(17C)에 제공된다.

상기 언급한 것처럼, 통상의 S01 형 반도체 장치가 과도한 전압이 방전될 행로를 갖지 못하기 때문에, 출력 버퍼내의 정전 파괴에 대한 내성이 감소되는 문제를 발생시킨다.

종래의 S01 형 반도체 장치의 전술한 문제점의 면에서, 본 발명의 목적은 과도한 전압이 출력 단자에 인가되더라도, 빠르게 전압을 감소시킬 수 있는 S01 형 반도체 장치를 제공하는 것이다.

본 발명은, 절연체, 선택적으로 이 절연체를 피복하여 소자 형성 영역을 형성하는 실리콘막, 상기 소자 형성 영역을 피복하는 게이트 절연막, 이 게이트 절연막상에 형성된 게이트 전극, 제 1 도전형을 가지고 상기 게이트 전극 아래의 게이트 절연막을 지나 실리콘막내에 형성된 제 1 저농도 도프된 영역, 제 2 도전형을 가지고 상기 제 1 저농도 도프된 영역을 사이에 위치시키면서 게이트 전극에 대해 자기 정렬식으로 실리콘막내에 형성된 고농도 도프된 소스와 드레인 영역, 게이트 전극에 전기적으로 접속된 입력 신호선 및 고농도 도프된 드레인 영역에 전기적으로 접속된 출력 신호선을 구비하며, 제 1 또는 제 2 도전형을 가지고 고농도 도프된 드레인 영역에 인접하도록 실리콘막내에 형성된 제 2 저농도 도프된 영역, 제 1 도전형을 가지며 제 2 저농도 도프된 영역에 인접하도록 실리콘막내에 형성된 고농도 도프된 영역, 및 고농도 도프된 소스 영역과 고농도 도프된 영역 둘다에 전기적으로 접속된 전원선을 특징으로 하는 실리콘-절연체형 반도체 장치를 제공한다.

여기서, 상기 언급된 S01 형 반도체 장치는 n-채널 IGFET로 구성되고, 제 1 도전형은 p 형이고 제 2 도전형은 n 형이라고 가정한다. 양의 과도 전압이 출력 신호선에 인가될 때, N+ 드레인 영역, 제 1 저농도 p 형 영역 및 N+ 소스 영역으로 구성된 NPN 바이폴라 트랜지스터가 턴온되고, 반면에 음의 과도 전압이 출력 신호선에 인가될 때, P+ 형 영역, 제 2 저농도 p 형 또는 n 형 영역 및 N+ 형 드레인 영역으로 구성된 PN 다이오드가 턴온된다. 상기 언급된 S01 형 반도체 장치가 p-채널 IGFET로 구성되면, 음의 과도 전압이 출력 신호선에 인가될 때, P+ 드레인 영역, 제 1 저농도 n 형 영역 및 P+ 소스 영역으로 구성된 PNP 바이폴라 트랜지스터가 턴온되고, 반면에 양의 과도 전압이 출력 신호선에 인가되면, P+ 형 드레인 영역, 제 2 저농도 p 형 또는 n 형 영역 및 N+ 형 영역으로 구성된 PN 다이오드가 턴온된다.

바람직한 실시예에서, S01 형 반도체 장치는 또한 제 2 소자 형성 영역을 형성하기 위해 선택적으로 절연체를 피복하는 제 2 실리콘막, 제 2 소자 형성 영역을 피복하는 제 2 게이트 절연막, 제 2 게이트 절연막상에 형성된 제 2 게이트 전극, 제 2 도전형을 가지고 제 2 게이트 전극아래의 제 2 게이트 절연막을 지나 제 2 실리콘막내에 형성된 제 3 저농도 영역, 제 2 도전형을 가지고 제 3 저농도 영역을 사이에 위치시키면서 제 2 게이트 전극에 대해 자기 정렬식으로 제 2 실리콘막에 형성되는 제 2 고농도 소스 및 드레인 영역, 이때 절연체, 제 2 실리콘막, 제 2 게이트 절연막, 제 2 게이트 전극, 제 2 게이트 전극, 제 3 저농도 영역 및 제 2 고농도 소스 및 드레인 영역은 제 2 도전형 채널을 가진 제 2 트랜지스터를 구성하며, 제 1 또는 제 2 도전형을 가지고 고농도 제 2 드레인 영역에 인접하도록 제 2 실리콘막내에 형성된 제 4 저농도 영역, 제 2 도전형을 가지고 제 4 저농도 영역에 인접하도록 제 2 실리콘막내에 형성된 제 2 고농도 영역 및 제 2 고농도 소스 영역과 제 2 고농도 영역 둘다에 전기적으로 접속된 제 2 전원선을 포함하며, 입력 신호선은 제 2 게이트 전극에 또한 전기적으로 접속되고, 출력 신호선은 제 2 고농도 드레인 영역에 또한 전기적으로 접속되어 있다.

제 1 도전형이 n 형이고 제 2 도전형이 p 형이라고 가정할 때, 양의 과전압이 출력 신호선에 인가될 때, N+ 드레인 영역, 제 1 저농도 p 형 영역 및 N+ 소스영역으로 구성된 NPN 바이폴라 트랜지스터는 턴온되고, P+ 형 드레인 영역, 제 2 저농도 p 형 영역 및 N+ 형 영역으로 구성된 PN 다이오드가 또한 턴온된다. 음의 과전압이 출력 신호선에 인가될 때, P+ 형 영역, 제 2 저농도 p 형 또는 n 형 영역 및 N+ 형 드레인 영역으로 구성된 PN 다이오드가 턴온된다.

바람직한 실시예에서, SOI 형 반도체 장치는 고농도 드레인 영역과 고농도 영역이 제 2 게이트 전극에 대해 자기 정렬된 경우, 제 2 게이트 절연막을 지나 제 2 저농도 영역상에 형성되고 전원선에 전기적으로 접속된 제 2 게이트 전극을 또한 포함한다.

상기 언급된 실시예에서, 제 2 저농도 영역이 제 2 게이트 전극과 자기 정렬되기 때문에, 치수의 분산 범위가 더 작다는 이점이 있다.

바람직한 실시예에서, SOI 형 반도체 장치는 제 3 게이트 절연막을 지나 제 2 저농도 영역상에 형성되고 제 1 전원선에 전기적으로 접속된 제 3 게이트 전극과, 제 4 게이트 절연막을 지나 제 4 저농도 영역상에 형성되고 제 2 전원선에 전기적으로 접속된 제 4 게이트 전극을 또한 포함한다. 제 1 고농도 드레인 영역과 제 1 고농도 영역은 제 3 게이트 전극에 대해 자기 정렬되고, 제 2 고농도 드레인 영역과 제 2 고농도 영역은 제 4 게이트 전극에 대해 자기 정렬된다.

상기 언급한 실시예에서, 제 2 및 제 4 저농도 영역은 제 3 및 제 4 게이트 전극과 각각 자기 정렬되기 때문에, 치수의 분산 범위가 더 작다는 이점이 있다.

또한, 본 발명은 트랜지스터, 다이오드 및 전원선을 구비한 실리콘-온-절연체형 반도체 장치를 제공하며, 상기 트랜지스터는 절연체, 이 절연체를 선택적으로 피복하여 소자 형성 영역을 형성시키는 실리콘막, 이 소자 형성 영역을 피복하는 게이트 절연막, 이 게이트 절연막상에 형성된 게이트 전극, 제 1 도전형을 가지고 게이트 전극아래의 게이트 절연막을 지나 실리콘막내에 형성된 영역 및 제 2 도전형을 가지고 상기 영역을 사이에 위치시키면서 게이트 전극에 대해 자기 정렬식으로 실리콘막내에 형성된 고농도 소스로 드레인 영역을 구비하며, SOI 형 반도체 장치는, 다이오드가 드레인 영역을 통해 트랜지스터와 전기적으로 접속되고, 다이오드와 트랜지스터의 소스 영역은 과전위가 트랜지스터의 드레인 영역에 인가될 때 상기 다이오드가 정방향으로 바이어스되어 전기 전하 이동을 위한 행로가 제공되도록 전원선에 전기적으로 접속되어 있는 것을 특징으로 한다.

본 발명에 의하여, n-채널 또는 p-채널 IGFET의 드레인 및 소스 영역은 드레인 영역에 인접하여 위치한 다이오드를 통해 전원선에 전기적으로 접속되어 있다.

그래서, 음 또는 양의 과전압이 드레인 영역과 전기적으로 접촉하고 있는 출력 신호선에 순간적으로 인가될 때, 다이오드는 정방향으로 바이어스되어 전기 전하가 다이오드를 통해 이동하는 것이 가능하다. 그러므로, 본 발명은 통상의 SOI 형 반도체 장치와 비교하여 정전 파괴에 대한 개선된 내성을 갖는 SOI 형 반도체 장치를 제공한다.

제 4a 도와 제 4b 도를 참조하면, 본 발명의 제 1 실시예에 의해 제조된 SOI 형 반도체 장치는 p-채널 MOSFET과 이 p-채널 MOSFET과 인접하여 형성된 PN 다이오드, n-채널 MOSFET과 이 n-채널 MOSFET에 인접하여 형성된 NP 다이오드, 및 출력 버퍼를 포함한다.

p-채널 MOSFET는 절연체로 사용되는 매입 산화막(2), 이 매입 산화막(2)을 선택적으로 피복하여 제 1 소자 형성 영역(4p)을 형성하는 제 1 실리콘막, 이 제 1 소자 형성 영역(4p)을 피복하는 제 1 게이트 절연막(6-1), 제 1 게이트 절연막(6-1)상에 형성된 제 1 게이트 전극(7-1), $1 \times 10^{17} \text{ cm}^{-3}$ 의 양의 불순물을 포함하고 제 1 게이트 전극(7-1) 아래의 제 1 게이트 절연막(6-1)을 지나 제 1 실리콘막내에 형성된 제 1 저농도 n 형 영역(8n), 및 $1 \times 10^{20} \text{ cm}^{-3}$ 의 양을 포함하고 제 1 저농도 n 형 영역(8n)을 사이에 위치시키면서 제 1 게이트 전극(7-1)에 대해 자기 정렬식으로 제 1 실리콘막내에 형성된 고농도 p 형 소스와 드레인 영역(9ps)와 (9pd)을 포함한다.

SOI 형 반도체 장치는 또한 고농도 p 형 드레인 영역(9pd)에 인접하게 제 1 실리콘 막내에 형성된 제 2 저농도 n 형 영역(11n)과 제 2 저농도 n 형 영역(11n)에 인접하게 제 1 실리콘막내에 형성된 제 1 고농도 n 형 영역(12n)을 포함한다. p 형 드레인 영역(9pd), 제 2 저농도 n 형 영역(11n)과 제 1 고농도 n 형 영역(12n)은 서로 결합하여 PN 다이오드를 구성한다.

n-채널 MOSFET는 매입 산화막(2)을 선택적으로 피복하여 제 2 소자 형성 영역(5n)을 형성하는 제 2 실리콘막, 제 2 소자 형성 영역(5n)을 피복하는 제 2 게이트 절연막(6-2), 제 2 게이트 절연막(6-2)상에 형성된 제 2 게이트 전극(7-2), 불순물이 약 $1 \times 10^{17} \text{ cm}^{-3}$ 의 양만큼 포함되고 제 2 게이트 전극(7-2) 아래의 제 2 게이트 절연막(6-2)을 지나 제 2 실리콘막내에 형성된 제 1 저농도 p 형 영역(8p), 및 $1 \times 10^{20} \text{ cm}^{-3}$ 의 양만큼 불순물을 포함하고 제 1 저농도 p 형 영역(8p)을 사이에 위치시키면서 제 2 게이트 전극(7-2)에 대해 자기 정렬식으로 제 2 실리콘막내에 형성된 고농도 n 형 소스 및 드레인 영역(9ns)와 (9nd)을 포함한다.

SOI 형 반도체 장치는 또한 고농도 n 형 드레인 영역(9nd)에 인접한 제 2 실리콘막내에 형성된 저농도 p 형 영역(11p), 저농도 p 형 영역(11p)에 인접한 제 2 실리콘막내에 형성된 고농도 p 형 영역(12p)을 포함한다. n 형 드레인 영역(9nd), 저농도 p 형 영역(11p) 및 고농도 p 형 영역(12p)은 서로 결합하여 NP 다이오드를 구성한다.

출력 버퍼는 고농도 p 형 소스 영역(9ps)과 고농도 n 형 영역(12n) 둘다에 전기적으로 접속된 제 1 전원선 (이하로, "V_{DD} 선"으로 언급할 것임), 고농도 n 형 소스 영역(9ns)과 고농도 p 형 영역(12p) 둘다에 전기적으로 접속된 제 2 전원선 (이하로, "GND"로 언급할 것임), 제 1 및 제 2 게이트 전극(7-1)과 (7-2) 둘다에 전기적으로 접속된 입력 신호선(16), 및 고농도 p 형 및 n 형 드레인 영역(9pd)와 (9nd)에 전기적

으로 접속된 출력 신호선(17)을 포함한다.

수천 볼트의 음전압이 순간적으로 출력 신호선(17)에 인가될 때, n 형 드레인 영역 (9nd), 제 2 p 형 영역(11p) 및 고농도 p 형 영역 (12p)으로 구성된 N+/P/P+ 다이오드는 정방향으로 바이어스되어 GND 선(15)을 통해 출력 신호선(17)에 전기 전하를 제공할 수 있다. 그러므로, 제 1a 도와 제 1b 도에 도시된 종래의 S01 형 반도체 장치와 비교하여 음전압에 대해서 정전 파괴에 대한 개선된 내성을 얻을 수 있다. p+ 형 드레인 영역(9pd), 제 1 저농도 n 형 영역(8n) 및 p+ 형 소스 영역(9ps)으로 구성된 P+/N/P+ 바이폴라 트랜지스터는 턴온되더라도, 정전 파괴에 대한 내성을 개선시키는데 효과적이지 않다.

수천 볼트의 양전압이 순간적으로 출력 신호선(17)에 인가될 때, 각각 에미터, 베이스 및 컬렉터로 사용되는, n 형 소스 영역(9ns), p 형 본체 영역 또는 제 1 저농도 p 형 영역(8p) 및 n 형 드레인 영역(9nd)으로 구성된 NPN 바이폴라 트랜지스터가 턴온되어, 종래의 S01 형 반도체 장치와 유사하게, 전기 전하가 출력 신호선(17)에서 GND 선(15)으로 방전되도록 한다. 게다가, p 형 드레인 영역(9pd), 제 2 저농도 n 형 영역(11n) 및 고농도 n 형 영역(12n)으로 구성된 P+/N/N+ 다이오드는 정방향으로 바이어스되어, V_{DD} 선(14)로 전기 전하를 방전시키므로, 제 1a 도와 제 1b 도에 도시된 종래의 S01 형 반도체 장치와 비교하여 양전압에 대해서도 정전 파괴에 대한 개선된 내성을 얻을 수 있다.

정상 동작시, 공급 전압 V_{DD} (예로서, 3.3. V)는 V_{DD} 선(14)에 인가되고, GND선(15)은 0 volt의 접지 전압과 동일하게 유지된다. 그러므로, 폴리실리콘으로 이루어진 GND 선(15)에 전송된 입력 신호에 의한 출력 신호선(17)의 전압 진폭은 0 내지 V_{DD} 볼트의 범위내이므로, P+/N/N+ 또는 N+/P/P+ 중 어느 것도 정방향으로 바이어스 되지 않고, 결과적으로, 어떤 불리한 영향도 S01 형 반도체 장치의 동작에 미치지 않는다.

제 5a 도 내지 제 5e 도를 참조로, 제 1 실시예의 S01 형 반도체 장치를 제조하는 방법을 하기에 설명한다.

먼저, 제 5a 도에 도시된 것처럼, 패드 산화막(17a)과 질화 실리콘막(18)이 SIMOX 기술에 의해 제조된 S01 형 기판상에 형성된다. S01 형 기판은 실리콘 기판(1), 매입 산화막(2) 및 실리콘막(8)로 구성되어 있다. 그런 다음, 질화 실리콘막(18)은 패턴된 포토레지스트(19)를 마스크로 사용하여 에칭되어 실리콘막(8)을 소자 형성 영역(5n 및 4p)으로 분리시킨다.

그후에, 제 5b 도에 도시된 것처럼, 포토레지스트(19)의 제거후, 실리콘막(8)은 마스크로서 질화 실리콘막(18)을 사용하여 선택적으로 산화되어, 내부에 소자 형성 영역을 형성하는 다수의 필드 산화물(3)을 형성한다. 질화 실리콘막(18)과 패드 산화막(17a)이 제거된후, 20 nm 두께의 이산화 실리콘막(10)이 실리콘막(8) 상에 성장된다.

그후에, NMOS와 N+/P/P+ 다이오드가 형성될 소자 형성 영역(5n)이외의 영역은 포토레지스트(20)로 피복되고, 포토레지스트(20)를 마스크로서 사용하여 붕소(B)가 50 KeV에서 $1 \times 10^{12} \text{cm}^{-2}$ 의 양만큼 이온 주입된다. 결과적으로, 제 5c 도에 도시된 저농도 p 형 영역(8p)이 형성된다.

그후에, 포토레지스트(20)가 제거된후, PMOS와 P+/N/N+가 형성될 소자형성 영역(4p) 이외의 영역은 포토레지스트(21)로 피복되고, 인(P)이 약 $1 \times 10^{12} \text{cm}^{-2}$ 의 양만큼 50 KeV에서 이온 주입된다. 결과적으로, 제 5d 도에 도시된 것처럼, 저농도 n 형 영역(8n)이 형성된다.

포토레지스트(21)와 이산화 실리콘막(10)이 제거된후, 10 nm 두께의 게이트 산화막(6-1)과 (6-2)가 저농도 p 형 및 n 형 영역(8p)와 (8n) 상에서 성장된다. 그후에, 300 nm 두께의 폴리실리콘막이 게이트 산화막(6-1)과 (6-2) 상부에 증착되고, 인(P)이 850°C의 온도에서 약 30분동안 확산된다. 그후에, 포토레지스트 사용 단계가 수행되어, 고농도 n 형 폴리실리콘막으로 구성된 제 1 및 제 2 게이트 전극(7-1) 및 (7-2)가 형성된다.

그후에, 제 5d 도에 도시된 것처럼, NMOS와 P+/N/N+ 다이오드의 고농도 n 형 영역(12n)이 형성될 영역이외의 영역은 포토레지스트(22)가 피복되고, 비소(As)가 약 $5 \times 10^{15} \text{cm}^{-2}$ 의 양만큼 70 KeV에서 이온 주입된다. 결과적으로, 제 5e 도에 도시된 n 형 소스 영역(9ns), n 형 드레인 영역(9nd) 및 고농도 n 형 영역(12n)이 형성된다. 제 2 게이트 전극(7-2) 아래에 위치한 영역이 비소로 도핑되지 않기 때문에, 상기 영역은 제 1 저농도 p 형 영역(8p)으로 남아 있다.

그후에, 제 5e 도에 도시된 것처럼, 연속하여 포토레지스트(22)가 제거되고, PMOS와 N+/P/P+ 다이오드의 고농도 p 형 영역(12p)이 형성될 영역이외의 영역은 포토레지스트(23)로 피복되고, BF_2 가 약 $5 \times 10^{15} \text{cm}^{-2}$ 의 양만큼 50 KeV에서 이온 주입된다. 결과적으로, 제 4a 도와 제 4b 도에 도시된 것처럼, p 형 소스 영역(9ps), p 형 드레인 영역(9pd) 및 고농도 p 형 영역(12p)이 형성된다. 게이트 전극(7-1) 아래에 위치한 영역이 BF_2 로 도핑되지 않기 때문에, 상기 영역은 제 1 저농도 n 형 영역(8n)으로 남아 있다. 유사하게, p 형 드레인 영역(9pd)과 고농도 n 형 영역(12n) 사이에 위치하는 영역은 제 1 저농도 n 형 영역(8n)과 동일한 불순물 농도를 가진 제 2 저농도 n 형 영역(11n)으로서 도핑되지 않고 남아 있으며, n 형 드레인 영역(9nd)과 고농도 p 형 영역(12p) 사이에 끼워진 영역은 제 1 저농도 p 형 영역(8p)과 동일한 불순물 농도를 가진 제 2 저농도 p 형 영역(11p)로서 도핑되지 않고 남아 있다.

그후에, 접촉홀 C1 내지 C3가 형성되는 층간 절연막(13)이 피복된다. 그런다음, 알루미늄 합금막이 증착되고, 이 알루미늄 합금막은 패턴되어 제 1 전원선(14), 제 2 전원선(15) 및 출력 신호선(17)을 형성한다.

기술된 바와 같이, S01 형 반도체 장치의 제조 방법은 제 5d 도와 제 5e 도에 도시된 단계에서 As와 BF_2 를 이온 주입하기 위해 포토레지스트(22)와 (23)을 피복하는 영역만이 종래의 S01 형 반도체 장치의 제조 방법과 다르다. 그러므로, 제 1 실시예에 의해 제조된 S01 형 반도체 장치는, 제 2a 도 내지 제 2e 도에서 도시된 단계인, 종래의 S01 형 반도체 장치 제조 방법의 단계와 동일한 단계로 제조될 수 있다. 따라서, 제 1a 도와 제 1b 도에 도시된 종래의 S01 형 반도체 장치의 내부 회로 구조를 바꾸지 않은 S01 형 반도체

체 장치의 내부 회로의 구조를 가진 상기 실시예에 의해, 정전 파괴 가능성이 있는 출력 버퍼를 구성하는 어렵지 않다.

상기 언급된 실시예에서, P+/N/N+ 다이오드는 PMOS의 p 형 드레인 영역(9pd)과 인접하여 형성되고 N+/P/P+ 다이오드는 NMOS의 n 형 드레인 영역(9nd)과 인접하여 형성된다. 그러나, 종래의 SOI 형 반도체 장치에서 정전 파괴에 대한 내성이 현저하게 감소되는 것은 음전압이 출력 단자에 인가될 때이므로, N+/P/P+ 다이오드만이 NMOS의 n 형 드레인 영역(9nd)에 인접하여 형성될 수 있고, 종래의 SOI 형 반도체 장치와 유사하게 PMOS와 인접하는 다이오드는 형성되지 않는다. 그러한 구조에서는 상기 실시예와 동일한 정전 파괴에 대한 내성이 제공될 수 있고, SOI 형 반도체 장치를 제조하는 종래의 방법의 단계와 동일한 단계로 제조될 수 있다.

본 발명은 CMOS 인버터는 물론, NMOS와 PMOS 트랜지스터 중의 하나를 포함하는 인버터에 적용될 수 있다. 예로써, 제 6 도는 NMOS 개방 드레인형 회로를 도시한다. 출력 신호선(17A)은 SOI 형칩의 출력 단자로 사용되는 본딩 패드(도시되지 않음)에 접속되고, 또한 풀업 저항(도시되지 않음)을 통해 공급 전압의 단자에 접속된다. 여기서의 공급 전압은 상기 언급된 공급 전압 V_{DD} 와는 다르다. 양의 과전압이 출력 신호선(17A)에 인가될 때, n+ 형 드레인 영역(9nd), 제 1 저농도 p 형 영역(8p) 및 n+ 형 소스 영역(9ns)으로 이루어진 NPN 바이폴라 트랜지스터는 턴온되고, 반면에 음의 과전압이 출력 신호선(17A)에 인가될 때는, p+ 형 영역(12p), 제 2 저농도 p 형 영역(11p) 및 n+ 형 드레인 영역(9nd)로 이루어진 PN 다이오드가 턴온된다. 그러므로, 제 1 실시예가 PMOS 개방 드레인형 회로에 적용될 수 있다는 것은 기술상 숙련된 전문가들에게는 자명할 것이다.

제 7a 도와 제 7b 도를 참조하면, 본 발명의 제 2 실시예에 의해 제조되는 SOI 형 반도체 장치는, p-채널 MOSFET과 p-채널 MOSFET에 인접하여 형성된 PN 다이오드, n-채널 MOSFET과 n-채널 MOSFET에 인접하여 형성된 NP 다이오드, 및 출력 버퍼를 포함한다.

p-채널 MOSFET은 절연체로 사용되는 매입 산화막(2), 제 1 소자 형성 영역(4p)을 형성하기 위해 매입 산화막(2)을 선택적으로 피복하는 제 1 실리콘막, 제 1 소자 형성 영역(4p)을 피복하는 제 1 게이트 절연막(6-1), 제 1 게이트 절연막(6-1)상에 형성된 제 1 게이트 전극(7-1), 약 $1 \times 10^{17} \text{ cm}^{-3}$ 의 양만큼 불순물을 포함하고 제 1 게이트 전극(7-1) 아래의 제 1 게이트 절연막(6-1)을 지나 제 1 실리콘막내에 형성된 제 1 저농도 n 형 영역(8nA) 및, 둘다 $1 \times 10^{20} \text{ cm}^{-3}$ 의 양만큼 포함되고 제 1 저농도 n 형 영역(8nA)을 사이에 위치시키면서 제 1 게이트 전극(7-1)에 대해 자기 정렬식으로 제 1 실리콘막내에 형성되는 고농도 p 형 소스 및 드레인 영역(9psA) 및 (9pdA)을 포함한다.

SOI 형 반도체 장치는 또한 고농도 p 형 드레인 영역(9pdA)에 인접하도록 제 1 실리콘막내에 형성된 제 2 저농도 p 형 영역(24p)과, 제 2 저농도 p 형 영역(24p)에 인접하도록 제 1 실리콘막내에 형성된 제 1 고농도 n 형 영역(12nA)을 포함한다. p 형 드레인 영역(9pdA), 제 2 저농도 p 형 영역(24p) 및 제 1 고농도 n 형 영역(12nA)은 결합하여 PN 다이오드를 구성한다.

n-채널 MOSFET은 매입 산화막(2)을 선택적으로 피복하여 제 2 소자 형성 영역(5n)을 형성하는 제 2 실리콘막, 제 2 소자 형성 영역(5n)을 피복하는 제 2 게이트 절연막(6-2), 제 2 게이트 절연막(6-2)상에 형성된 제 2 게이트 전극(7-2), 둘다 약 $1 \times 10^{17} \text{ cm}^{-3}$ 의 양만큼의 불순물을 포함하고 제 2 게이트 전극(7-2) 아래의 제 2 게이트 절연막(6-2)을 지나 제 2 실리콘막내에 형성된 제 1 저농도 p 형 영역(8pA), 및 둘다 약 $1 \times 10^{20} \text{ cm}^{-3}$ 의 양만큼 불순물을 포함하고 제 1 저농도 p 형 영역(8pA)을 사이에 위치시키면서 제 2 게이트 전극(7-2)에 대해 자기 정렬식으로 제 2 실리콘막내에 형성된 고농도 n 형 소스 및 드레인 영역(9nsA)과 (9ndA)을 포함한다.

SOI 형 반도체 장치는 또한 고농도 n 형 드레인 영역(9ndA)에 인접하도록 제 2 실리콘막내에 형성된 저농도 n 형 영역(24n)과, 저농도 n 형 영역(24n)과 인접하도록 제 2 실리콘막내에 형성된 고농도 p 형 영역(12pA)을 포함한다. n 형 드레인 영역(9ndA), 저농도 n 형 영역(24n) 및 고농도 p 형 영역(12pA)은 결합하여 NP 다이오드를 구성한다.

출력 버퍼는 고농도 p 형 소스 영역(9psA)과 고농도 n 형 영역(12nA)둘다에 전기적으로 접속된 제 1 전원선(V_{DD} 선)(14), 고농도 n 형 소스 영역(9nsA)과 고농도 p 형 영역(12pA) 둘다에 전기적으로 접속된 제 2 전원선(GND 선)(15), 제 1 및 제 2 게이트 전극(7-1) 및 (7-2) 둘다에 전기적으로 접속된 입력 신호선(16) 및, 고농도 p 형 및 n 형 드레인 영역(9pdA) 및 (9ndA) 둘다에 전기적으로 접속된 출력 신호선(17)을 포함한다.

약 수천 볼트의 음전압이 순간적으로 출력 신호선(17)에 인가될 때, n 형 드레인 영역(9ndA), 제 2n 형 영역(24n) 및 고농도 p 형 영역(12pA)으로 구성된 N+/N/P+ 다이오드는 정방향으로 바이어스되어, GND 선(15)을 통해 출력 신호선(17)에 전기 전하를 제공하는 것을 가능하게 한다. 그러므로, 제 1a 도와 제 1b 도에 도시된 종래의 SOI 형 반도체 장치와 비교하여 음전압에 대해서 정전 파괴에 대한 개선된 내성을 얻을 수 있다. p+ 형 드레인 영역(9psA), 제 1 저농도 n 형 영역(8nA) 및 p+ 형 소스 영역(9psA)으로 구성된 P+/N/P+ 바이폴라 트랜지스터가 턴온될 수 있지만, 정전 파괴에 대한 내성을 개선시키는데는 효과적이지 않다.

수천 볼트의 양전압이 순간적으로 출력 신호선(17)에 인가될 때, 각각, 에미터, 베이스 및 컬렉터로 사용되는 n 형 소스 영역(9nsA), p 형 본체 영역 또는 제 1 저농도 p 형 영역(8pA) 및 n 형 드레인 영역(9ndA)으로 구성된 NPN 바이폴라 트랜지스터는 턴온되어, 전기 전하를 출력 신호선(17)에서 GND 선(15)으로 방전되게 한다. 게다가, p 형 드레인 영역(9pdA), 제 2 저농도 p 형 영역(24p) 및 고농도 n 형 영역(12nA)로 이루어진 P+/N/N+ 다이오드는 정방향으로 바이어스되어, 전기 전하가 V_{DD} 선(14)으로 방전된다. 그러므로, 제 1 실시예와 유사하게, 제 1a 도와 제 1b 도에 도시된 종래의 SOI 형 반도체 장치와 비교하여 양전압에 대해서도 정전 파괴에 대한 개선된 내성을 얻을 수 있다.

정상 동작시, 제 1 실시예와 유사하게, P+/P/N+ 다이오드나 N+/N/P+ 다이오드중 어느것도 정방향 바이어

스되지 않으므로, 결과적으로 S01 형 반도체 장치의 동작시 불리한 영향을 미치지 않는다.

하기에는, 제 8a 도 내지 제 8e 도를 참조로 한 제 2 실시예의 S01 형 반도체 장치의 제조 방법이 설명된다.

먼저, 패드 산화막(17a)과 질화 실리콘막(18)이 제 8a 도에 도시된 것처럼, SIMOX 기술에 의해 제조된 S01 형 기판상에 형성된다. S01 형 기판은 실리콘 기판(1), 매입 산화막(2) 및 실리콘막(8)으로 이루어져 있다. 그리고 나서, 질화 실리콘막(18)은 패터닝된 포토레지스트(19)를 마스크로서 사용하여 에칭되어, 실리콘막(8)을 소자 형성 영역(5n 및 4p)으로 분리한다.

그리고 나서, 포토레지스트(19)를 제거한후, 실리콘막(8)은 마스크로서 질화 실리콘막(18)을 사용하여 선택적으로 산화되고, 제 8b 도에 도시된 것처럼, 내부에 소자 형성 영역을 형성하는 다수의 필드 산화물(3)을 형성한다. 질화 실리콘막(18)과 패드 산화막(17a)이 제거된후, 20 nm 두께의 이산화 실리콘막(10)이 실리콘막(8)상에서 성장된다.

그후에, NMOS와 P+/P/N+ 다이오드의 p 형 영역과 N+형 영역이 형성될 영역이외의 영역은 포토레지스트(25)로 피복되고, 붕소(B)가 포토레지스트(25)를 마스크로 사용하여 $1 \times 10^{12} \text{ cm}^{-2}$ 의 양만큼 50KeV에서 이온 주입된다. 결과적으로, 제 8c 도에 도시된 것처럼, 저농도 p 형 영역(8pA 및 24p)이 형성된다.

그후에, 포토레지스트(25)가 제거된후, PMOS와 N+/N/P+ 다이오드의 n 형 영역과 P+ 형 영역이 형성될 영역이외의 영역은 포토레지스트(26)가 피복되고, 인(P)이 포토레지스트(26)를 마스크로서 사용하여 $1 \times 10^{12} \text{ cm}^{-2}$ 의 양만큼 50KeV에서 이온 주입된다. 결과적으로, 제 8d 도에 도시된 저농도 p 형 영역(8nA 및 24n)이 형성된다.

포토레지스트(26)와 이산화 실리콘막(10)의 제거후에, 10 nm두께의 게이트 산화막(6-1)과 (6-2)이 저농도 p 형 및 n 형 영역(8pA) 및 (8nA) 상에서 성장된다. 그후에, 300 nm 두께의 폴리실리콘막이 게이트 산화막(6-1) 및 (6-2) 상부에 증착되고, 인(P)이 850°C에서 약 30분동안 확산된다. 그후에, 포토레지스트 사용 단계가 수행되어 고농도 n 형 폴리실리콘막으로 구성된 제 1 및 제 2 게이트 전극(7-1) 및 (7-2)을 형성한다.

그후에, 제 8d 도에 도시된 것처럼, NMOS와 P+/P/N+ 다이오드의 고농도 n 형 영역(12nA)이 형성될 영역이외의 영역은 포토레지스트(27)가 피복되고, 비소가 70 KeV에서 $5 \times 10^{15} \text{ cm}^{-2}$ 의 양만큼 이온 주입된다. 결과적으로, 제 8e 도에 도시된 n 형 소스 영역(9nsA), n 형 드레인 영역(9ndA) 및 고농도 n 형 영역(12nA)이 형성된다. 제 2 게이트 전극(7-2) 아래에 위치한 영역이 비소로 도핑되지 않기 때문에, 그 영역은 제 1 저농도 p 형 영역(8pA)으로 남아 있다.

그후에, 제 8e 도에 도시된 것처럼, 포토레지스트(27)의 제거에 이어서, PMOS 및 N+/N/P+ 다이오드의 고농도 p 형 영역(12pA)이 형성될 영역이외의 영역은 포토레지스트(28)가 피복된 후, BF_2 가 50 KeV에서 약 $5 \times 10^{15} \text{ cm}^{-2}$ 의 양만큼 이온 주입된다. 결과적으로, 제 7a 도와 제 7b 도에 도시된 p 형 소스 영역(9psA), p 형 드레인 영역(9pdA) 및 고농도 p 형 영역(24p)이 형성된다. 게이트 전극(7-1) 아래에 위치한 영역이 BF_2 로 도핑되지 않기 때문에, 그 영역은 제 1 저농도 n 형 영역(8nA)로 남아 있다. 유사하게, p 형 드레인 영역(9pdA)과 고농도 n 형 영역(12nA) 사이에 위치하는 영역은 제 1 저농도 p 형 영역(8pA)과 동일한 불순물 농도를 갖는 제 2 저농도 p 형 영역(24p)으로서 도핑되지 않고 남아 있으며, n 형 드레인 영역(9ndA)과 고농도 p 형 영역(12pA) 사이에 위치하는 영역은 제 1 저농도 n 형 영역(8nA)과 동일한 불순물 농도를 가진 제 2 저농도 n 형 영역(24n)으로서 도핑되지 않고 남아 있다.

그후에, 접촉홀 C1 내지 C3이 형성되는 층간 절연막(13)이 피복된다. 그런다음, 알루미늄 합금막이 증착되고, 이 알루미늄 합금막은 패터닝되어 제 1 전원선(14), 제 2 전원선(15) 및 출력 신호선(17)을 형성한다.

상기에 기재된 것처럼, 제 2 실시예에서의 S01 형 반도체 장치의 제조 방법은 제 8b 도와 제 8c 도에 도시된 단계에서 B와 P를 이온 주입하기 위해 포토레지스트(25)와 (26)으로 피복된 영역만이 제 5a 도 내지 제 5e 도에 도시된 제 1 실시예에서의 S01 형 반도체 장치의 제조 방법과 다르다. 따라서, 제 1 실시예와 유사하게, 제 1a 도와 제 1b 도에 도시된 종래의 S01 형 반도체 장치의 구조를 바꾸지 않은 S01 형 반도체 장치의 내부 회로 구조를 가진 제 2 실시예에 의하여, 정전 파괴의 가능성이 있는 출력 버퍼를 구성하는 것은 어렵지 않다.

상기 언급된 실시예에서, P+/P/N+ 다이오드는 PMOS의 p 형 드레인 영역(9pdA)에 인접하여 형성되고 N+/N/P+ 다이오드는 NMOS의 n 형 드레인 영역(9ndA)에 인접하여 형성된다. 그러나, 제 1 실시예와 유사하게, N+/N/P+ 다이오드만이 NMOS의 n 형 드레인 영역(9ndA)에 인접하여 형성될 수 있고, PMOS와 인접한 다이오드는 형성되지 않는다는 것을 주목해야 한다.

게다가, 제 1 실시예와 유사하게, 제 2 실시예도 개방 드레인형 출력 버퍼에 인가될 수 있다.

하기에는 본 발명의 제 3 실시예에 의한 S01 형 반도체 장치가 기술된다.

제 9a 도와 제 9b 도에 도시된 것처럼, 제 3 실시예의 S01 형 반도체 장치는 제 1 실시예와 동일한 구조를 가지고 있지만, 제 3 게이트 절연막(6-3)을 지나 제 2 저농도 n 형 영역(11nA) 상부에 위치하고 접촉홀(C5) 통해 제 1 전원선(14)에 전기적으로 접속된 제 3 게이트 전극(7-3)과, 제 4 게이트 절연막(6-4)을 지나 제 2 저농도 p 형 영역(11pA) 상부에 위치하고 접촉홀(C6) 통해 제 2 전원선(15)에 전기적으로 접속된 제 4 게이트 전극(7-4)을 더 포함한다. 제 3 및 제 4 게이트 절연막(6-3) 및 (6-4)은 게이트 절연막(6-1) 및 (6-2)와 각각, 동시에 형성된다. 제 3 실시예의 S01 형 반도체 장치는 양 또는 음의 과전압이 출력 신호선(17)에 인가될 때 그리고 정상 상태에서, 제 1 실시예와 동일한 방식으로 동작하며, 그 동작의 설명은 생략한다.

이하에는 제 10a 도 내지 제 10e 도를 참조로 제 3 실시예의 S01 형 반도체 장치의 제조 방법이

설명된다.

먼저, 패드 산화막(17a)과 질화 실리콘막(18)이 제 10a 도에 도시된 것처럼, SIMOX 기술에 의해 제조된 SOI 기판상에 형성된다. SOI 형 기판은 실리콘 기판(1), 매입 산화막 및 실리콘막(8)으로 구성된다. 그 후에, 질화 실리콘막(18)은 패터닝된 포토레지스트(19)를 마스크로서 사용하여 에칭되어 실리콘막(8)을 소자 형성 영역(5n 및 4p)으로 분리한다.

그후에, 포토레지스트(19)의 제거후, 실리콘막(8)은 제 10b 도에 도시된 것처럼, 질화 실리콘막(18)을 마스크로서 사용하여 선택적으로 산화되어, 내부에 소자 형성 영역을 형성하는 다수의 필드 산화물(3)을 형성한다. 질화 실리콘막(18)과 패드 산화막(17a)이 제거된후, 20 nm 두께의 이산화 실리콘막(10)이 실리콘막(8) 상에서 성장된다.

그후에, N+/P/P+ 다이오드가 형성될 영역이외의 영역은 포토레지스트(20)로 피복되고, 붕소(B)가 포토레지스트(20)를 마스크로서 사용하여 $1 \times 10^{12} \text{cm}^{-2}$ 의 양만큼 50 KeV에서 이온 주입된다. 결과적으로, 제 10c 도에 도시된 저농도 p 형 영역(8p)이 형성된다.

그런 다음, 포토레지스트(20)가 제거된 후, PMOS와 P+-N-N+이 형성될 영역이외의 영역은 포토레지스트(21)로 피복되고, 인(P)이 약 $1 \times 10^{12} \text{cm}^{-2}$ 의 양만큼 50 KeV에서 이온 주입된다. 그 결과, 제 10d 도에 도시된 저농도 n 형 영역(8n)이 형성된다.

포토레지스트(21)와 이산화 실리콘막(10)이 제거된 후, 10 nm 두께의 게이트 산화막(6-1) 내지 (6-4)가 저농도 p 형 및 n 형 영역(8p) 및 (8n) 상에서 성장된다. 그런 다음, 300 nm 두께의 폴리실리콘막이 게이트 산화막 (6-1) 내지 (6-4) 상부에 증착되고, 인(P)이 850°C에서 약 30 분동안 확산된다. 그런 다음, 포토레지스트 사용 단계가 수행되어, 모두 고농도인 n 형 폴리실리콘막으로 이루어진 제 1 게이트 전극(7-1), n 형 영역의 형성에 사용될 제 3 게이트 전극(7-3), 제 2 게이트 전극(7-2), 및 p 형 영역 형성에 사용될 제 4 게이트 전극(7-4)을 형성한다.

그런 다음, 제 10d 도에 도시된 것처럼, NMOS와 P+/N/N+ 다이오드의 고농도 n 형 영역(12nB)이 형성될 영역이외의 영역을, 포토레지스트(22)가 제 3 및 제 4 게이트 전극(7-3)과 (7-4)에서 종결되도록 포토레지스트(22)로 피복하고, 비소를 약 $5 \times 10^{15} \text{cm}^{-2}$ 의 양만큼 70 KeV에서 이온 주입한다. 그 결과, 제 10e 도에 도시된 n 형 소스 영역(9ns), n 형 드레인 영역(9ndB) 및 고농도 n 형 영역(12nB)이 형성된다. 제 2 게이트 전극(7-2) 아래에 위치한 영역이 비소로 도핑되지 않기 때문에, 그 영역은 제 1 저농도 p 형 영역(8p)로 남아 있다.

그런 다음, 제 10e 도에 도시된 것처럼, 포토레지스트(22)의 제거에 이어서, PMOS와 N+/P/P+ 다이오드의 고농도 p 형 영역(12pB)이 형성될 영역이외의 영역은, 포토레지스트(23)가 제 3 및 제 4 게이트 전극 (7-3)과 (7-4)에서 종결되도록, 포토레지스트(23)로 피복되고, BF_2 가 약 $5 \times 10^{15} \text{cm}^{-2}$ 의 양만큼 50 KeV에서 이온 주입된다. 그 결과, 제 9a 도와 제 9b 도에 도시된 p 형 소스 영역(9ps), p 형 드레인 영역(9pdB) 및 고농도 p 형 영역(12pB)이 형성된다. 제 1 게이트 전극(7-1) 아래에 위치한 영역은 BF_2 로 도핑되지 않기 때문에, 그 영역은 제 1 저농도 n 형 영역(8n)으로 남아 있다. 유사하게, p 형 드레인 영역(9pdB)과 고농도 n 형 영역(12nB) 사이에 위치하는 영역은 제 1 저농도 n 형 영역(8n)과 동일한 불순물 농도를 가진 제 2 저농도 n 형 영역(11nA)으로서 도핑되지 않은채 남아 있으며, n 형 드레인 영역(9ndB)과 고농도 p 형 영역(12pB) 사이에 위치하는 영역은 제 1 저농도 p 형 영역(8p)과 동일한 불순물 농도를 가진 제 2 저농도 p 형 영역(11pA)로서 도핑되지 않은채 남아 있다.

그런 다음, 접촉홀 C1 내지 C5가 형성되는 층간 절연막(13)이 피복된다. 그후에, 알루미늄 합금막이 증착되고, 이 알루미늄 합금막은 패터닝되어 제 1 전원선(14), 제 2 전원선(15) 및 출력 신호선(17)을 형성한다.

p 형 드레인 영역(9pdB)과 고농도 n 형 영역(12nB)은 제 3 게이트 전극(7-3)에 대해 자기 정렬되기 때문에, p 형 드레인 영역(9pdB), 저농도 n 형 영역(11nA) 및 고농도 n 형 영역(12nB)으로 구성된 P+/N/N+ 다이오드의 n 형 영역(11nA)의 폭을 제 3 게이트 전극(7-3)에 의해 정확하게 제어하는 것이 가능하다.

유사하게, n 형 드레인 영역(9ndB)과 고농도 p 형 영역(12pB)이 제 4 게이트 전극(7-4)에 대해 자기 정렬되기 때문에, n 형 드레인 영역(9ndB), 저농도 p 형 영역(11pA) 및 고농도 p 형 영역(12pB)으로 구성된 N+/P/P+ 다이오드의 p 형 영역(11pA)의 폭을 제 4 게이트 전극(7-4)에 의해 정확하게 제어하는 것이 가능하다. 그러므로, 다이오드 특성에서 분산이 더 작다는 이점이 있다.

전술한 바와 같이, 제 3 실시예의 SOI 형 반도체 장치는 제 10d 도에 도시된 As 이온 주입 단계 또는 제 10e 도에 도시된 BF_2 의 이온 주입 단계에서, 포토레지스트가 종결되는 영역에 제 3 및 제 4 게이트 전극(7-3)과 (7-4)를 형성함으로써, 제 2a 도 내지 제 2e 도에 도시된 단계인, 종래의 SOI 형 반도체 장치 제조 방법의 단계와 동일한 단계로 제조될 수 있다. 따라서, 제 1a 도와 제 1b 도에 도시된 종래의 SOI 형 반도체 장치의 구조를 바꾸지 않은 SOI 형 반도체 장치의 내부 회로의 구조를 가진 제 3 실시예에 의해, 정전 파괴의 가능성이 있는 출력 버퍼를 구성하는 것은 어렵지 않다.

상기 언급된 제 3 실시예에서, P+/N/N+ 다이오드는 PMOS의 p 형 드레인 영역(9pdB)에 인접하여 형성되고, N+/P/P+ 다이오드는 NMOS의 n 형 드레인 영역(9ndB)에 인접하여 형성된다. 그러나, 종래의 SOI 형 반도체 장치에서 정전 파괴에 대한 내성이 현저하게 감소되는 것은 음전압이 출력 버퍼에 인가될 때이므로, N+/P/P+ 다이오드만이 NMOS의 n 형 드레인 영역(9ndB)에 인접하여 형성되고, PMOS에 인접한 다이오드는 형성되지 않는다는 것을 주목해야 한다. 그러한 구조는 상기 언급한 제 3 실시예와 동일한 정전 파괴에 대한 내성을 제공할 수 있고 SOI 형 반도체 장치를 제조하는 종래의 방법의 단계와 동일한 단계로 제조될 수 있다는 것은 분명하다.

상기 언급한 실시예에서는, 예로서 SIMOX를 사용하여 제조된 SOI 형 반도체 장치를 선택하여 설명하였다. 그러나, 본 발명은 SOI 형 기판을 제조하는데 사용되는 방법에 관계없이 어떤 SOI 형 반도체 장치에도 적

용될 수 있다는 것에 주목해야 한다.

(57) 청구의 범위

청구항 1

절연체(2); 소자 형성 영역(5n)을 형성하기 위해 상기 절연체(2)를 선택적으로 피복하는 실리콘막(8); 상기 소자 형성 영역(5n)을 피복하는 게이트 절연막(6-2); 상기 게이트 절연막(6-2)상에 형성된 게이트 전극(7-2); 제 1 도전형을 가지고 상기 게이트 전극(7-2) 아래의 상기 게이트 절연막(6-2)을 지나 상기 실리콘막(8) 내에 형성된 제 1 저농도 영역(8p); 상기 제 1 저농도 영역(8p)을 사이에 위치시키면서 둘다 제 2 도전형을 가지고 상기 게이트 전극(7-2)에 대해 자기 정렬식으로 상기 실리콘막(8) 내에 형성된 고농도 소스 및 드레인 영역(9ns, 9nd); 상기 게이트 전극(7-2)에 전기적으로 접속된 입력 신호선(16); 및 상기 고농도 드레인 영역(9nd)에 전기적으로 접속된 출력 신호선(17)을 구비하고, 상기 절연체(2), 상기 실리콘막(8), 상기 게이트 절연막(6-2), 상기 게이트 전극(7-2), 상기 제 1 저농도 영역(8p), 및 상기 고농도 소스 및 드레인 영역(9ns, 9nd)은 트랜지스터를 구성하고, 제 1 또는 제 2 도전형을 가지며 상기 고농도 드레인 영역(9nd)에 인접하여 상기 실리콘막(8)내에 형성된 제 2 저농도 영역(11p); 제 1 도전형을 가지며 상기 제 2 저농도 영역(11p)에 인접하여 상기 실리콘막(8) 내에 형성된 고농도 영역(12p); 및 상기 고농도 소스 영역(9ns)과 상기 고농도 영역(12p) 모두에 전기적으로 접속된 전원선(15)를 구비함을 특징으로 하는 SOI 형 반도체 장치.

청구항 2

제1항에 있어서, 상기 절연체(2)를 선택적으로 피복하여 제 2 소자 형성 영역(4p)을 형성하는 제 2 실리콘막(8); 상기 제 2 소자 형성 영역(4p)을 피복하는 제 2 게이트 절연막(6-1); 상기 제 2 게이트 절연막(6-1) 상에 형성된 제 2 게이트 전극(7-1); 제 2 도전형을 가지고 상기 제 2 게이트 전극(7-1) 아래의 상기 제 2 게이트 절연막(6-1)을 지나 상기 제 2 실리콘막(8)내에 형성된 제 3 저농도 영역(8n); 상기 제 3 저농도 영역(8n)을 사이에 위치시키면서 둘다 제 2 도전형을 가지고 상기 제 2 게이트 전극(7-1)에 대해 자기 정렬식으로 상기 제 2 실리콘막(8) 내에 형성된 제 2 고농도 소스 및 드레인 영역(9ps, 9pd); 제 1 또는 제 2 도전형을 가지고 상기 고농도 제 2 드레인 영역(9pd)에 인접하여 상기 제 2 실리콘막(8) 내에 형성된 제 4 저농도 영역(11n); 제 2 도전형을 가지고 상기 제 4 저농도 영역(11n)에 인접하여 상기 제 2 실리콘막(8)내에 형성된 제 2 고농도 영역(12n); 및 상기 제 2 고농도 소스 영역(9ps)과 상기 제 2 고농도 영역(12n) 모두에 전기적으로 접속된 제 2 전원선(14)을 더 구비하며, 상기 절연체(2), 상기 제 2 실리콘막(8), 상기 제 2 게이트 절연막(6-1), 상기 제 2 게이트 전극(7-1), 상기 제 3 저농도 영역(8n) 및 상기 제 2 고농도 소스 및 드레인 영역(9ps, 9pd)은 제 2 도전형 채널을 가지는 제 2 트랜지스터를 구성하고, 상기 입력 신호선(16)은 상기 제 2 게이트 전극(7-1)과 또한 전기적으로 접속되며, 상기 출력 신호선(17)은 상기 제 2 고농도 드레인 영역(9pd)과 또한 전기적으로 접속되는 것을 특징으로 하는 SOI 형 반도체 장치.

청구항 3

제1항에 있어서, 제 2 게이트 절연막(6-4)을 지나 상기 제 2 저농도 영역(11pA) 상에 형성되고 상기 전원선(15)에 전기적으로 접속된 제 2 게이트 전극(7-4)을 더 구비하며, 상기 고농도 드레인 영역(9ndB) 및 상기 고농도 영역(12pB)은 제 2 게이트 전극(7-4)에 대해 자기 정렬되어 있는 것을 특징으로 하는 SOI 형 반도체 장치.

청구항 4

제2항에 있어서, 제 3 게이트 절연막(6-4)을 지나 상기 제 2 저농도 영역(11pA) 상에 형성되고 상기 전원선(15)에 전기적으로 접속된 제 3 게이트 전극(7-4)과, 제 4 게이트 절연막(6-3)을 지나 상기 제 4 저농도 영역(11nA) 상에 형성되고 상기 제 2 전원선(14)에 전기적으로 접속된 제 4 게이트 전극(7-3)을 더 구비하며, 상기 제 1 고농도 드레인 영역(9ndB) 및 상기 제 1 고농도 영역(12pB)은 상기 제 3 게이트 전극(7-4)에 대하여 자기 정렬되어 있고, 상기 제 2 고농도 드레인 영역(9pdB) 및 상기 제 2 고농도 영역(12nB)은 상기 제 4 게이트 전극(7-3)에 대하여 자기 정렬되어 있는 것을 특징으로 하는 SOI 형 반도체 장치.

청구항 5

전술한 항들 중 어느 한 항에 있어서, 상기 제 1 도전형은 p 형이고 상기 제 2 도전형은 n 형인 것을 특징으로 하는 SOI 형 반도체 장치.

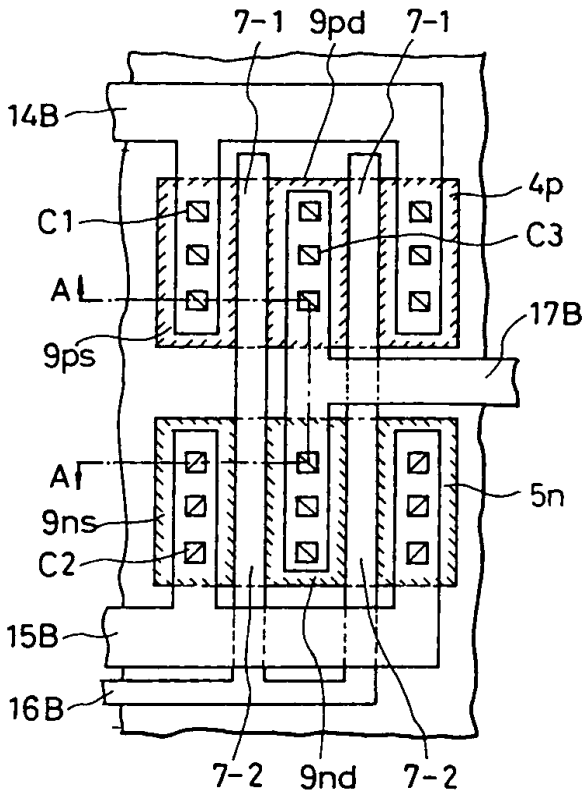
청구항 6

트랜지스터, 다이오드 및 전원선을 구비하는 SOI 형 반도체 장치에 있어서, 상기 트랜지스터는, 절연체(2); 상기 절연체(2)를 선택적으로 피복하여 소자 형성 영역(5n)을 형성하는 실리콘막(8); 상기 소자 형성 영역(5n)을 피복하는 게이트 절연막(6-2); 상기 게이트 절연막(6-2) 상에 형성된 게이트 전극(7-2); 제 1 도전형을 가지고 상기 게이트 전극(7-2) 아래의 상기 게이트 절연막(6-2)을 지나 상기 실리콘막(8) 내에 형성된 영역(8p); 및 상기 영역(8p)을 사이에 위치시키면서 둘다 제 2 도전형을 가지고 상기 게이트 전극(7-2)에 대해 자기 정렬식으로 상기 실리콘막(8) 내에 형성된 소스 및 드레인 영역(9ns, 9nd)을 포함하며, 상기 다이오드는 상기 드레인 영역(9nd)을 통해 상기 트랜지스터와 전기적으로 접속되며, 상기 트랜지스터의 상기 소스 영역(9ns)과 상기 다이오드는, 과전위가 상기 트랜지스터의 상기 드레인 영역(9nd)에 인가될 때 상기 다이오드가 정방향으로 바이어스되어 상기 다이오드를 통해 전기 전하 이동을 위한 행로가 제공되도록 상기 전원선(15)에 전기적으로 접속되는 것을 특징으로 하는 SOI 형 반도체 장치.

도면

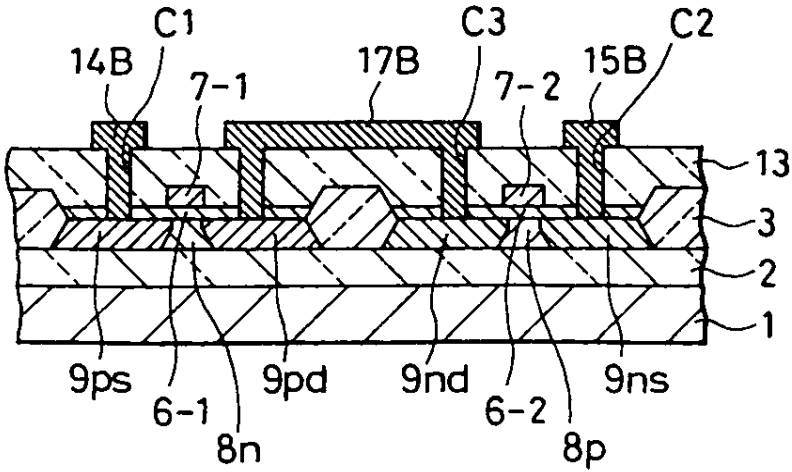
도면 1a

종래 기술



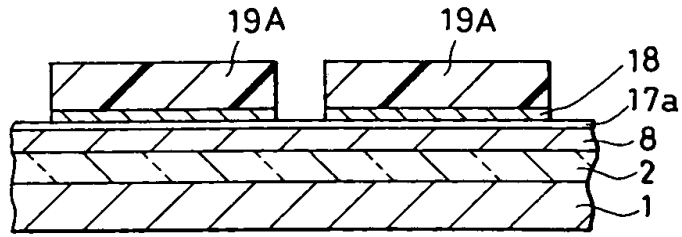
도면 1b

종래 기술



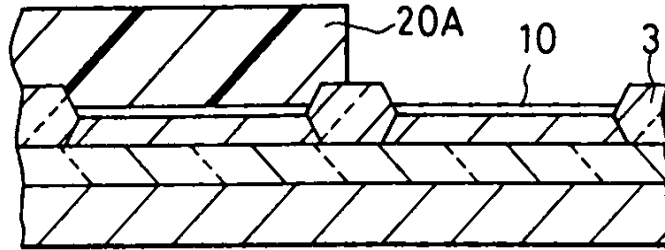
도면2a

종래 기술



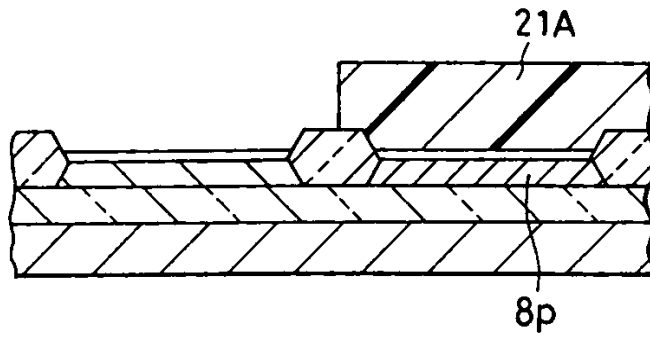
도면2b

종래 기술



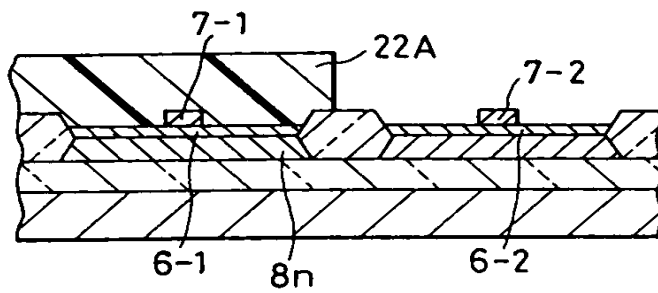
도면2c

종래 기술



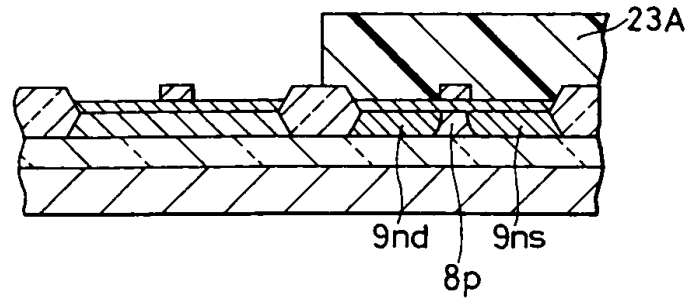
도면2d

종래 기술



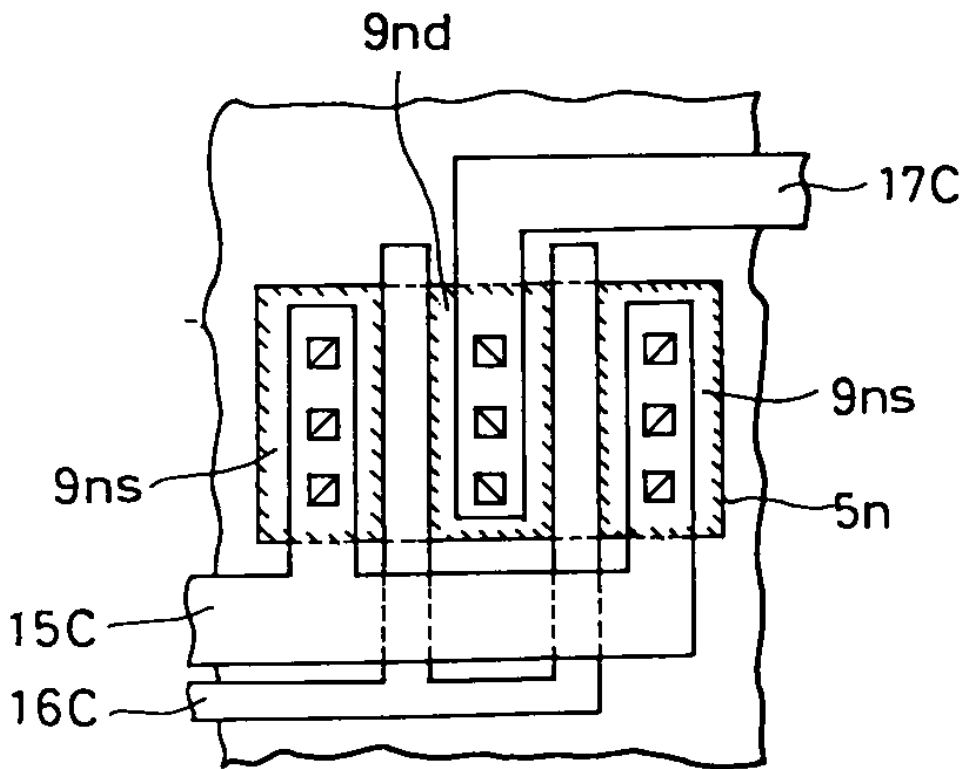
도면2e

종래 기술

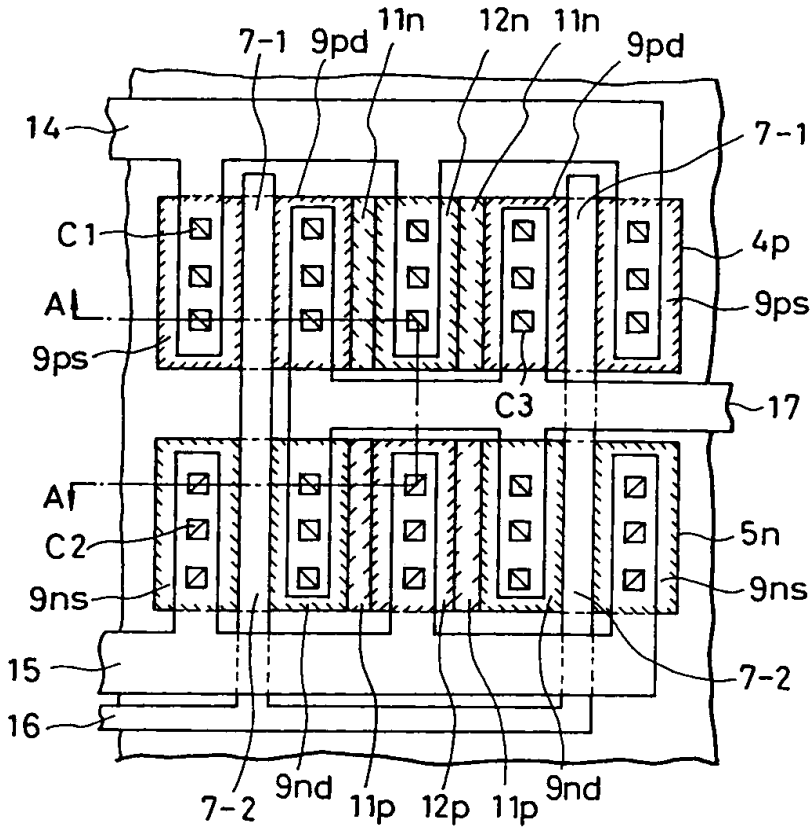


도면3

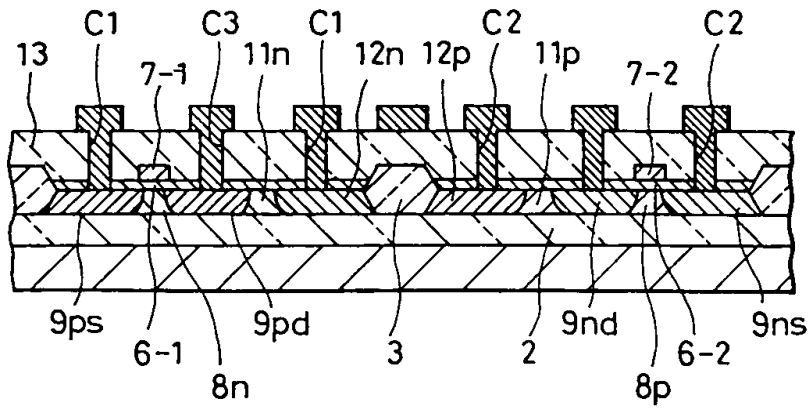
종래 기술



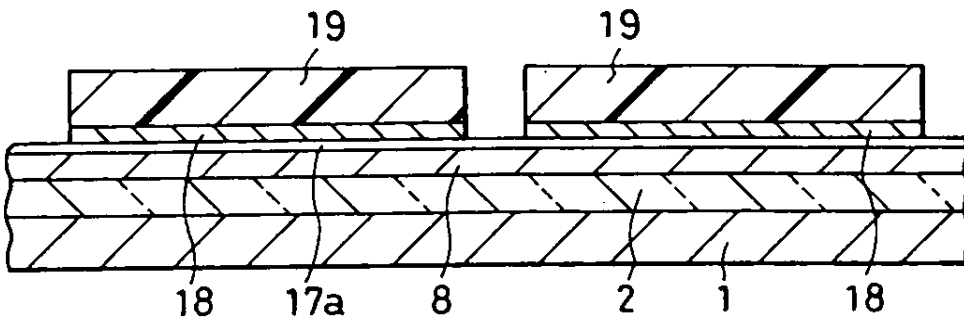
도면4a



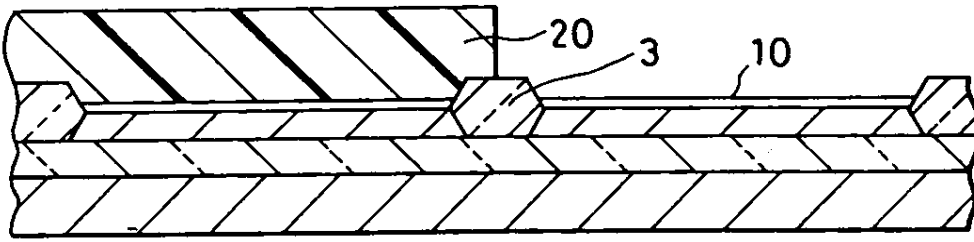
도면4b



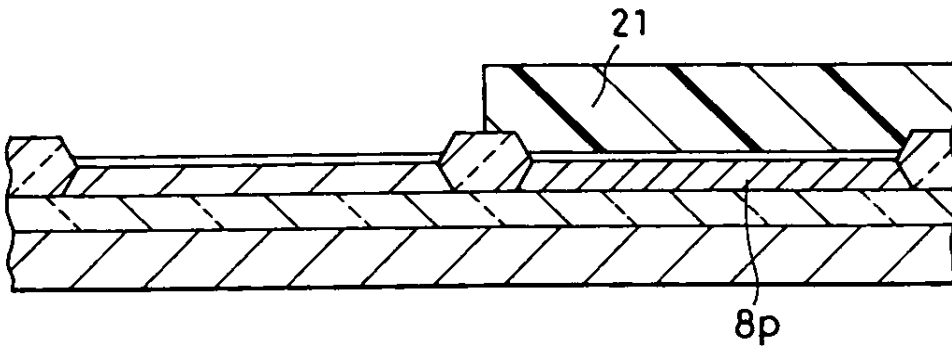
도면5a



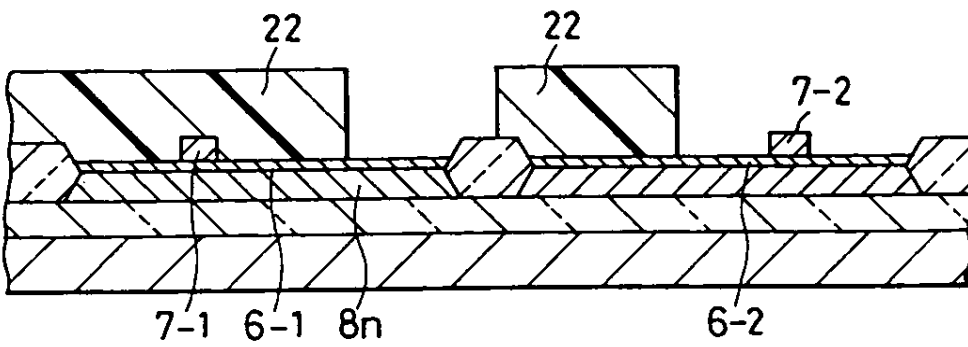
도면5b



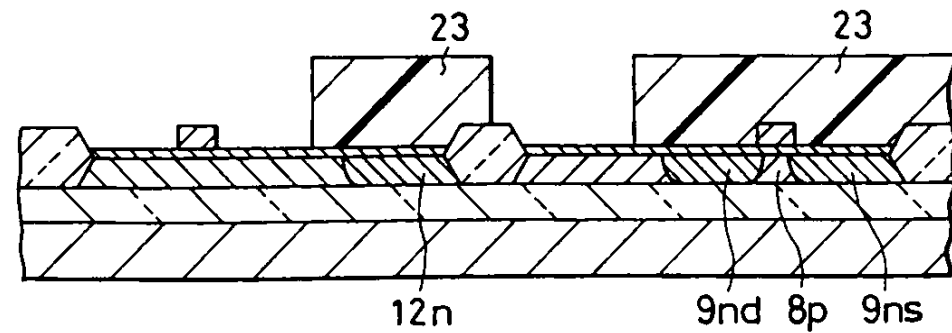
도면5c



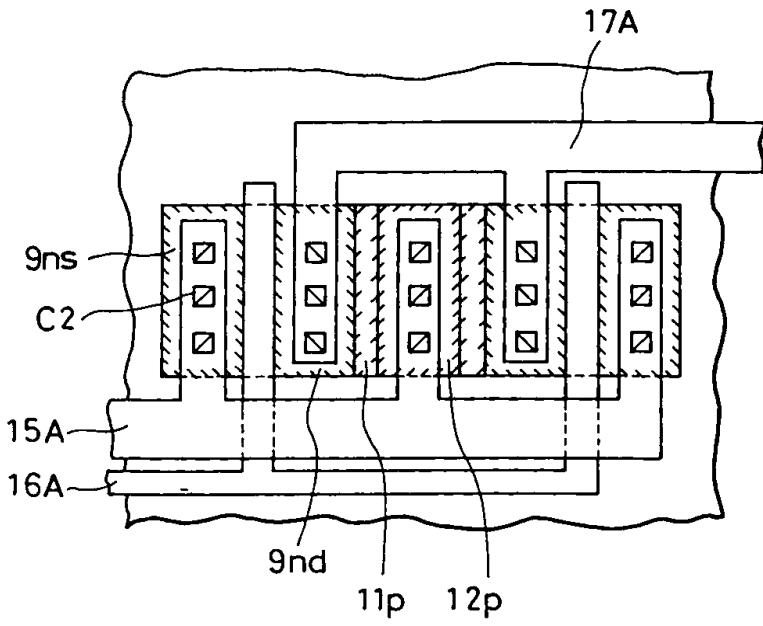
도면5d



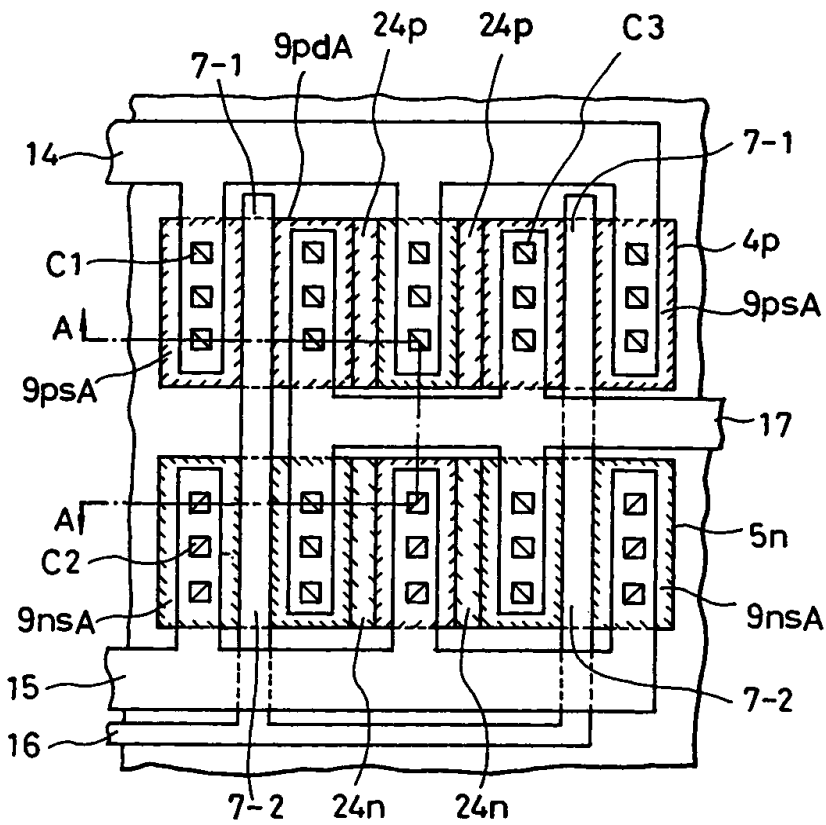
도면5e



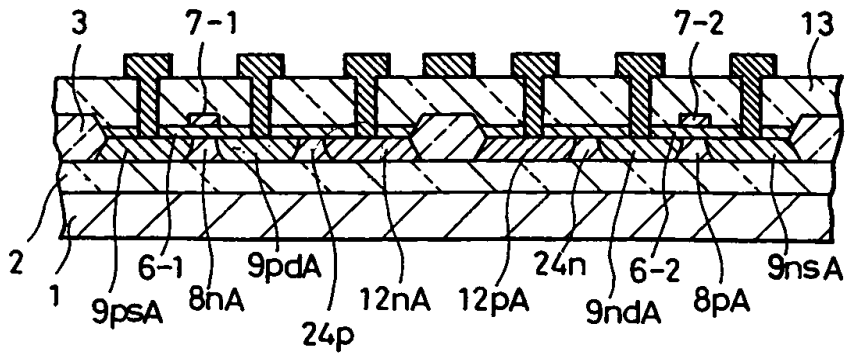
도면6



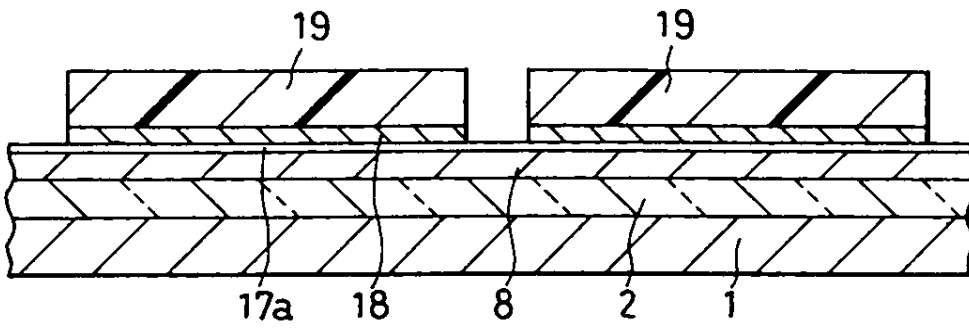
도면7a



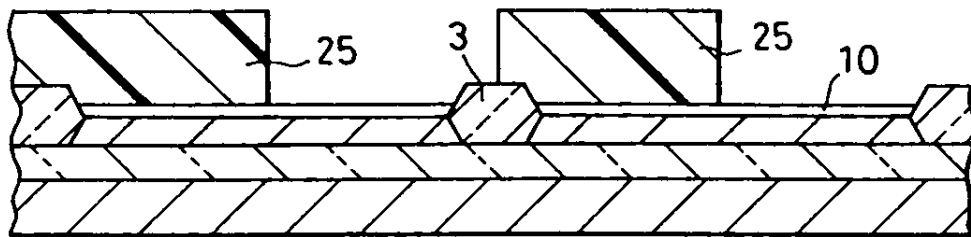
도면7b



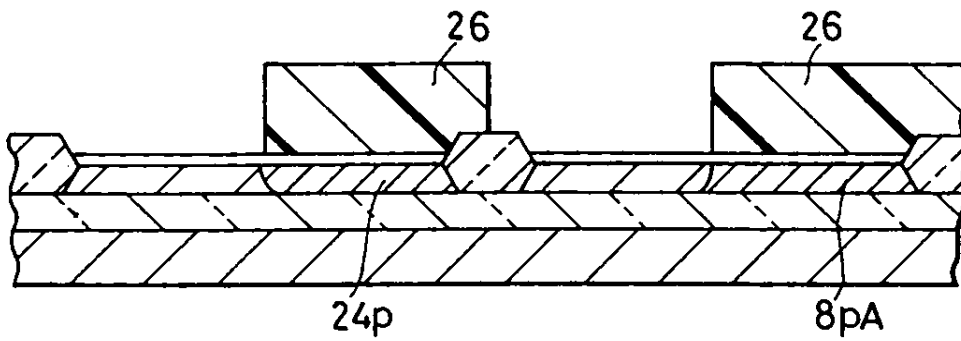
도면8a



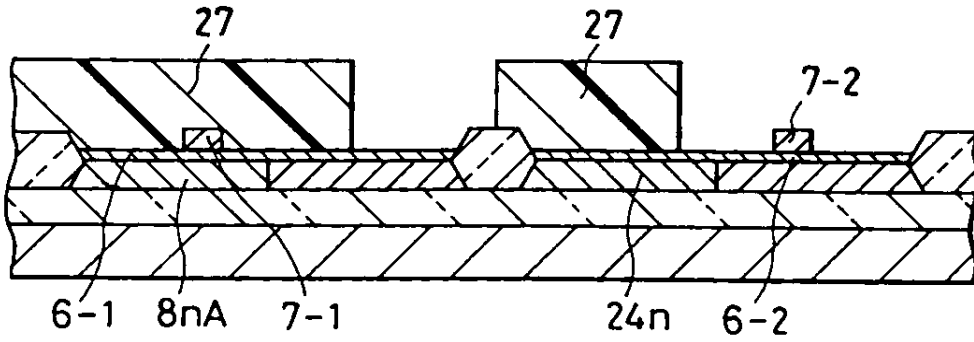
도면8b



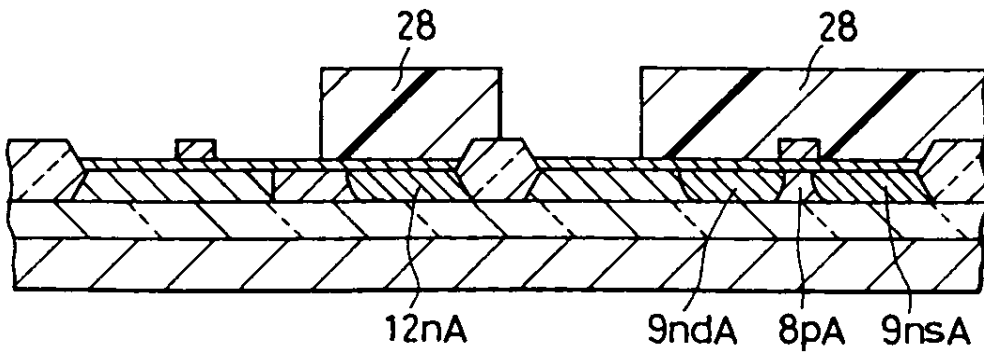
도면8c



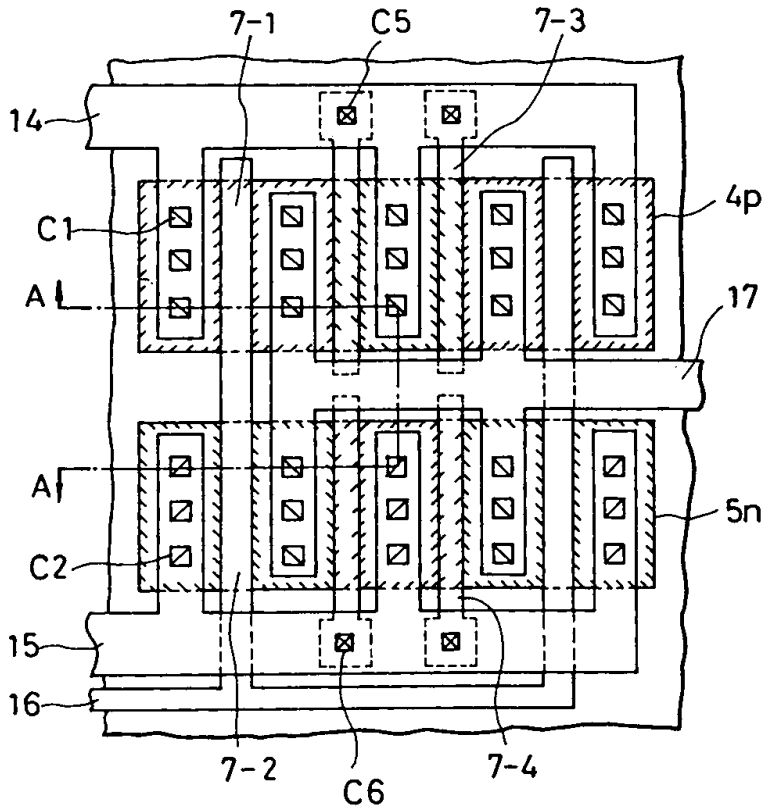
도면8d



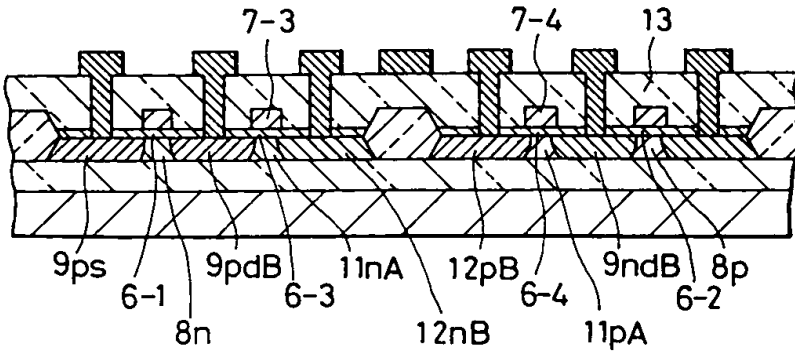
도면8e



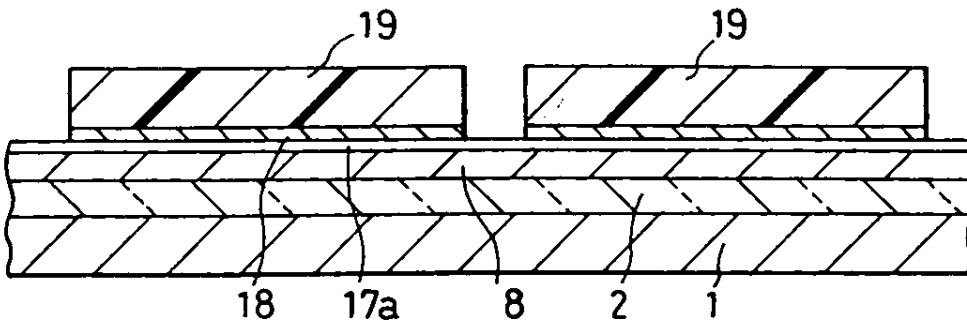
도면9a



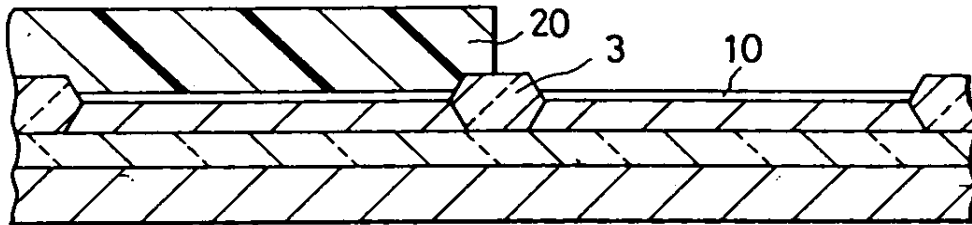
도면9b



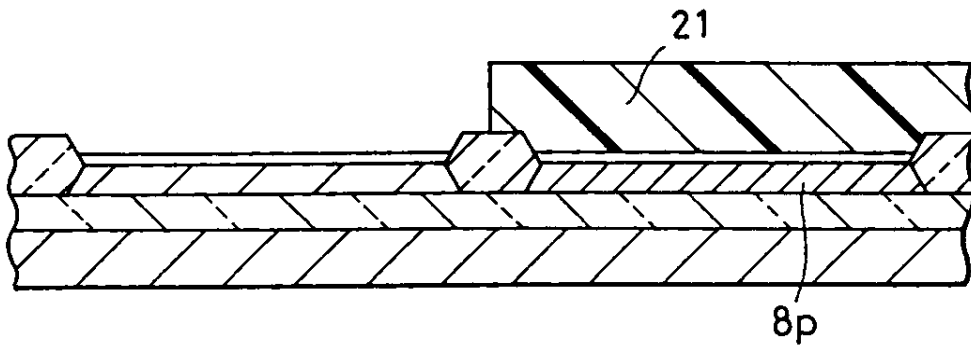
도면10a



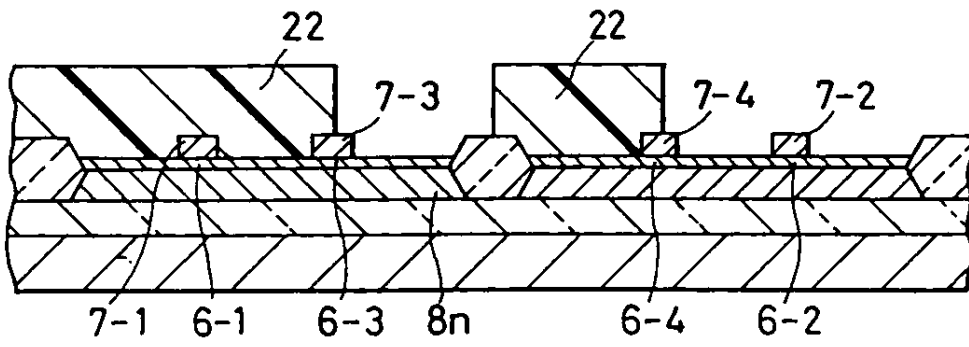
도면10b



도면10c



도면 10d



도면 10e

