

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4343044号  
(P4343044)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int. Cl. F I  
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 B  
 HO 1 L 23/32 (2006.01) HO 1 L 23/12 F  
 HO 1 L 23/32 D

請求項の数 10 (全 18 頁)

(21) 出願番号	特願2004-193490 (P2004-193490)	(73) 特許権者	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(22) 出願日	平成16年6月30日(2004.6.30)	(74) 代理人	100091672 弁理士 岡本 啓三
(65) 公開番号	特開2006-19368 (P2006-19368A)	(72) 発明者	深瀬 克哉 長野県長野市小島田町80番地 新光電気 工業株式会社内
(43) 公開日	平成18年1月19日(2006.1.19)	(72) 発明者	若林 信一 長野県長野市小島田町80番地 新光電気 工業株式会社内
審査請求日	平成19年3月1日(2007.3.1)	審査官	石野 忠志

最終頁に続く

(54) 【発明の名称】 インターポーザ及びその製造方法並びに半導体装置

(57) 【特許請求の範囲】

【請求項1】

搭載する半導体チップと実装用基板との間に介在されるインターポーザであって、半導体からなり、平面的に見て、搭載する半導体チップの同じ大きさを有する第1のインターポーザ部と、

絶縁体又は金属体からなり、前記第1のインターポーザ部の面方向においてその外周に該第1のインターポーザ部と一体的に設けられた第2のインターポーザ部とを有し、

前記第1及び第2のインターポーザ部の表面と裏面にそれぞれ絶縁層を介して形成された配線パターンが、該第1及び第2のインターポーザ部の所要の位置にそれぞれ形成されたスルーホールを介して電氣的に接続されていることを特徴とするインターポーザ。

10

【請求項2】

前記第1及び第2のインターポーザ部の表面と裏面が、それぞれ前記配線パターンの所要の箇所に画定された複数のパッド部を露出させて、それぞれ保護膜により被覆されていることを特徴とする請求項1に記載のインターポーザ。

【請求項3】

前記保護膜から露出している前記複数のパッド部のうち、所要の数のパッド部に外部接続端子が接合されていることを特徴とする請求項2に記載のインターポーザ。

【請求項4】

前記第1のインターポーザ部が、搭載する半導体チップと同じ熱膨張係数を有する半導体からなることを特徴とする請求項1に記載のインターポーザ。

20

## 【請求項 5】

前記半導体からなる第 1 のインターポーザ部に代えて、低温焼成セラミックスからなる第 1 のインターポーザ部が設けられ、さらに前記第 2 のインターポーザ部が、樹脂により形成されていることを特徴とする請求項 4 に記載のインターポーザ。

## 【請求項 6】

半導体ウエハの所要の位置に第 1 のスルーホールを形成する工程と、

前記第 1 のスルーホールの内壁を含めて全面に第 1 の絶縁層を形成した後、該第 1 のスルーホールの内部を含めて両面にそれぞれ所要の形状に第 1 の配線パターンを形成する工程と、

該第 1 の配線パターンが形成された半導体ウエハを、平面的に見て、搭載する半導体チップの大きさと同じ大きさを有する第 1 のインターポーザ部の形状にダイシングする工程と、

一方の面に第 2 の絶縁層が形成された支持体の該第 2 の絶縁層上に、前記ダイシングされた各第 1 のインターポーザ部をそれぞれ所定の間隔をおいて配置する工程と、

前記各第 1 のインターポーザ部間の隙間を充填して絶縁体層を形成し、さらに、該絶縁体層及び各第 1 のインターポーザ部上に第 3 の絶縁層を形成する工程と、

前記支持体を除去した後、前記絶縁体層の所要の位置に、前記第 3 の絶縁層から前記第 2 の絶縁層まで貫通して第 2 のスルーホールを形成すると共に、前記第 1 の配線パターンの所要の箇所に画定されたパッド部に達するビアホールを形成する工程と、

前記第 2 のスルーホールを介して前記絶縁体層の両面を電氣的に接続し、かつ、前記ビアホールを充填して前記第 1 の配線パターンのパッド部に電氣的に接続されるように所要の形状に第 2 の配線パターンを形成する工程と、

前記各第 1 のインターポーザ部及び前記絶縁体層の両面に、前記第 2 の配線パターンの所要の箇所に画定されたパッド部が露出するようにそれぞれ保護膜を形成し、さらに、第 1 のインターポーザ部を含み、かつ、規定の第 2 のインターポーザ部のエリアが画定されるように、前記絶縁体層の該当する部分を切断して分離する工程とを含むことを特徴とするインターポーザの製造方法。

## 【請求項 7】

半導体ウエハの所要の位置に第 1 のスルーホールを形成する工程と、

前記第 1 のスルーホールの内壁を含めて全面に第 1 の絶縁層を形成した後、該第 1 のスルーホールの内部を含めて両面にそれぞれ所要の形状に第 1 の配線パターンを形成する工程と、

該第 1 の配線パターンが形成された半導体ウエハを、平面的に見て、搭載する半導体チップの大きさと同じ大きさを有する第 1 のインターポーザ部の形状にダイシングする工程と、

金属板の所要の位置に第 2 のスルーホールを形成する工程と、

前記第 2 のスルーホールの内壁を含めて全面に第 2 の絶縁層を形成した後、該第 2 のスルーホールの内部を含めて両面にそれぞれ所要の形状に第 2 の配線パターンを形成する工程と、

該第 2 の配線パターンが形成された金属板を第 2 のインターポーザ部の形状にダイシングする工程と、

一方の面に第 3 の絶縁層が形成された支持体の該第 3 の絶縁層上に、前記ダイシングされた第 1 のインターポーザ部が前記第 2 のインターポーザ部の内側に収容されるような形態で配置する工程と、

前記第 1 及び第 2 のインターポーザ部の間、隣接する第 2 のインターポーザ部の間を含めて各インターポーザ部上に第 4 の絶縁層を形成する工程と、

前記支持体を除去した後、前記第 1 及び第 2 の配線パターンのそれぞれ所要の箇所に画定されたパッド部にそれぞれ達する第 1 及び第 2 のビアホールを形成する工程と、

該第 1 及び第 2 のビアホールからそれぞれ露出している各パッド部を電氣的に接続するように所要の形状に第 3 の配線パターンを形成する工程と、

10

20

30

40

50

該第 3 の配線パターンの所要の箇所に画定されたパッド部が露出するように全面を覆って保護膜を形成し、さらに、前記第 1 のインターポーザ部とその外周に配置された前記第 2 のインターポーザ部を含むように、当該第 2 のインターポーザ部の外周の絶縁体部分を切断して分離する工程とを含むことを特徴とするインターポーザの製造方法。

【請求項 8】

半導体ウエハの所要の位置に第 1 のスルーホールを形成する工程と、

前記第 1 のスルーホールの内壁を含めて全面に第 1 の絶縁層を形成した後、該第 1 のスルーホールの内部を含めて両面にそれぞれ所要の形状に第 1 の配線パターンを形成する工程と、

該第 1 の配線パターンが形成された半導体ウエハを、平面的に見て、搭載する半導体チップの大きさと同じ大きさを有する第 1 のインターポーザ部の形状にダイシングする工程と、

10

金属板の所要の位置に第 2 のスルーホールを形成し、さらに、該金属板を第 2 のインターポーザ部の形状にダイシングする工程と、

一方の面に第 2 の絶縁層が形成された支持体の該第 2 の絶縁層上に、前記ダイシングされた第 1 のインターポーザ部が前記第 2 のインターポーザ部の内側に収容されるような形態で配置する工程と、

前記第 1 及び第 2 のインターポーザ部の間、隣接する第 2 のインターポーザ部の間を含めて各インターポーザ部上に第 3 の絶縁層を形成する工程と、

前記支持体を除去した後、前記第 2 のインターポーザ部の所要の位置に、前記第 3 の絶縁層から第 2 の絶縁層まで貫通して第 3 のスルーホールを形成すると共に、前記第 1 の配線パターンの所要の箇所に画定されたパッド部に達するビアホールを形成する工程と、

20

前記第 3 のスルーホールを導体で充填し、さらに、該導体と前記ビアホールから露出しているパッド部を電氣的に接続するように所要の形状に第 2 の配線パターンを形成する工程と、

該第 2 の配線パターンの所要の箇所に画定されたパッド部が露出するように全面を覆って保護膜を形成し、さらに、前記第 1 のインターポーザ部とその外周に配置された前記第 2 のインターポーザ部を含むように、当該第 2 のインターポーザ部の外周の絶縁体部分を切断して分離する工程とを含むことを特徴とするインターポーザの製造方法。

【請求項 9】

30

請求項 1 から 5 のいずれか一項に記載のインターポーザ上に、半導体チップが前記配線パターンに電氣的に接続されて搭載されていることを特徴とする半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置が、所要個数、相互に電氣的に接続されて積層されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置用のインターポーザに係り、特に、搭載する半導体チップとマザーボード等のプリント配線板（実装用基板）との間で所要のファンアウト構造を実現するのに適応されたインターポーザ及びその製造方法並びに半導体装置に関する。

40

【0002】

かかるインターポーザは、半導体チップを搭載する役割を果たすことから、機能的には配線基板と同じであり、「パッケージ」とも呼ばれている。

【背景技術】

【0003】

典型的なインターポーザは、半導体チップ（代表的にはシリコン（Si）チップ）を搭載し、チップを搭載した状態でプリント配線板に実装されて、半導体装置を構成する。インターポーザを構成する材料としては様々なものを使用されているが、その一例として、シリコン（Si）を使用したものがある。これは、搭載する半導体チップの構成材料であ

50

るSiと同じ材料を使用する(つまり、両者の熱膨張係数(CTE)をほぼ同じにする)ことで、両者間に熱収縮の差に起因する反りや捻れ等の不都合が生じないようにするためである。

【0004】

このように構成材料としてSiを使用したインターポーザでは、搭載するSiチップとのCTEがマッチングしているというメリットがある。この場合、Siインターポーザの大きさは、CTEのマッチングの面からはチップサイズとほぼ同じであれば十分である。しかし、チップが搭載される側と反対側の面に設けられる外部接続端子のピッチは当該チップの端子のピッチより大きいいため、チップサイズと比べてインターポーザのサイズは大きくなり、特に端子数の多いチップを搭載する場合には、より一層大きくなる。つまり、インターポーザは、搭載するSiチップの端子とプリント配線板接続用端子(外部接続端子)とを整合する(つまり、再配線を行う)ためのものであるため、その構造上、外部接続端子のエリアがチップ搭載エリアの周囲に拡張された形態、いわゆる「ファンアウト構造」を呈する。

10

【0005】

また、このようなSiインターポーザの製造にあたり、従来のプロセスでは、Siウエハの状態で一連の加工(スルーホールの形成、スルーホール内及びウエハ表面への絶縁層の形成、絶縁層上へのシード層等の形成、めっきによるスルーホール内への導体の充填、両面へのめっき層の形成及び表裏の導通、両面への配線パターンの形成、保護膜の形成など)を行った後、各インターポーザ単位にダイシング(個片化)し、さらに必要に応じて外部接続端子を接合していた。つまり、配線パターンの形成は、Siウエハの状態で行われていた。

20

【0006】

上記の従来技術に関連する技術としては、例えば、特許文献1に記載されるように、半導体装置用インターポーザにおいて、搭載する半導体チップの直下で配線パターン間にキャパシタを設けるようにしたものがある。

【特許文献1】特開2001-326305号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述したように従来のインターポーザでは、外部接続端子の占有エリアがチップの搭載エリアの周囲に拡張された「ファンアウト構造」となっているため、インターポーザをシリコン(Si)のみで製作しようとする、搭載するSiチップとのCTEのマッチングの面からは本来必要でないエリア、すなわち、チップ搭載エリアの周囲に拡張されたエリアにまでSiを使用しなければならず、その結果、コストアップを招くといった課題があった。

30

【0008】

また、インターポーザの製造にあたり、従来のプロセスでは、最終的に個片化されるまではSiウエハの状態で行っていたため、Siウエハの両面に所要の形状に配線パターンを形成することが技術的に困難であるといった課題もあった。

40

【0009】

本発明は、かかる従来技術における課題に鑑み創作されたもので、所要のファンアウト構造を実現可能にすると共に、コストの低減化を図ることができるインターポーザを提供することを目的とする。

【0010】

さらに本発明は、インターポーザの両面に所要の配線パターンを容易に形成することができるインターポーザの製造方法、及び、当該インターポーザを用いて構成された半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

50

上述した従来技術の課題を解決するため、本発明の一形態によれば、搭載する半導体チップと実装用基板との間に介在されるインターポーザであって、半導体からなり、平面的に見て、搭載する半導体チップの大きさと同じ大きさを有する第1のインターポーザ部と、絶縁体又は金属体からなり、前記第1のインターポーザ部の面方向においてその外周に該第1のインターポーザ部と一体的に設けられた第2のインターポーザ部とを有し、前記第1及び第2のインターポーザ部の表面と裏面にそれぞれ絶縁層を介して形成された配線パターンが、該第1及び第2のインターポーザ部の所要の位置にそれぞれ形成されたスルーホールを介して電氣的に接続されていることを特徴とするインターポーザが提供される。

【0012】

この形態に係るインターポーザの構成によれば、第1のインターポーザ部は、搭載する半導体チップとの間で熱膨張係数（CTE）のマッチングを行うのに必要な半導体からなっており、その大きさは、平面的に見て、その搭載する半導体チップの大きさと同じである。一方、第2のインターポーザ部は、第1のインターポーザ部を構成する材料（半導体）とは異なる材料（絶縁体又は金属体）からなっており、第1のインターポーザ部の外周のエリア（つまり、搭載する半導体チップとのCTEのマッチングの面からは本来必要でないエリア）に設けられている。従って、従来のように不必要なエリアに半導体（代表的にはSi）を使用する必要がなくなり、半導体の使用量を必要最小限に抑えることができるので、コストの低減化を図ることができる。また、第2のインターポーザ部の存在により、所要のファンアウト構造を実現することができる。

【0014】

また、第2のインターポーザ部が金属体からなる場合には、本インターポーザを半導体装置として構成したときに内部で発生する熱を、この金属体（第2のインターポーザ部）を介して外部に放散させることができる。つまり、一種のヒートスプレッドとして機能する。

【0015】

また、本発明の他の形態によれば、上記の形態に係るインターポーザを製造する方法が提供される。その一形態に係る製造方法は、半導体ウエハの所要の位置に第1のスルーホールを形成する工程と、前記第1のスルーホールの内壁を含めて全面に第1の絶縁層を形成した後、該第1のスルーホールの内部を含めて両面にそれぞれ所要の形状に第1の配線パターンを形成する工程と、該第1の配線パターンが形成された半導体ウエハを、平面的に見て、搭載する半導体チップの大きさと同じ大きさを有する第1のインターポーザ部の形状にダイシングする工程と、一方の面に第2の絶縁層が形成された支持体の該第2の絶縁層上に、前記ダイシングされた各第1のインターポーザ部をそれぞれ所定の間隔において配置する工程と、前記各第1のインターポーザ部間の隙間を充填して絶縁体層を形成し、さらに、該絶縁体層及び各第1のインターポーザ部上に第3の絶縁層を形成する工程と、前記支持体を除去した後、前記絶縁体層の所要の位置に、前記第3の絶縁層から前記第2の絶縁層まで貫通して第2のスルーホールを形成すると共に、前記第1の配線パターンの所要の箇所画定されたパッド部に達するビアホールを形成する工程と、前記第2のスルーホールを介して前記絶縁体層の両面を電氣的に接続し、かつ、前記ビアホールを充填して前記第1の配線パターンのパッド部に電氣的に接続されるように所要の形状に第2の配線パターンを形成する工程と、前記各第1のインターポーザ部及び前記絶縁体層の両面に、前記第2の配線パターンの所要の箇所画定されたパッド部が露出するようにそれぞれ保護膜を形成し、さらに、第1のインターポーザ部を含み、かつ、規定の第2のインターポーザ部のエリアが画定されるように、前記絶縁体層の該当する部分を切断して分離する工程を含むことを特徴とする。

【0016】

この形態に係るインターポーザの製造方法によれば、上記の形態に係るインターポーザにより得られた効果に加えて、さらに、半導体ウエハから第1のインターポーザ部をダイシング（切断分離）し、支持体上で再レイアウト後、加工を行うようにしているので、従

10

20

30

40

50

来のようにSiウエハの状態で行う場合とは違い、インターポーザの両面に所要の配線パターンを容易に形成することができる。

【0017】

また、本発明の更に他の形態によれば、上記の形態に係るインターポーザ上に、半導体チップが前記配線パターンに電氣的に接続されて搭載されていることを特徴とする半導体装置が提供される。さらに、この半導体装置を、所要個数、相互に電氣的に接続して積層するようにしてもよい。

【発明を実施するための最良の形態】

【0018】

図1は本発明の一実施形態に係るインターポーザの構成を断面図の形態で模式的に示したものである。図示の例では、本発明に関連する部分を明示するためにインターポーザの構成を簡略化して示しており、詳細な構成(構造)についてはプロセスに関連させて後で説明する。

10

【0019】

本実施形態に係るインターポーザ10は、図中破線で示すようにシリコン(Si)チップ1を搭載し、後述するようにSiチップ1を搭載した状態で実装用基板に実装されて、半導体装置を構成する。インターポーザ10は、その基本構造として、搭載するSiチップ1との間で熱膨張係数(CTE)のマッチングを行うのに必要なSiからなる部分(以下、「Siインターポーザ部」という。)11と、所要のファンアウト構造を実現するためにチップ搭載エリアの周囲(Siインターポーザ部11の面方向においてその外周)に拡張された部分(以下、「拡張インターポーザ部」という。)12とを有している。Siインターポーザ部11と拡張インターポーザ部12は一体的に設けられており、Siインターポーザ部11は、平面的に見て、搭載するSiチップ1の大きさとはほぼ同じ大きさを有している。また、拡張インターポーザ部12は絶縁体からなり、コスト面(コストを低減できる点)と加工面(加工しやすい点)を考慮して、本実施形態ではエポキシ樹脂を使用している。

20

【0020】

また、Siインターポーザ部11の両面(表面と裏面)には、それぞれ絶縁層13a, 13bを介在させて、それぞれ所要の形状に配線パターン(例えば、銅(Cu)のめっき層)14a, 14bが形成されており、各配線パターン14a, 14bは、Siインターポーザ部11の所要の位置に形成されたスルーホールを介して電氣的に接続されている。同様に、拡張インターポーザ部12の両面(表面と裏面)にも、それぞれ所要の形状に配線パターン15a, 15bが形成されており、各配線パターン15a, 15bは、拡張インターポーザ部12の所要の位置に形成されたスルーホールを介して電氣的に接続されている。各インターポーザ部11, 12にそれぞれ形成されたスルーホールは、導体(例えば、Cu)で充填されており、あるいは、その内壁上に導体が形成されている。また、図1には明示していないが、Siインターポーザ部11の配線パターン14a, 14bと、拡張インターポーザ部12の配線パターン15a, 15bとは、所要の箇所において相互に接続されている。

30

【0021】

各配線パターン14a, 14b, 15a, 15bは、それぞれ所要の箇所にパッド部を含むように形成されている。本実施形態に係る構成では、Siチップ1が搭載される側の配線パターン14a, 15aは、搭載するSiチップ1の電極端子2(例えば、はんだバンプ、金(Au)スタッドバンプ等)の位置に対応する箇所にパッド部が画定されるように形成され、これと反対側の配線パターン14b, 15bは、実装用基板に実装する際に用いられる外部接続端子16(例えば、はんだバンプ)の接合位置に対応する箇所にパッド部が画定されるように形成されている。図示の例では、インターポーザ部11(12)の両面に1層ずつ配線パターン14a, 14b(15a, 15b)が形成された構造を示しているが、必要に応じて、ビルドアップ法等により更なる多層配線化を行ってもよいことはもちろんである。

40

50

## 【 0 0 2 2 】

また、図 1 には明示していないが、各インターポーザ部 1 1 , 1 2 の両面には、各配線パターン 1 4 a , 1 4 b , 1 5 a , 1 5 b のパッド部を露出させて全面を覆うようにして保護膜（例えば、ソルダレジスト層）が形成されており、さらに、各保護膜から露出している配線パターン（パッド部）上に、ニッケル（Ni）/金（Au）のめっき層が被着されている。なお、図示の例では外部接続端子 1 6 を設けているが、これは必ずしも設ける必要はない。要は、必要なときに外部接続端子を接合できるようにパッド部（Ni/Auめっき層）が保護膜から露出していれば十分である。

## 【 0 0 2 3 】

本実施形態に係るインターポーザ 1 0 は、基本的には、搭載する Si チップ 1 との間で C T E のマッチングを行うのに必要な大きさの Si インターポーザ部 1 1 と、所要のファンアウト構造を実現するために必要な拡張インターポーザ部 1 2 とが一体的に設けられ、さらに、保護膜から露出しているパッド部もしくはパッド部上に接合された外部接続端子を介して、後述するように必要に応じて多層的に積み重ねることができるようにしたことを特徴としている。

10

## 【 0 0 2 4 】

本実施形態では、Si チップ 1 との間で C T E のマッチングを行うための構成部材として Si からなるインターポーザ部 1 1 を設けているが、Si チップ 1 と同等の C T E を有している材料であれば、Si に限定されないことはもちろんである。例えば、ガラスセラミックス等の低温焼成セラミックスを好適に使用することができる。

20

## 【 0 0 2 5 】

図 2 は、上述した実施形態に係るインターポーザ 1 0 を用いて構成された半導体装置の一構成例を模式的に示したものである。

## 【 0 0 2 6 】

図示の半導体装置 5 0 は、Si チップ 1 を搭載したインターポーザ 1 0 が、マザーボード等のプリント配線板（実装用基板）5 1 に実装されて構成されている。インターポーザ 1 0 に Si チップ 1 を搭載する際には、例えば、上側のソルダレジスト層（保護膜）から露出している配線パターンのパッド部に、Si チップ 1 のパッド上に接合されたはんだバンプ等の電極端子 2 が電氣的に接続されるように当該チップをフリップチップ接続し、さらに当該ソルダレジスト層との間にアンダーフィル樹脂（例えば、エポキシ樹脂）を充填し、熱硬化させて接着する。この場合、フリップチップ接続とアンダーフィル樹脂の充填を同時に行うことも可能である。また、インターポーザ 1 0 をプリント配線板 5 1 に実装する際には、同様にして下側のソルダレジスト層（保護膜）から露出している配線パターンのパッド部に、外部接続端子として供されるはんだボールをリフローにより接合し（はんだバンプ 1 6）、このはんだバンプ 1 6 を介してプリント配線板 5 1 上の対応するパッド又はランド 5 2 に接続する。

30

## 【 0 0 2 7 】

図 3 は、上述した実施形態に係るインターポーザ 1 0 を用いて構成された半導体装置の他の構成例を模式的に示したものである。図示の半導体装置 5 0 a は、Si チップ 1 を搭載した状態でインターポーザ 1 0 を複数個（図示の例では、2 個）、相互に電氣的に接続して多層的に積み重ねた構造を有している。この場合、各インターポーザ 1 0 間の電氣的な接続は、下側のインターポーザ 1 0 のパッド部（上側）と上側のインターポーザ 1 0 のパッド部（下側）に接合された外部接続端子 1 6 とを介して行われる。なお、図 3 の例では、図 2 に示したプリント配線板（実装用基板）5 1 の図示を省略している。

40

## 【 0 0 2 8 】

また、特に図示はしないが、マルチチップモジュールへの対応を考慮して、本実施形態に係るインターポーザ 1 0 を平面状に複数個配列した形態で半導体装置を構成することも可能である。

## 【 0 0 2 9 】

次に、本実施形態に係るインターポーザ 1 0 を製造する方法について、その製造工程の

50

一例を示す図4～図6を参照しながら説明する。図4～図6に示す断面構成では、図示の簡単化のため、Siインターポーザ部11（一部分）とこれに隣接する拡張インターポーザ部12（一部分）のみが示されている。

【0030】

まず最初の工程では（図4（a）参照）、例えば12インチサイズのSiウエハを用意し、所定の厚さ（50～300μm程度）に薄化した後、このSiウエハ20の所要の位置に、反応性イオンエッチング（RIE）やスパッタエッチング等のドライエッチング法により、スルーホールTH1を形成する。

【0031】

次の工程では（図4（b）参照）、スルーホールTH1の内壁を含めて全面に、例えばCVD法や熱酸化法等により、SiO<sub>2</sub>の絶縁層（シリコン酸化膜）21を形成する。

【0032】

次の工程では（図4（c）参照）、絶縁層21の全面に、例えば無電解めっき、スパッタリング、蒸着等により、銅（Cu）のシード層22を形成する。

【0033】

次の工程では（図4（d）参照）、スルーホールTH1に導体を充填し、この導体に接続されるようにして両面に所要の形状に配線パターン23を形成する。例えば、シード層22を給電層として電解CuめっきによりスルーホールTH1を充填し、あるいは、Cu等の金属を含有する導電性ペーストをスクリーン印刷法、インクジェット法等によりスルーホールTH1に充填する。さらに、この充填された導体上に、サブトラクティブ法、セミアディティブ法、インクジェット法等により、所要の形状にCuの配線パターン23を形成する。セミアディティブ法もしくはインクジェット法を用いた場合には、スルーホールTH1への導体（Cu）の充填と同時に配線パターン23を形成することができ、工程の簡素化に寄与する。

【0034】

ここで形成される配線パターン23は、図1に示した配線パターン14a、14bに相当する。図示の例では、Siウエハ20の両面（絶縁層21上）にそれぞれ1層ずつ、計2層の配線パターン23を形成しているが、形成する配線パターンの層数は2層に限定されないことはもちろんであり、必要に応じて、ビルドアップ法等により適宜配線の多層化を行ってもよい。

【0035】

次の工程では（図5（a）参照）、両面にそれぞれ配線パターン23が形成されたSiウエハ20を、例えばダイサー等により、平面的に見たSiインターポーザ部11の形状（本実施形態では、搭載するSiチップ1の形状）に切断して、各インターポーザ単位に個片化する。

【0036】

次の工程では（図5（b）参照）、一方の面にエポキシ樹脂やポリイミド樹脂等からなる絶縁膜25が形成された支持体24を用意し、この支持体24の絶縁膜25上に、前の工程で個片化された各Siインターポーザ部11（インターポーザ10の一部分）をそれぞれ所定の間隔をおいて配置する。支持体24は、金属体で構成されていてもよいし、あるいはテープ材のような形態でもよい。後者の場合、そのテープ材の絶縁膜25が形成される側の面に離型剤が塗布されていることが望ましい。これは、後の段階で支持体24を剥離除去する際の便宜上の理由からである。

【0037】

次の工程では（図5（c）参照）、各Siインターポーザ部11間の隙間に樹脂を充填して樹脂層26を形成し、さらに各Siインターポーザ部11及び樹脂層26上に、CVD法、ラミネート法等により絶縁膜27を形成する。樹脂層26は、例えば、粘度の低い熱硬化性のエポキシ樹脂を各Siインターポーザ部11間の隙間に溶かし込み、そのまま上から熱プレスすることによって形成され得る。

【0038】



ここで形成される樹脂層 26 は、その一部が図 1 に示した拡張インターポーザ部 12 を構成し、また、各 Si インターポーザ部 11 及び樹脂層 26 を挟んでその両面に形成される絶縁膜 27 及び 25 は、それぞれ図 1 に示した絶縁層 13a 及び 13b に相当する。

【0039】

次の工程では(図 5(d) 参照)、支持体 24 (図 5(c) 参照)を、ウエットエッチング(金属の場合)や剥離(テープ材の場合)等により、除去する。

【0040】

次の工程では(図 6(a) 参照)、樹脂層 26 (絶縁膜 25, 27 を含む)の所要の位置に、例えば UV-YAG レーザ、CO<sub>2</sub> レーザ、エキシマレーザ等により、スルーホール TH2 を形成する。さらに、Si インターポーザ部 11 の配線パターン 23 の所要の箇所(パッド部)に、例えばレーザにより、当該パッド部に達するようにビアホール VH を形成する。

10

【0041】

次の工程では(図 6(b) 参照)、スルーホール TH2 内を含めて絶縁膜 25, 27 の全面に、無電解めっき、スパッタリング等によりシード層(Cu)を形成し、このシード層を給電層として電解 Cuめっきによりスルーホール TH2 を充填(あるいは、Cu等の金属を含有する導電性ペーストをスクリーン印刷法、インクジェット法等によりスルーホール TH2 に充填)した後、サブトラクティブ法、セミアディティブ法、インクジェット法等により、スルーホール TH2 に充填された導体とビアホール VH から露出している配線パターン 23 のパッド部とを接続するように、所要の形状に Cu の配線パターン 28 を形成する。

20

【0042】

ここで形成される配線パターン 28 は、図 1 に示した配線パターン 15a, 15b に相当する。

【0043】

最後の工程では(図 6(c) 参照)、両面の配線パターン 28 の所要の箇所にそれぞれ画定されたパッド部が露出するように全面を覆ってソルダレジスト層 29 を形成し、さらに、各ソルダレジスト層 29 から露出している各々のパッド部(Cu)に、それぞれ Ni/Auめっきを施す(Ni/Auめっき層 30 の形成)。これは、後の段階ではんだ接合を行ったときに当該パッド部との接着性を向上させるためである。さらに、Si インターポーザ部 11 を含み、かつ、規定の拡張インターポーザ部 12 (図 1 参照)のエリアが画定されるように、樹脂層 26 (絶縁膜 25, 27 を含む)の該当する部分を切断して分離する。

30

【0044】

以上の工程により、本実施形態に係るインターポーザ 10 が作製されたことになる。なお、最後の工程において Ni/Auめっき層 30 を形成した後、必要に応じて、ソルダレジスト層 29 から露出しているパッド部(Ni/Auめっき層 30)に、外部接続端子 16 (図 1 参照)として用いるはんだバンプを形成してもよい。

【0045】

以上説明したように、本実施形態に係るインターポーザ 10 (図 1) 及びその製造方法によれば、Si インターポーザ部 11 は、搭載する Si チップ 1 の大きさとほぼ同じ大きさを有しているため、Si チップ 1 との間で熱膨張係数(CTE)のマッチングを行うことができ、一方、この Si インターポーザ部 11 の外周のエリア(つまり、搭載する Si チップ 1 との CTE のマッチングの面からは本来必要でないエリア)に設けられた拡張インターポーザ部 12 は、絶縁体(エポキシ樹脂)からなっている。従って、従来のように不必要なエリアに Si を使用する必要がなくなり、Si の使用量を必要最小限に抑えることができるので、コストの低減化を図ることができる。また、拡張インターポーザ部 12 の存在により、所要のファンアウト構造を実現することができる。

40

【0046】

また、これに関連して、Si チップ 1 と Si インターポーザ部 11 の間で CTE のマッ

50

チングによる応力緩和を行えることにより、拡張インターポーザ部 1 2 を構成する材料の選択の自由度を高めることができる。

【 0 0 4 7 】

また、本実施形態に係る製造方法（図 4 ~ 図 6）によれば、S i ウエハ 2 0 から S i インターポーザ部 1 1 を切断分離し、支持体 2 4 上で再レイアウト後、加工を行うようにしているため、従来のように S i ウエハの状態で行う場合とは違い、インターポーザ 1 0 の両面に所要の配線パターンを容易に形成することができる。

【 0 0 4 8 】

また、必要に応じて、ソルダレジスト層（保護膜）2 9 から露出している配線パターンのパッド部に外部接続端子 1 6 を接合することができるので、図 3 に例示したように複数のインターポーザ 1 0（S i チップ 1 を搭載した状態）を多層的に積み重ねることが可能となる。

10

【 0 0 4 9 】

また、図 4（a）の工程においてスルーホール T H 1 の形成に先立ち S i ウエハを薄化した際に、反りや捻れ等のストレスが仮に発生していたとしても、その後の段階で行うダイシングにより（図 5（a））当該ストレスを除去できるため、薄い S i での加工が容易となり、インターポーザ 1 0 の薄型化に寄与することができる。

【 0 0 5 0 】

さらに、スルーホールの形成を樹脂エリア（拡張インターポーザ部 1 2 のエリア）のみに留めた場合には、そのスルーホールの加工及び導通処理に基板プロセスを使用できるため、工程を簡略化することができ、コストの低減化と共に手番の短縮が可能となる。

20

【 0 0 5 1 】

上述した実施形態（図 1）では、S i インターポーザ部 1 1 の外周に設けられる拡張インターポーザ部 1 2 を絶縁体（エポキシ樹脂）で構成した場合を例にとって説明したが、拡張インターポーザ部 1 2 を構成する材料がこれに限定されないことはもちろんであり、例えば、絶縁体に代えて金属体で構成することも可能である。

【 0 0 5 2 】

以下、拡張インターポーザ部を金属体で構成した場合の実施形態を説明する。なお、この実施形態に係るインターポーザの構成については、その外形上、図 1 に示したインターポーザ 1 0 の構成と同じであるので、ここではその説明は省略する。

30

【 0 0 5 3 】

この形態に係るインターポーザ（拡張インターポーザ部が金属体からなる場合）の構成によれば、上述した実施形態で得られた利点に加えて、さらに、拡張インターポーザ部を金属体で構成しているため、半導体装置として構成したときに内部で発生する熱を外部に放散させることができるという利点を得られる。

【 0 0 5 4 】

以下、金属体からなる拡張インターポーザ部を備えたインターポーザを製造する方法について、その製造工程の一例を示す図 7 ~ 図 9 を参照しながら説明する。

【 0 0 5 5 】

まず、上述した実施形態に係る製造工程のうち、図 4（a）~ 図 5（a）の工程を経た後、次の工程では（図 7（a）参照）、所定の厚さ（5 0 ~ 3 0 0 μ m 程度）を有するアルミニウム（A l）や銅（C u）等の金属板 4 0 に対し、ウエットエッチング、機械的ドリルによる穴明け加工、U V - Y A G レーザ、C O<sub>2</sub> レーザ、エキシマレーザ等によるレーザー加工等により、所要の位置にスルーホール T H 3 を形成する。この際、S i インターポーザ部 1 1 を収容するための開口部を同時に形成するようにしてもよい。

40

【 0 0 5 6 】

次の工程では（図 7（b）参照）、スルーホール T H 3 の内壁を含めて全面に、例えば電着法により、エポキシ樹脂、ポリイミド樹脂等からなる絶縁層 4 1 を形成する。

【 0 0 5 7 】

次の工程では（図 7（c）参照）、絶縁層 4 1 の全面に、例えば無電解めっき、スパッ

50

タリング、蒸着等により、銅（Cu）のシード層42を形成する。

【0058】

次の工程では（図7（d）参照）、スルーホールTH3に導体を充填し、この導体に接続されるようにして両面に所要の形状に配線パターン43を形成する。例えば、シード層42を給電層として電解CuめっきによりスルーホールTH3を充填し、あるいは、Cu等の金属を含有する導電性ペーストをスクリーン印刷法、インクジェット法等によりスルーホールTH3に充填する。さらに、この充填された導体上に、サブトラクティブ法、セミアディティブ法、インクジェット法等により、所要の形状にCuの配線パターン43を形成する。セミアディティブ法もしくはインクジェット法を用いた場合には、スルーホールTH3への導体（Cu）の充填と同時に配線パターン43を形成することができる（工程の簡素化）。

10

【0059】

ここで形成される配線パターン43は、図1に示した配線パターン15a, 15bに相当する。図示の例では、金属板40の両面（絶縁層41上）にそれぞれ1層ずつ、計2層の配線パターン43を形成しているが、形成する配線パターンの層数は2層に限定されないことはもちろんであり、必要に応じて、ビルドアップ法等により適宜配線の多層化を行ってもよい。

【0060】

次の工程では（図8（a）参照）、両面にそれぞれ配線パターン43が形成された金属板40を、例えばダイサー等により、所要の拡張インターポーザ部12a（インターポーザの一部分）の形状、すなわち、図示のようにSiインターポーザ部11を収容する開口部が形成された「枠状」の形状に切断して、各インターポーザ単位に個片化する。なお、Siインターポーザ部11を収容するための開口部については、この工程ではダイサー等による切断により形成しているが、例えば、ダイサー等による切断の前、あるいは後に、プレス等による打ち抜き加工で形成するようにしてもよい。

20

【0061】

次の工程では（図8（b）参照）、一方の面にエポキシ樹脂やポリイミド樹脂等からなる絶縁膜45が形成された支持体44を用意し、この支持体44の絶縁膜45上に、既に個片化されている各Siインターポーザ部11と、前の工程で個片化された各拡張インターポーザ部12aとを配置する。この際、Siインターポーザ部11が、拡張インターポーザ部12aに形成した開口部内に収容されるような形態で配置する。支持体44は、金属体で構成されていてもよいし、あるいは、テープ材のような形態（絶縁膜45が形成される側の面に離型剤が塗布されているもの）でもよい。

30

【0062】

次の工程では（図8（c）参照）、Siインターポーザ部11と拡張インターポーザ部12aの間、隣接する拡張インターポーザ部12aの間を含めて全面に、CVD法、ラミネート法等により絶縁膜46を形成する。あるいは、熱硬化性の樹脂を塗布し、これを硬化させて絶縁膜46を形成するようにしてもよい。

【0063】

ここで形成される絶縁膜46、及び前の工程で形成された絶縁膜45は、それぞれ図1に示した絶縁層13a及び13bに相当する。

40

【0064】

次の工程では（図8（d）参照）、支持体44（図8（c）参照）を、ウエットエッチング（金属の場合）や剥離（テープ材の場合）等により、除去する。

【0065】

次の工程では（図9（a）参照）、Siインターポーザ部11及び拡張インターポーザ部12aの各配線パターン23, 43の所要の箇所（パッド部）に、例えばUV-YAGレーザ、CO<sub>2</sub>レーザ、エキシマレーザ等により、それぞれ当該パッド部に達するようにビアホールVH1, VH2を形成する。

【0066】

50

次の工程では(図9(b)参照)、サブトラクティブ法、セミアディティブ法、導電性ペーストを用いたスクリーン印刷法等により、Siインターポーザ部11に形成されたビアホールVH1から露出している配線パターン23のパッド部と、拡張インターポーザ部12aに形成されたビアホールVH2から露出している配線パターン43のパッド部とを接続するように、所要の形状にCuの配線パターン47を形成する。

【0067】

ここで形成される配線パターン47は、図1に示した配線パターン15a, 15bに相当する。

【0068】

最後の工程では(図9(c)参照)、両面の配線パターン47の所要の箇所にそれぞれ画定されたパッド部が露出するように全面を覆ってソルダレジスト層29を形成し、さらに、各ソルダレジスト層29から露出している各々のパッド部(Cu)に、それぞれNi/Auめっきを施す(Ni/Auめっき層30の形成)。さらに、Siインターポーザ部11とその外周に配置された拡張インターポーザ部12aを含むように、当該拡張インターポーザ部12aの外周の絶縁膜部分を切断して分離する。

【0069】

以上の工程により、本実施形態に係るインターポーザ10aが作製されたことになる。上述した実施形態の場合と同様に、最後の工程においてNi/Auめっき層30を形成した後、必要に応じて、ソルダレジスト層29から露出しているパッド部(Ni/Auめっき層30)に、はんだバンプ(図1の外部接続端子16)を形成してもよい。

【0070】

次に、拡張インターポーザ部を金属体で構成した場合の他の実施形態に係るインターポーザの製造方法について、図10及び図11を参照しながら説明する。

【0071】

先ず、図4(a)~図5(a)の工程を経た後、次の工程では(図10(a)参照)、所定の厚さ(50~300µm程度)を有するアルミニウム(Al)や銅(Cu)等の金属板40の所要の位置に、ウエットエッチング、機械的ドリルによる穴明け加工、CO<sub>2</sub>レーザ、エキシマレーザ等によるレーザー加工等により、スルーホールTH4を形成し、さらに、ダイサー等により、所要の拡張インターポーザ部12bの形状、すなわち、図示のようにSiインターポーザ部11を収容する開口部が形成された「枠状」の形状に切断して、各インターポーザ単位に個片化する。

【0072】

次の工程では(図10(b)参照)、図8(b)の工程で行った処理と同様にして、一方の面にエポキシ樹脂やポリイミド樹脂等からなる絶縁膜45が形成された支持体44を用意し、この支持体44の絶縁膜45上に、既に個片化されている各Siインターポーザ部11と、前の工程で個片化された各拡張インターポーザ部12bとを配置する。このとき、Siインターポーザ部11が、拡張インターポーザ部12bに形成した開口部内に収容されるような形態で配置する。支持体44は、金属体、あるいは、テープ材のような形態(絶縁膜45が形成される側の面に離型剤が塗布されているもの)でもよい。

【0073】

次の工程では(図10(c)参照)、Siインターポーザ部11と拡張インターポーザ部12bの間、隣接する拡張インターポーザ部12bの間を含めて全面に、CVD法、ラミネート法等により絶縁膜46を形成する。このとき、金属板40に形成したスルーホールTH4の内部にも絶縁膜が形成(充填)される。なお、熱硬化性の樹脂を塗布し、これを硬化させて絶縁膜46を形成するようにしてもよい。ここで形成される絶縁膜46、及び前の工程で形成された絶縁膜45は、それぞれ図1に示した絶縁層13a及び13bに相当する。

【0074】

次の工程では(図10(d)参照)、支持体44(図10(c)参照)を、ウエットエッチング(金属の場合)や剥離(テープ材の場合)等により、除去する。

## 【 0 0 7 5 】

次の工程では(図11(a)参照)、拡張インターポーザ部12bの所定の位置(絶縁膜で充填されたスルーホールTH4の位置)に、例えばUV-YAGレーザ、CO<sub>2</sub>レーザ、エキシマレーザ等により、スルーホールTH5を形成し、さらに、Siインターポーザ部11の配線パターン23の所要の箇所(パッド部)に、例えばレーザにより、当該パッド部に達するようにビアホールVH3を形成する。

## 【 0 0 7 6 】

次の工程では(図11(b)参照)、スルーホールTH5内を含めて全面に、無電解めっき、スパッタリング等によりシード層(Cu)を形成し、このシード層を給電層として電解CuめっきによりスルーホールTH5を充填し、あるいは、Cu等の金属を含有する導電性ペーストをスクリーン印刷法、インクジェット法等によりスルーホールTH5に充填する(導体48)。

10

## 【 0 0 7 7 】

次の工程では(図11(c)参照)、サブトラクティブ法、セミアディティブ法、インクジェット法等により、スルーホールTH5に充填された導体48とビアホールVH3から露出している配線パターン23のパッド部とを接続するように、所要の形状にCuの配線パターン47を形成する。

## 【 0 0 7 8 】

ここで形成される配線パターン47は、図1に示した配線パターン15a, 15bに相当する。

20

## 【 0 0 7 9 】

最後の工程では(図11(d)参照)、両面の配線パターン47の所要の箇所にそれぞれ画定されたパッド部が露出するように全面を覆ってソルダレジスト層29を形成し、さらに、各ソルダレジスト層29から露出している各々のパッド部(Cu)に、Ni/Auめっきを施す(Ni/Auめっき層30の形成)。さらに、Siインターポーザ部11とその外周に配置された拡張インターポーザ部12bを含むように、当該拡張インターポーザ部12bの外周の絶縁膜部分を切断して分離する。

## 【 0 0 8 0 】

以上の工程により、本実施形態に係るインターポーザ10bが作製されたことになる。同様にして、最後の工程においてNi/Auめっき層30を形成した後、必要に応じて、ソルダレジスト層29から露出しているパッド部(Ni/Auめっき層30)に、はんだバンプ(図1の外部接続端子16)を形成してもよい。

30

## 【 図面の簡単な説明 】

## 【 0 0 8 1 】

【図1】本発明の一実施形態に係るインターポーザ(拡張インターポーザ部が絶縁体からなる場合)の構成を模式的に示す断面図である。

【図2】図1のインターポーザを用いて構成された半導体装置の一構成例を模式的に示す断面図である。

【図3】図1のインターポーザを用いて構成された半導体装置の他の構成例を模式的に示す断面図である。

40

【図4】図1のインターポーザの製造工程の一例を示す断面図(一部は平面図)である。

【図5】図4の製造工程に続く製造工程を示す断面図(一部は平面図)である。

【図6】図5の製造工程に続く製造工程を示す断面図である。

【図7】本発明の他の実施形態に係るインターポーザ(拡張インターポーザ部が金属体からなる場合)の製造工程の一例を示す断面図(一部は平面図)である。

【図8】図7の製造工程に続く製造工程を示す断面図(一部は平面図)である。

【図9】図8の製造工程に続く製造工程を示す断面図である。

【図10】本発明の他の実施形態に係るインターポーザ(拡張インターポーザ部が金属体からなる場合)の製造工程の他の例を示す断面図(一部は平面図)である。

【図11】図10の製造工程に続く製造工程を示す断面図である。

50

## 【符号の説明】

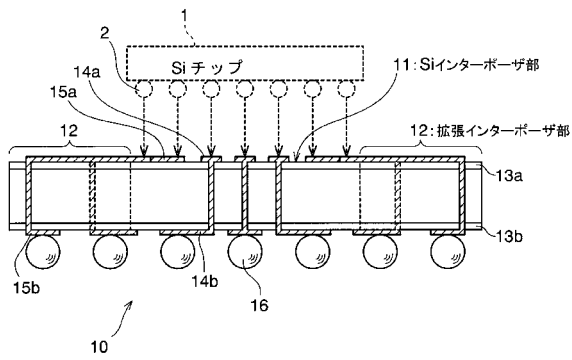
## 【0082】

- 1 ...シリコン ( S i ) チップ ( 半導体チップ )、  
2 ... ( チップの ) 電極端子、  
1 0 , 1 0 a , 1 0 b ... インターポーザ、  
1 1 ... S i インターポーザ部 ( 第 1 のインターポーザ部 )、  
1 2 , 1 2 a , 1 2 b ... 拡張インターポーザ部 ( 第 2 のインターポーザ部 )、  
1 3 a , 1 3 b ... 絶縁層、  
1 4 a , 1 4 b , 1 5 a , 1 5 b ... 配線パターン、  
1 6 ... はんだバンプ ( 外部接続端子 )、  
2 0 ... シリコン ( S i ) ウエハ、  
2 3 , 2 8 ... 配線パターン、  
2 4 ... 支持体、  
2 5 , 2 7 ... 絶縁膜、  
2 6 ... 樹脂層 ( 絶縁体層 )、  
2 9 ... ソルダレジスト層 ( 保護膜 )、  
3 0 ... N i / A u めっき層、  
4 0 ... 金属板、  
4 3 , 4 7 ... 配線パターン、  
4 4 ... 支持体、  
4 5 , 4 6 ... 絶縁膜、  
4 8 ... 導体、  
5 0 , 5 0 a ... 半導体装置、  
5 1 ... プリント配線板 ( 実装用基板 )、  
T H 1 , T H 2 , T H 3 , T H 4 , T H 5 ... スルーホール、  
V H , V H 1 , V H 2 , V H 3 ... ビアホール。

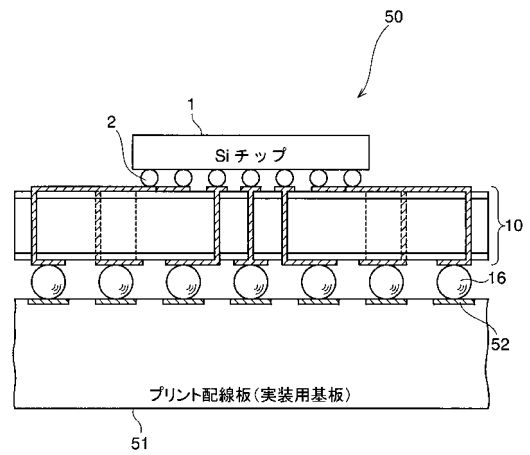
10

20

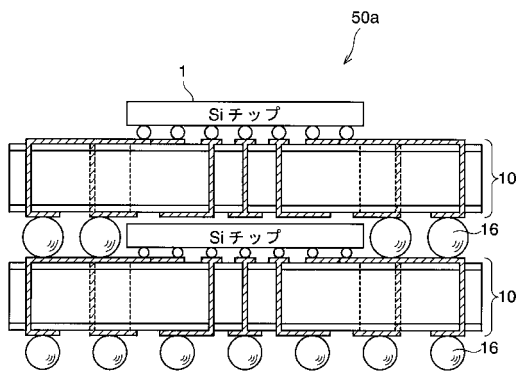
【図1】



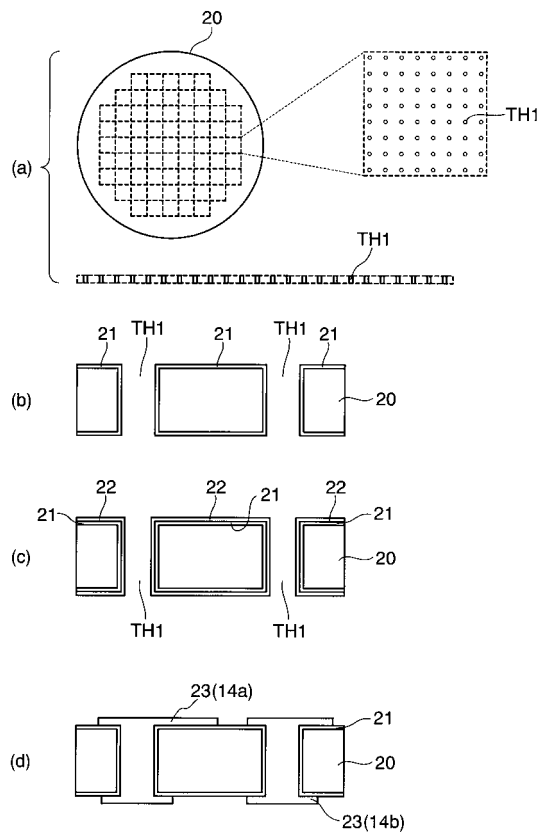
【図2】



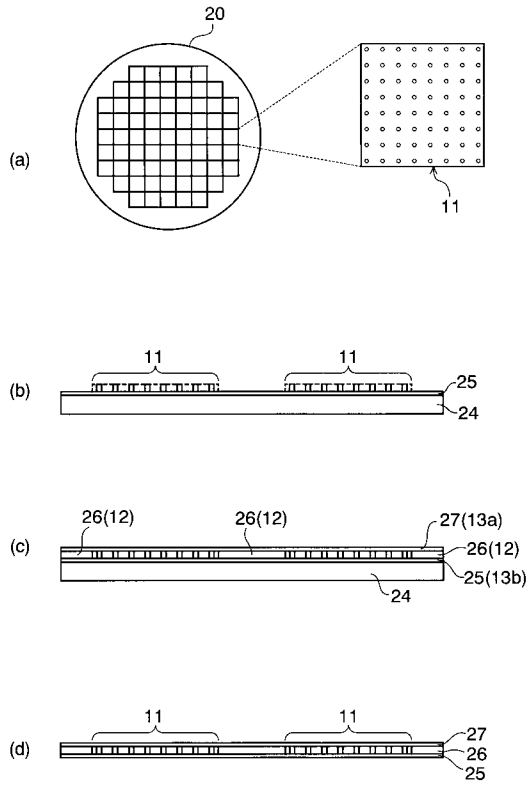
【図3】



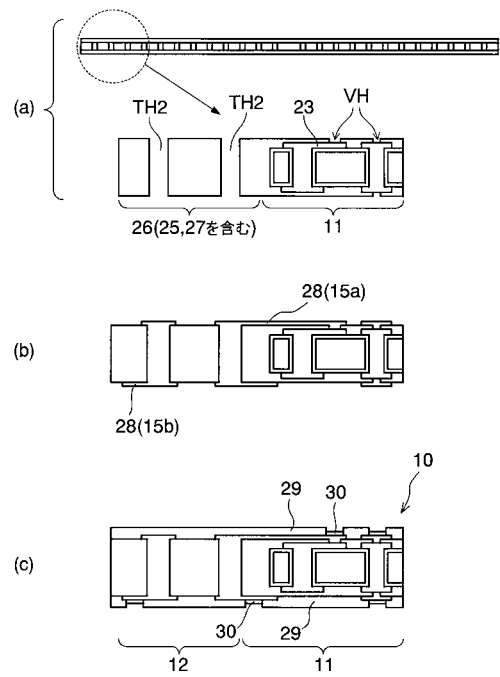
【図4】



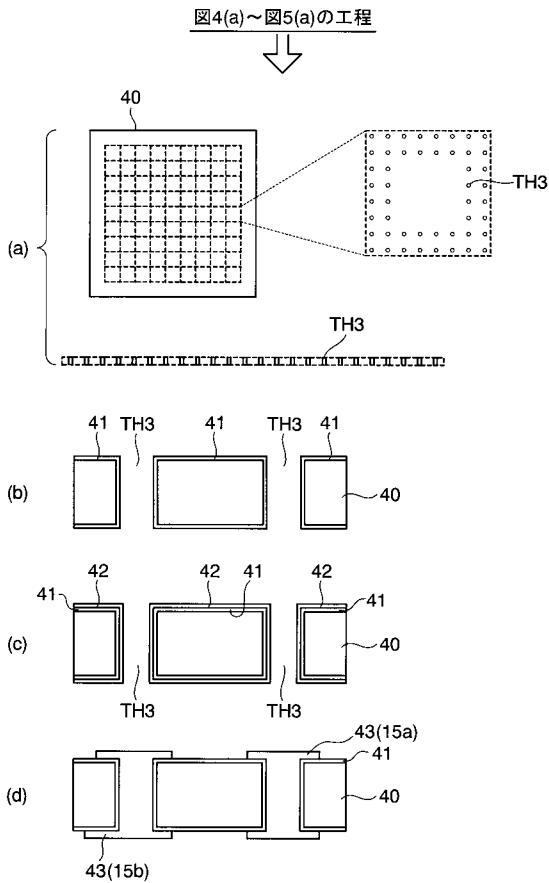
【 図 5 】



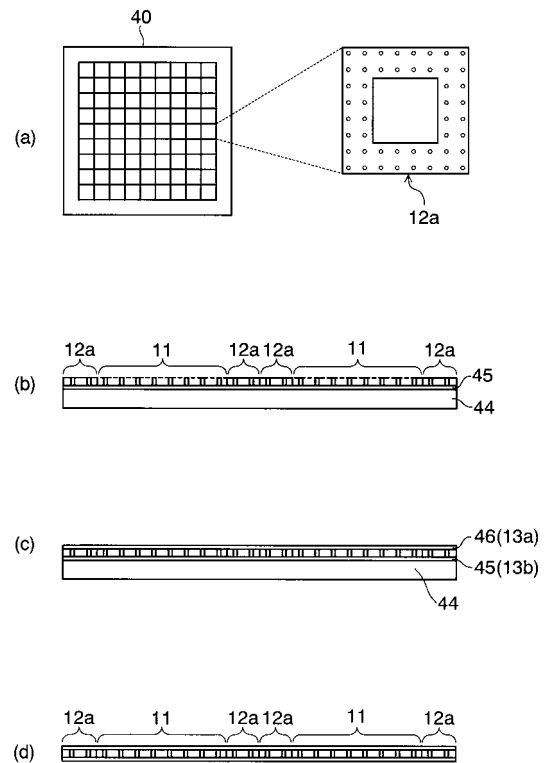
【 図 6 】



【 図 7 】

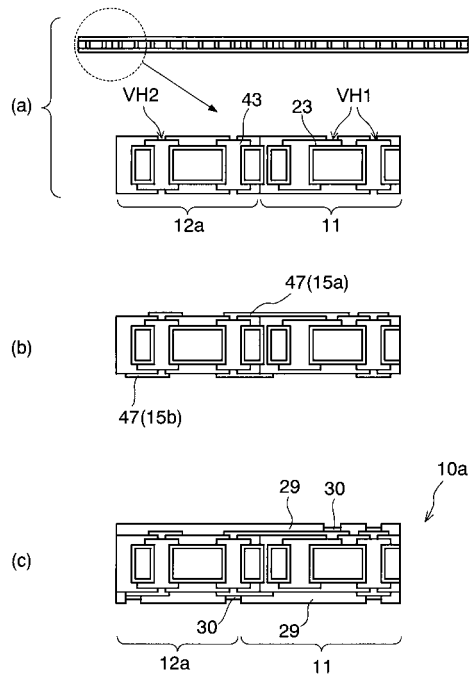


【 図 8 】

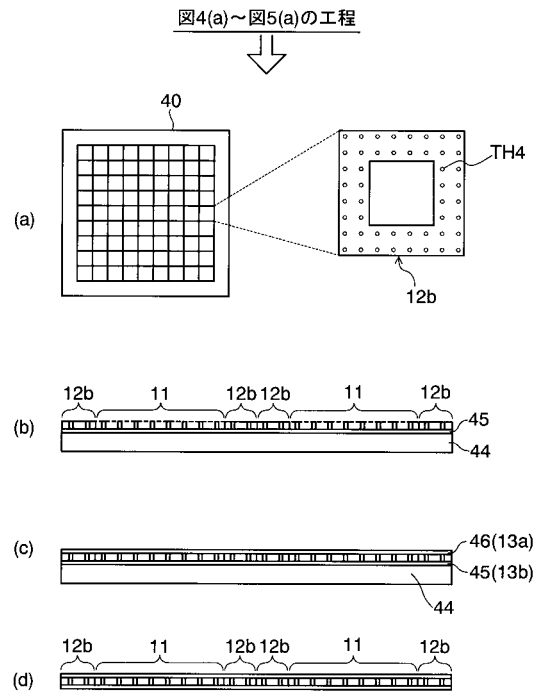




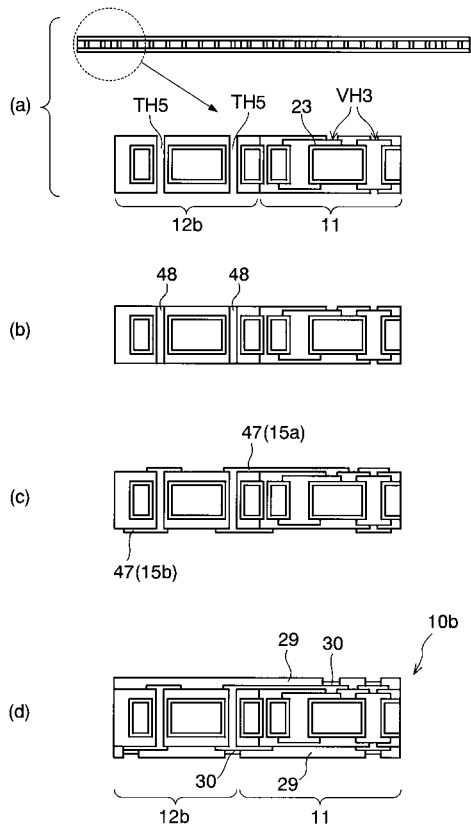
【 図 9 】



【 図 1 0 】



【 図 1 1 】



---

フロントページの続き

(56)参考文献 特開平 1 1 - 2 8 9 0 3 0 ( J P , A )  
特開 2 0 0 1 - 3 4 5 4 0 2 ( J P , A )  
特開 2 0 0 0 - 3 4 9 2 2 5 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)  
H 0 1 L 2 3 / 1 2  
H 0 1 L 2 3 / 1 4  
H 0 1 L 2 3 / 3 2