



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I393233B1

(45) 公告日：中華民國 102 (2013) 年 04 月 11 日

(21) 申請案號：098127676

(22) 申請日：中華民國 98 (2009) 年 08 月 18 日

(51) Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(71) 申請人：欣興電子股份有限公司 (中華民國) UNIMICRON TECHNOLOGY CORP. (TW)  
桃園縣桃園市龜山工業區興邦路 38 號

(72) 發明人：許詩濱 HSU, SHIH PING (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

US 2007/0249154A1

審查人員：邱青松

申請專利範圍項數：14 項 圖式數：17 共 0 頁

(54) 名稱

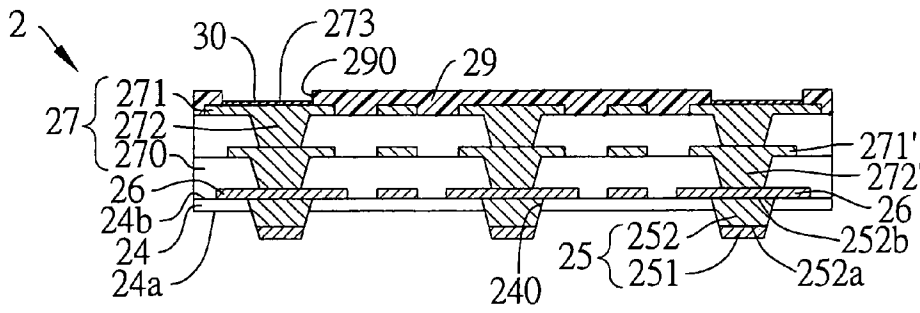
無核心層封裝基板及其製法

CORELESS PACKAGE SUBSTRATE AND METHOD OF FORMING THE SAME

(57) 摘要

一種無核心層封裝基板，係包括：基板本體，係由具有相對第一表面及第二表面之輔助介電層、設於該第二表面上之內層線路、設於該第二表面及內層線路上之增層結構所組成；以及複數電性接觸凸塊，係由具有相對之第一端及第二端之金屬柱與設於該第一端上之焊料層所組成，該金屬柱之第二端係位於該輔助介電層中並電性連接該內層線路，且該金屬柱之第一端及焊料層係凸出於該輔助介電層之第一表面，俾以得到超細間距及高度均一的電性接觸凸塊。本發明復提供一種無核心層封裝基板之製法。

A coreless package substrate is disclosed, including a substrate body comprised of an assisting dielectric layer having opposing first and second surfaces, an inner layer circuit disposed on the second surface, and a built-up layer disposed on both the second surface and the inner layer circuit; and a plurality of electrical contacting bumps constituted by metal pillars having opposing first and second ends and a solder layer disposed on the first end, wherein the second end of the metal pillars are disposed in the assisting dielectric layer and electrically connecting with the inner layer circuit, and wherein the first end of the metal pillars and the solder layer protrude from the first surface of the assisting dielectric layer, thereby achieving ultra-fine pitched and even-height electrical contacting bumps. The invention further provides a method for fabricating the package substrate without a core layer as described above.



第 2K 圖

- 2 . . . 基板本體
- 24 . . . 輔助介電層
- 24a . . . 第一表面
- 24b . . . 第二表面
- 25 . . . 電性接觸凸塊
- 251 . . . 焊料層
- 252 . . . 金屬柱
- 252a . . . 第一端
- 252b . . . 第二端
- 26 . . . 內層線路
- 27 . . . 增層結構
- 270 . . . 介電層
- 271,271' . . . 線路層
- 272,272' . . . 導電盲孔
- 273 . . . 電性接觸墊
- 29 . . . 絕緣保護層
- 290 . . . 絕緣保護層開孔
- 30 . . . 表面處理層

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98127626

※申請日： 98.8.18

※IPC 分類：

H01L 23/488 (2006.01)

H01L 21/60 (2006.01)

一、發明名稱：(中文/英文)

無核心層封裝基板及其製法

CORELESS PACKAGE SUBSTRATE AND METHOD OF FORMING  
THE SAME

二、中文發明摘要：

一種無核心層封裝基板，係包括：基板本體，係由具有相對第一表面及第二表面之輔助介電層、設於該第二表面上之內層線路、設於該第二表面及內層線路上之增層結構所組成；以及複數電性接觸凸塊，係由具有相對之第一端及第二端之金屬柱與設於該第一端上之焊料層所組成，該金屬柱之第二端係位於該輔助介電層中並電性連接該內層線路，且該金屬柱之第一端及焊料層係凸出於該輔助介電層之第一表面，俾以得到超細間距及高度均一的電性接觸凸塊。本發明復提供一種無核心層封裝基板之製法。

### 三、英文發明摘要：

A coreless package substrate is disclosed, including a substrate body comprised of an assisting dielectric layer having opposing first and second surfaces, an inner layer circuit disposed on the second surface, and a built-up layer disposed on both the second surface and the inner layer circuit; and a plurality of electrical contacting bumps constituted by metal pillars having opposing first and second ends and a solder layer disposed on the first end, wherein the second end of the metal pillars are disposed in the assisting dielectric layer and electrically connecting with the inner layer circuit, and wherein the first end of the metal pillars and the solder layer protrude from the first surface of the assisting dielectric layer, thereby achieving ultra-fine pitched and even-height electrical contacting bumps. The invention further provides a method for fabricating the package substrate without a core layer as described above.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 2K ) 圖。

(二)本代表圖之元件符號簡單說明：

2	基板本體
24	輔助介電層
24a	第一表面
24b	第二表面
25	電性接觸凸塊
251	焊料層
252	金屬柱
252a	第一端
252b	第二端
26	內層線路
27	增層結構
270	介電層
271,271'	線路層
272,272'	導電盲孔
273	電性接觸墊
29	絕緣保護層
290	絕緣保護層開孔
30	表面處理層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種無核心層封裝基板及其製法，尤指一種具有線路超細間距之無核心層封裝基板及其製法。

### 【先前技術】

隨著電子產業的蓬勃發展，電子產品也逐漸邁向多功能、高性能的趨勢。為了滿足半導體封裝件高整合度（integration）及微型化（miniaturization）的封裝需求，以供更多主被動元件及線路載接，半導體封裝基板亦逐漸由雙層電路板演變成多層電路板（multi-layer board），以在有限的空間下運用層間連接技術（interlayer connection）來擴大半導體封裝基板上可供利用的線路佈局面積，以配合高線路密度之積體電路（integrated circuit）需要，且降低封裝基板的厚度，而能達到封裝件輕薄短小及提高電性功能之目的。

習知技術之多層電路板係由一核心板及對稱形成於其兩側之線路增層結構所組成，但因使用核心板將導致導線長度及整體結構厚度增加，故而難以滿足電子產品功能不斷提昇且體積卻不斷縮小的需求，遂發展出無核心層（coreless）結構之電路板，以符合縮短導線長度及降低整體結構厚度、及符合高頻化、微小化的趨勢要求。

請參閱第 1A 至 1F 圖，係為習知無核心層封裝基板及其製法之剖視示意圖。

如第 1A 圖所示，首先，提供一承載板 10，該承載板

10 之兩表面上依序各設有薄膜金屬層 11、離形膜 12、與承載金屬層 13。

如第 1B 圖所示，於該承載金屬層 13 上形成第一介電層 14。

如第 1C 圖所示，於該第一介電層 14 中以曝光顯影 (photolithography) 或雷射燒融 (laser ablation) 形成複數盲孔 140，再以蝕刻方式於該些盲孔 140 所外露之承載金屬層 13 表面上形成複數凹陷 (concave) 130。

如第 1D 圖所示，於各該凹陷 130 及對應之盲孔 140 中依序形成焊料凸塊 141a 與第一導電盲孔 141b，並於該第一介電層 14 上形成電性連接該第一導電盲孔 141b 的第一線路層 142；接著，於該第一介電層 14 及第一線路層 142 上形成增層結構 15，該增層結構 15 係包括至少一第二介電層 151、設於該第二介電層 151 上之第二線路層 152、及複數設於該第二介電層 151 中並電性連接該第一線路層 142 與第二線路層 152 之第二導電盲孔 153，且該增層結構 15 最外層之第二線路層 152 復具有複數電性接觸墊 154，又於該增層結構 15 最外層上形成絕緣保護層 16，且該絕緣保護層 16 形成複數絕緣保護層開孔 160，以令各該電性接觸墊 154 對應外露於各該絕緣保護層開孔 160。

如第 1E 圖所示，藉由該離形膜 12 以分離該承載金屬層 13，俾以製成兩脫離該承載板 10 之初始無核心層封裝基板 1。

如第 1F 圖所示，移除該承載金屬層 13，以形成複數

突出於該第一介電層 14 表面之焊料凸塊 141a，而製成無核心層封裝基板，令該焊料凸塊 141a 供後續接置半導體晶片（圖式中未表示），而該電性接觸墊 154 供後續接置印刷電路板（圖式中未表示）。

由上可知，習知無核心層封裝基板之製法係於該承載板 10 之兩側上分別形成兩表面皆設有薄膜金屬層 11 的離形膜 12，再於前述結構兩側之薄膜金屬層 11 上分別形成增層結構 15；最後，沿著該離形膜 12 與承載金屬層 13 的介面分離兩側之增層線路結構而形成兩個無核心層封裝基板。

惟，習知之製法中，因該承載金屬層 13 係為金屬材，故僅能於該承載金屬層 13 上藉由蝕刻方式形成凹陷 130，其孔徑及深度皆有一定之公差，將導致後續形成於該凹陷 130 中之各該焊料凸塊 141a 之體積及高度之公差控制不易，而使共面性(coplanarity)不良，將容易造成半導體晶片接點因應力(stress)不平衡而被破壞、或半導體晶片之部分電極墊因對應之該焊料凸塊 141a 高度不足而未能與之形成接點，而發生無效之電性連接；再者，若該焊料凸塊 141a 之體積平均值偏大或高度平均值偏高時，當進行回焊製程時，該焊料凸塊 141a 將因形變而容易發生造成短路之接點橋接(bridge)現象。

因此，鑒於上述之問題，如何避免習知技術之無核心層封裝基板之製法所造成不利於設計細間距之諸問題，實已成為目前亟欲解決之課題。



## 【發明內容】

鑑於上述習知技術之種種缺失，本發明之主要目的係在提供一種無核心層封裝基板及其製法，能得到超細間距及高度均勻度更佳之凸塊。

為達上述及其他目的，本發明揭露一種無核心層封裝基板，係包括：基板本體，係由具有相對第一表面及第二表面之輔助介電層、設於該第二表面上之內層線路、及設於該第二表面與內層線路上之增層結構所組成，該增層結構係具有至少一介電層、設於該介電層上之線路層、及形成於該介電層中並電性連接該線路層之複數導電盲孔，且部分之導電盲孔係電性連接該線路層與內層線路，又該基板本體之增層結構最外層的線路層復具有複數電性接觸墊；以及複數電性接觸凸塊，係由具有相對之第一端及第二端之金屬柱與設於該第一端上之焊料層所組成，該金屬柱之第二端係位於該輔助介電層中並電性連接該內層線路，且該金屬柱之第一端及焊料層係凸出於該輔助介電層之第一表面。

依上述之封裝基板復可包括絕緣保護層，係設於該增層結構上，且該絕緣保護層形成複數絕緣保護層開孔，以令各該電性接觸墊對應外露於各該絕緣保護層開孔。又可包括表面處理層，係設於各該電性接觸墊上，且形成該表面處理層之材料係選自由電鍍鎳/金、電鍍銀、電鍍錫、化鎳浸金（ENIG）、化鎳鈮浸金（ENEPIG）、化學鍍錫（Immersion Tin）、化學金、化學銀及有機保焊劑（OSP）

所組成之群組中之其中一者。

依上述之封裝基板，該金屬柱係為銅柱。

本發明復揭露一種無核心層封裝基板之製法，係包括：提供一基材，係由具有相對兩表面之承載層、形成於該承載層之相對兩表面上之離形膜、形成於該離形膜上之金屬層、形成於該金屬層上之第一阻層、及形成於該第一阻層上之輔助介電層所組成，並且於各該輔助介電層上定義出有效區；於該輔助介電層及第一阻層形成複數開孔，以露出部份金屬層表面；於各該開孔中以電鍍依序形成焊料層及金屬柱；於該輔助介電層上形成第二阻層，並於該第二阻層中曝光顯影以形成有複數開口區，以外露出部分輔助介電層且對應外露出各該金屬柱；於各該開口區中電鍍形成內層線路，且該內層線路連結該些金屬柱；移除該第二阻層；於該輔助介電層及內層線路上形成增層結構，該增層結構具有至少一介電層、設於該介電層上之線路層、及設於該介電層中且電性連接該線路層與內層線路之導電盲孔，且最外層之線路層具有複數電性接觸墊；於該增層結構上形成絕緣保護層，且該絕緣保護層具有複數絕緣保護層開孔，以令各該電性接觸墊對應外露於各該絕緣保護層開孔；移除該有效區以外之部分；移除該承載層及離形膜，以外露出該金屬層，而形成兩初始基板；移除該金屬層，以令各該開孔中之焊料層及金屬柱形成電性接觸凸塊；以及移除該第一阻層，以形成基板本體，且該基板本體係由該輔助介電層、內層線路及增層結構所組成，並

無核心層，且各該電性接觸凸塊凸出於該輔助介電層表面。

前述之製法中，該承載層與金屬層之面積係可大於該離形膜之面積，且該離形膜對應該有效區，又該基材於該承載層與金屬層之間及該離形膜以外的區域可形成有黏著層，且當移除該有效區以外之部分時，可一併移除該黏著層。

前述之製法中，該金屬層係可為銅箔，且該金屬柱係可為銅柱，又移除該有效區以外之部分係可藉由切割方式。

另外，前述之製法復可包括於該電性接觸墊上形成表面處理層，而形成該表面處理層之材料係選自由電鍍鎳/金、電鍍銀、電鍍錫、化鎳浸金（ENIG）、化鎳鈮浸金（ENEPIG）、化學鍍錫（Immersion Tin）、化學金、化學銀及有機保焊劑（OSP）所組成之群組中之其中之一者。

由上可知，本發明之無核心層封裝基板係藉由形成貫穿該輔助介電層及第一阻層之小孔徑開孔，以有效控制形成於各該開孔中之電性接觸凸塊之體積及高度之平均值與公差，俾可得到超細間距的凸塊。

更詳言之，本發明所形成之電性接觸凸塊，係由金屬柱與設於其上之焊料層所組成；其中，該金屬柱之一端及焊料層係凸出於該輔助介電層之第一表面，相較於習知技術，尤其在經過迴焊之後，本發明之電性接觸凸塊，因金屬柱不隨迴焊而變形，故不會導致各個電性接觸凸塊的平均高度發生明顯改變，且該電性接觸凸塊高度公差亦較小，具有更佳之凸塊共面性，俾能得到更佳之接點可靠度。

## 【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

請參閱第 2A 至 2K 圖，係為本發明所揭露之一種無核心層封裝基板之製法。

如第 2A 圖所示，提供一基材 2a，係由具有相對兩表面之承載層 20、部份形成於該承載層 20 之相對兩表面上之離形膜 21、圍繞該離形膜 21 以外區域之黏著層 20a、形成於該離形膜 21 及黏著層 20a 上之金屬層 22、形成於該金屬層 22 上之第一阻層 23a、及形成於該第一阻層 23a 上之輔助介電層 24 所組成，並且於各該輔助介電層 24 上定義出有效區 A；其中，該承載層 20 與金屬層 22 之面積係大於該離形膜 21 之面積，且該離形膜 21 對應該有效區 A，以於該承載層 20 與金屬層 22 之間及該離形膜 21 以外的區域形成該黏著層 20a，又該金屬層 22 係為銅箔，該離形膜 21 之材質可為金屬材、壓克力材、塑膠材或可剝膠材。

於後續製程中，因該承載層 20 兩表面上之製程均相同，故僅以該承載層 20 之其中一表面作說明，特此述明。

如第 2B 圖所示，於該輔助介電層 24 及第一阻層 23a 上形成複數開孔 240 以露出部分該金屬層 22 表面，且形成該開孔 240 方式可用曝光顯影(photolithography)、雷射燒融、或電漿(plasma)；又形成該開孔 240 之步驟可先在該輔助介電層 24 上形成孔狀結構，再於該第一阻層 23a 上對

應該孔狀結構形成盲孔 230a，以令連通之孔狀結構與盲孔 230a 形成該開孔 240、或者同時貫穿該輔助介電層 24 及第一阻層 23a 以形成該開孔 240；另外，該第一阻層 23a 之材料為光阻材料或可感光之樹脂材料，而該輔助介電層 24 之材料為介電材。

如第 2C 圖所示，藉由該金屬層 22 以於各該開孔 240 中以電鍍方式依序形成焊料層 251 及金屬柱 252；其中，該金屬柱 252 係為銅柱。

如第 2D 圖所示，於該輔助介電層 24 上形成第二阻層 23b，並以曝光顯影令該第二阻層 23b 形成複數開口區 230b，以外露出部分輔助介電層 24 且對應外露出各該金屬柱 252，再於各該開口區 230b 中之輔助介電層 24 與金屬柱 252 上電鍍形成內層線路 26，以令該內層線路 26 電性連接該金屬柱 252。

如第 2E 圖所示，移除該第二阻層 23b，以露出該輔助介電層 24 及內層線路 26。

如第 2F 圖所示，於該輔助介電層 24 及內層線路 26 上形成增層結構 27，且該增層結構 27 具有至少一介電層 270、設於該介電層 270 上之線路層 271、及設於該介電層 270 中且電性連接該線路層 271 之導電盲孔 272，其中部分之導電盲孔 272' 係電性連接該線路層 271' 與內層線路 26，且最外層之線路層 271 具有複數電性接觸墊 273，以供接置印刷電路板之用（圖式中未表示）。

如第 2G 圖所示，於該增層結構 27 上形成絕緣保護層

29，該絕緣保護層 29 可以是防焊綠漆、感光或非感光性之介電材或樹脂，且該絕緣保護層 29 具有複數絕緣保護層開孔 290，以令各該電性接觸墊 273 對應外露於各該絕緣保護層開孔 290。

如第 2H 圖所示，藉由切割方式，沿著切割線 S-S（如第 2G 圖所示）移除該有效區 A 以外之部分，且一併移除該黏著層 20a；因該整版面之無核心層封裝基板上係排版佈設有複數無核心層封裝基板單元，可藉由切割製程，以分離得到複數之單一無核心層封裝基板單元。

如第 2I 圖所示，移除該承載層 20 及離形膜 21，以外露出該金屬層 22，俾以形成兩無核層（coreless）初始基板 2'。

如第 2J 圖所示，移除該金屬層 22，以令各該開孔 240 中之焊料層 251 及金屬柱 252 形成電性接觸凸塊 25；另於各該電性接觸墊 273 上形成表面處理層 30。

如第 2K 圖所示，移除該第一阻層 23a，以形成基板本體 2，且該基板本體 2 係由該輔助介電層 24、內層線路 26 及增層結構 27 所組成，並無核心層，俾完成該無核心層封裝基板之製法，且各該電性接觸凸塊 25 凸出於該輔助介電層 24 表面。

本發明之無核心層封裝基板係利用貫穿該第一阻層 23a 及輔助介電層 24 以形成開孔 240，因該第一阻層 23a 係為乾膜，故可藉由雷射燒融、電漿或曝光顯影方式形成貫穿該第一阻層 23a 之小孔徑盲孔 230a，故能有效控制形

成於各該開孔 240 中之電性接觸凸塊 25 之體積及高度之平均值與公差，俾以達到細間距的要求。

更詳言之，本發明所形成之電性接觸凸塊 25，係由金屬柱 252 與設於其上之焊料層 251 所組成；其中，該金屬柱 252 及焊料層 251 係凸出於該輔助介電層 24，且該焊料層 251 於該電性接觸凸塊 25 中所占之體積較小，相較於習知技術，尤其在經過迴焊之後，本發明因金屬柱 252 不隨迴焊而變形，故不會導致各個電性接觸凸塊 25 的平均高度發生明顯改變，且該電性接觸凸塊 25 高度公差亦較小，因而具有更佳之凸塊共面性，能避免該焊料層 251 之形變發生造成短路之接點橋接現象，俾能得到更佳之接點可靠度，以令本發明能有效電性連接半導體晶片。

本發明復揭露一種無核心層封裝基板，係包括基板本體 2 以及複數電性接觸凸塊 25。

所述之基板本體 2 係由具有相對第一表面 24a 及第二表面 24b 之輔助介電層 24、設於該第二表面 24b 上之內層線路 26、設於該第二表面 24b 及內層線路 26 上之增層結構 27 所組成，該輔助介電層 24 上形成有複數開孔 240 以露出部分該內層線路 26；其中，該增層結構 27 係具有至少一介電層 270、設於該介電層 270 上之線路層 271、及形成於該介電層 270 中並電性連接該線路層 271 之複數導電盲孔 272，且部分之導電盲孔 272' 係電性連接該線路層 271' 與內層線路 26，且最外層之線路層 271 具有複數電性接觸墊 273，以供接置印刷電路板之用（圖式中未表示）。

所述之複數電性接觸凸塊 25 係由具有相對之第一端

252a 及第二端 252b 係為銅柱之金屬柱 252、及設於該金屬柱 252 之第一端 252a 上的焊料層 251 所組成，該金屬柱 252 之第二端 252b 係位於該輔助介電層 24 之開孔 240 中並電性連接該內層線路 26，且該金屬柱 252 之第一端 252a 及焊料層 251 係凸出於該輔助介電層 24 之第一表面 24a，又該金屬柱 252 之第一端 252a 之端面直徑小於或等於該輔助介電層 24 之開孔 240 之孔徑。

所述之無核心層封裝基板復包括絕緣保護層 29 及表面處理層 30，該絕緣保護層 29 係設於該增層結構 27 上，且該絕緣保護層 29 中形成複數絕緣保護層開孔 290，以令各該電性接觸墊 273 對應外露於各該絕緣保護層開孔 290；該表面處理層 30 係設於各該電性接觸墊 273 之外露表面上，且形成該表面處理層 30 之材料係選自由電鍍鎳/金、電鍍銀、電鍍錫、化鎳浸金 (ENIG)、化鎳鈮浸金 (ENEPIG)、化學鍍錫 (Immersion Tin)、化學金、化學銀及有機保焊劑(OSP)所組成之群組中之其中之一者。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

### 【圖式簡單說明】

第 1A 至 1F 圖係為習知無核心層封裝基板之剖視示意圖；以及

第 2A 至 2K 圖係為本發明無核心層封裝基板之製法之示意圖。



## 【主要元件符號說明】

1	初始無核心層封裝基板
10	承載板
11	薄膜金屬層
12、21	離形膜
13	承載金屬層
130	凹陷
14	第一介電層
140,230a	盲孔
141a	焊料凸塊
141b	第一導電盲孔
142	第一線路層
15,27	增層結構
151	第二介電層
152	第二線路層
153	第二導電盲孔
154,273	電性接觸墊
16,29	絕緣保護層
160、290	絕緣保護層開孔
2	基板本體
2'	初始基板
2a	基材
20	承載層
20a	黏著層

22	金屬層
23a	第一阻層
23b	第二阻層
230b	開口區
24	輔助介電層
24a	第一表面
24b	第二表面
240	開孔
25	電性接觸凸塊
251	焊料層
252	金屬柱
252a	第一端
252b	第二端
26	內層線路
270	介電層
271,271'	線路層
272、272'	導電盲孔
290	絕緣保護層開孔
30	表面處理層
A	有效區
S-S	切割線

101年12月7日修正本

## 七、申請專利範圍：

## 1. 一種無核心層封裝基板，係包括：

基板本體，係由具有相對第一表面及第二表面之輔助介電層、設於該第二表面上之內層線路、及設於該第二表面與內層線路上之增層結構所組成，該輔助介電層上形成有複數開孔以露出部分該內層線路，該增層結構係具有至少一介電層、設於該介電層上之線路層、及形成於該介電層中並電性連接該線路層之複數導電盲孔，且部分該導電盲孔係電性連接該線路層與內層線路，又該基板本體之增層結構最外層的線路層復具有複數電性接觸墊；以及

複數電性接觸凸塊，係由具有相對之第一端及第二端之金屬柱與設於該第一端上之焊料層所組成，該金屬柱之第二端係位於該輔助介電層之開孔中並電性連接該內層線路，且該金屬柱之第一端及焊料層係凸出於該輔助介電層之第一表面，又該金屬柱之第一端之端面直徑小於或等於該輔助介電層之開孔之孔徑。

2. 如申請專利範圍第 1 項所述之無核心層封裝基板，復包括絕緣保護層，係設於該增層結構上，且該絕緣保護層形成複數絕緣保護層開孔，以令各該電性接觸墊對應外露於各該絕緣保護層開孔。

3. 如申請專利範圍第 2 項之無核心層封裝基板，復包括表面處理層，係設於各該電性接觸墊上。

4. 如申請專利範圍第 3 項之無核心層封裝基板，其中，

形成該表面處理層之材料係選自由電鍍鎳/金、電鍍銀、電鍍錫、化鎳浸金 (ENIG)、化鎳鈀浸金 (ENEPIG)、化學鍍錫 (Immersion Tin)、化學金、化學銀及有機保焊劑(OSP)所組成之群組中之其中之一者。

5. 如申請專利範圍第 1 項所述之無核心層封裝基板，其中，該金屬柱係為銅柱。
6. 一種無核心層封裝基板之製法，係包括：

提供一基材，係由具有相對兩表面之承載層、形成於該承載層之相對兩表面上之離形膜、形成於該離形膜上之金屬層、形成於該金屬層上之第一阻層、及形成於該第一阻層上之輔助介電層所組成，並且於各該輔助介電層上定義出有效區，該有效區之外圍係為該基材邊緣；

於該輔助介電層及第一阻層形成複數開孔，以露出部份金屬層表面；

於各該開孔中以電鍍依序形成焊料層及金屬柱；

於該輔助介電層上形成第二阻層，並於該第二阻層中曝光顯影以形成有複數開口區，以外露出部分輔助介電層且對應外露出各該金屬柱；

於各該開口區中電鍍形成內層線路，且該內層線路連結該些金屬柱；

移除該第二阻層；

於該輔助介電層及內層線路上形成增層結構，該

增層結構具有至少一介電層、設於該介電層上之線路層、及設於該介電層中且電性連接該線路層與內層線路之導電盲孔，且最外層之線路層具有複數電性接觸墊；

於該增層結構上形成絕緣保護層，且該絕緣保護層具有複數絕緣保護層開孔，以令各該電性接觸墊對應外露於各該絕緣保護層開孔；

移除該有效區以外及其上之結構；

移除該承載層及離形膜，以外露出該金屬層，而形成兩初始基板；

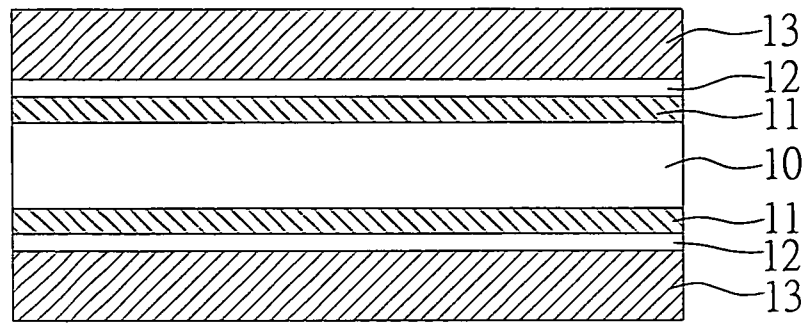
移除該金屬層，以令各該開孔中之焊料層及金屬柱形成電性接觸凸塊；以及

移除該第一阻層，以形成基板本體，且該基板本體係由該輔助介電層、內層線路及增層結構所組成，並無核心層，且各該電性接觸凸塊凸出於該輔助介電層表面。

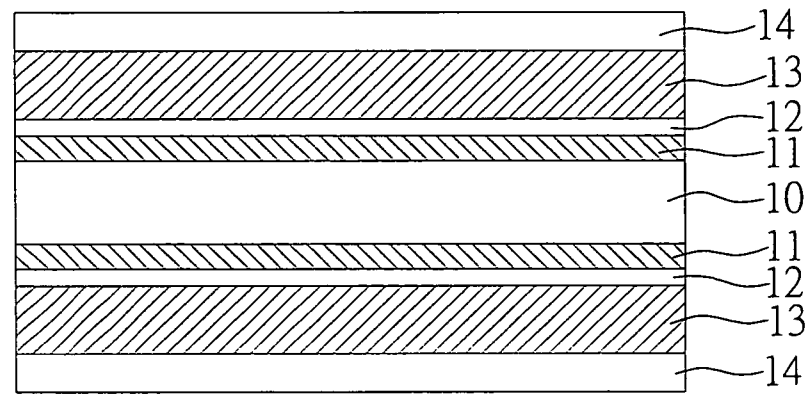
7. 如申請專利範圍第 6 項所述之無核心層封裝基板之製法，其中，該承載層與金屬層之面積係大於該離形膜之面積，且該離形膜對應該有效區。
8. 如申請專利範圍第 7 項所述之無核心層封裝基板之製法，其中，該基材係於該承載層與金屬層之間及該離形膜以外的區域形成黏著層。
9. 如申請專利範圍第 8 項所述之無核心層封裝基板之製法，其中，移除該有效區以外及其上之結構時，一併

移除該黏著層。

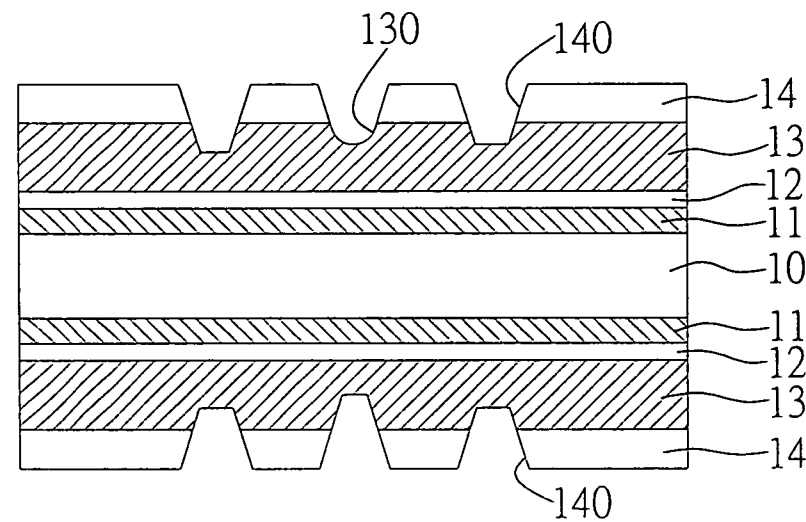
10. 如申請專利範圍第 6 項所述之無核心層封裝基板之製法，其中，該金屬層係為銅箔。
11. 如申請專利範圍第 6 項所述之無核心層封裝基板之製法，其中，該金屬柱係為銅柱。
12. 如申請專利範圍第 6 項所述之無核心層封裝基板之製法，其中，移除該有效區以外及其上之結構係藉由切割方式。
13. 如申請專利範圍第 6 項所述之無核心層封裝基板之製法，復包括於該電性接觸墊上形成表面處理層。
14. 如申請專利範圍第 13 項之無核心層封裝基板之製法，其中，形成該表面處理層之材料係選自由電鍍鎳/金、電鍍銀、電鍍錫、化鎳浸金 (ENIG)、化鎳鈮浸金 (ENEPIG)、化學鍍錫 (Immersion Tin)、化學金、化學銀及有機保焊劑 (OSP) 所組成之群組中之其中之一者。



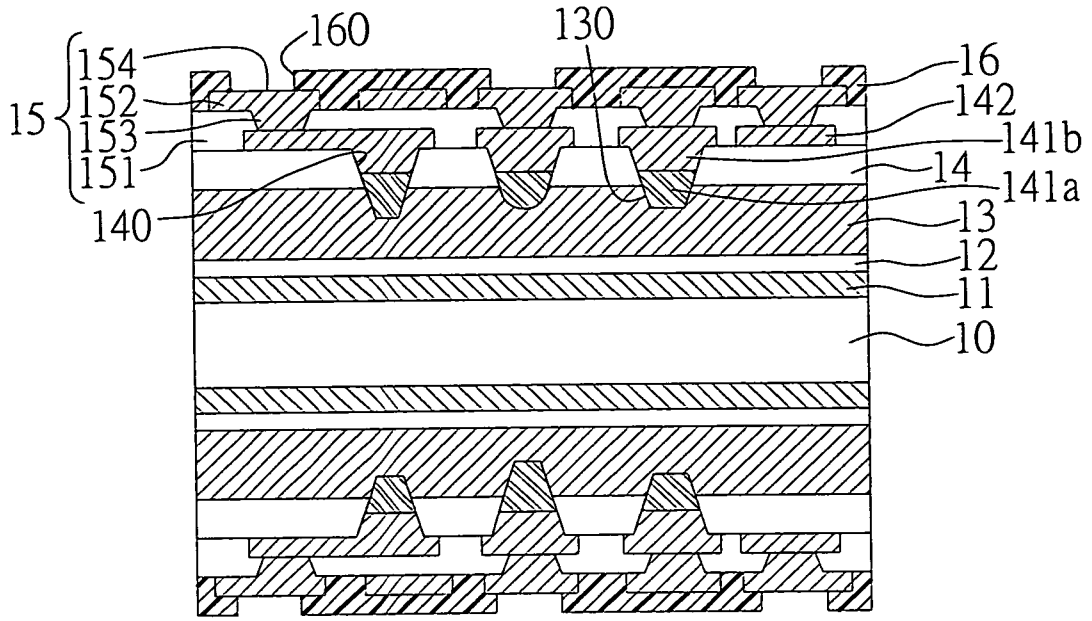
第1A圖



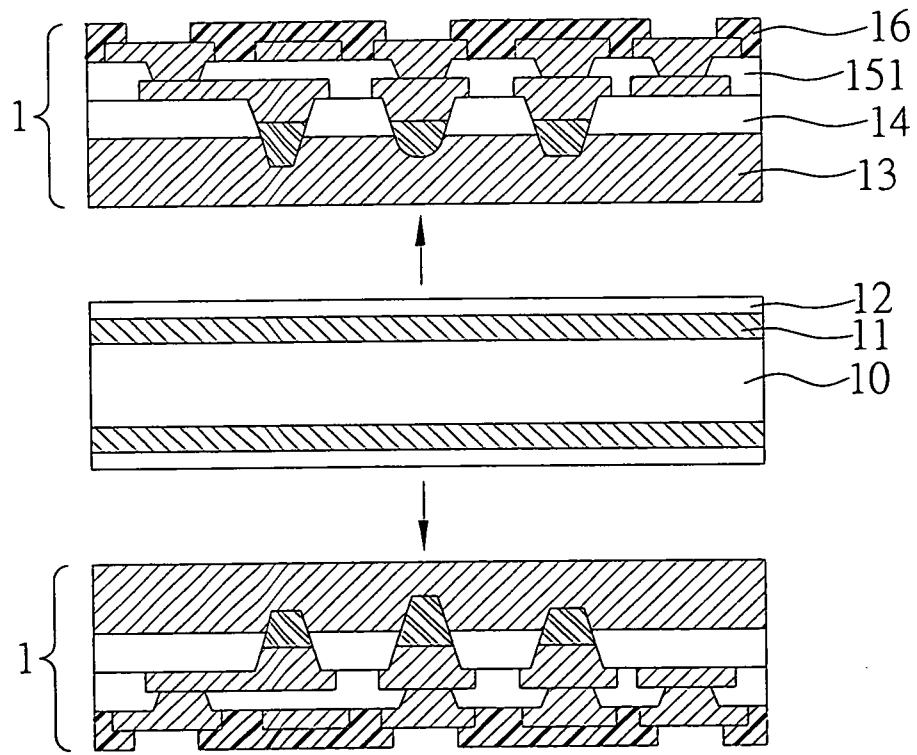
第1B圖



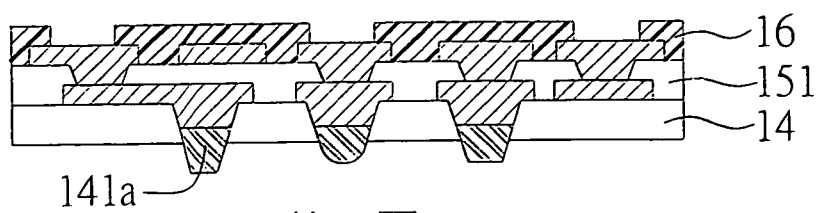
第1C圖



第1D圖

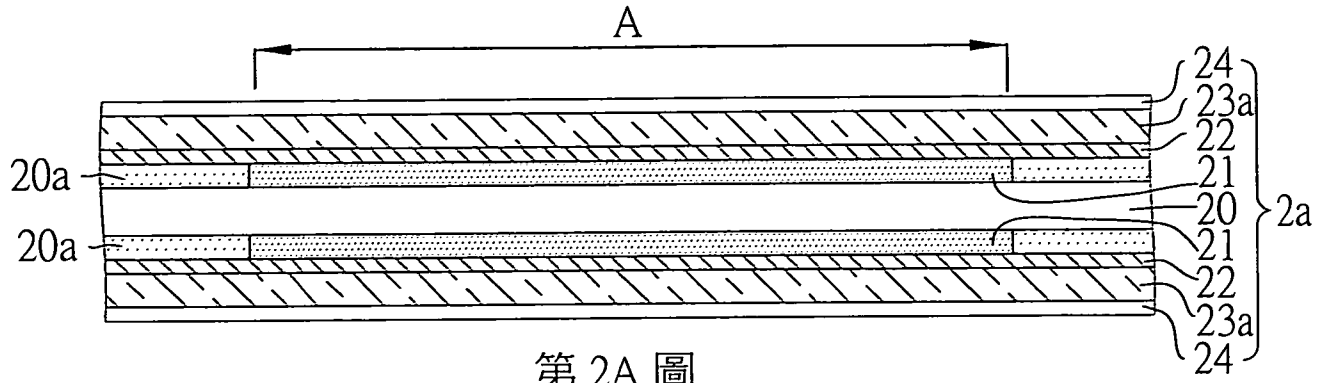


第1E圖

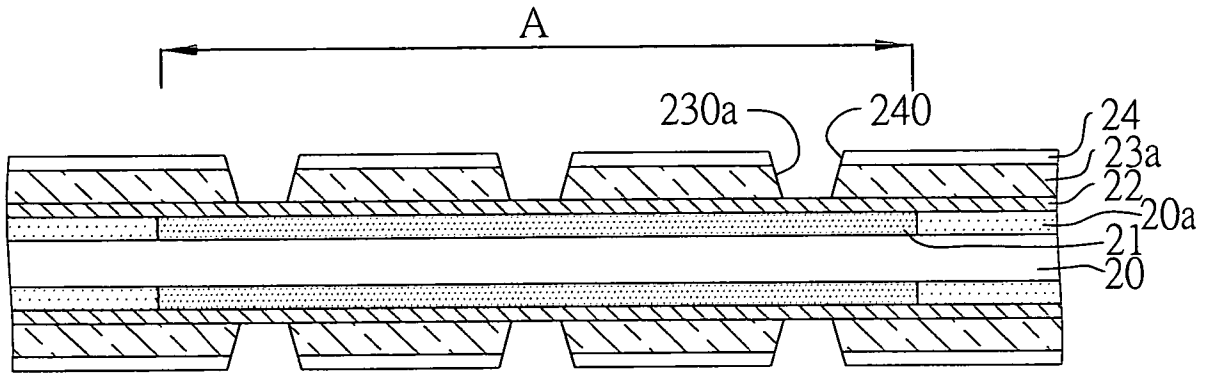


第1F圖

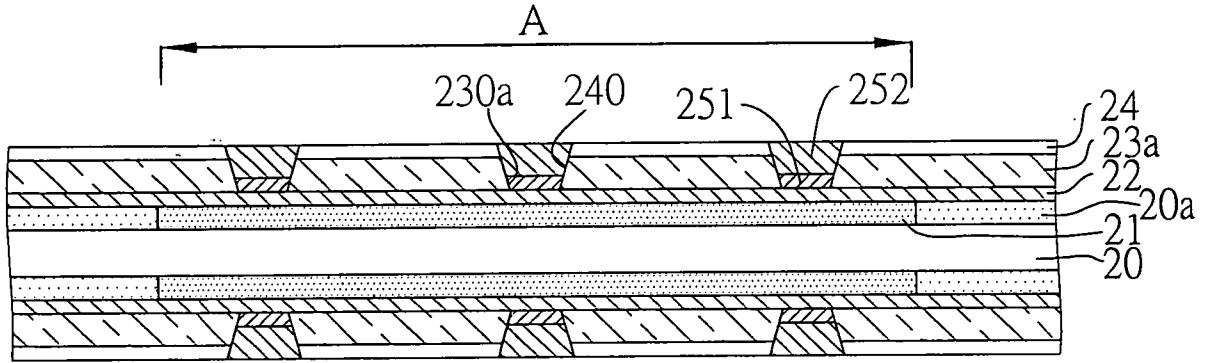




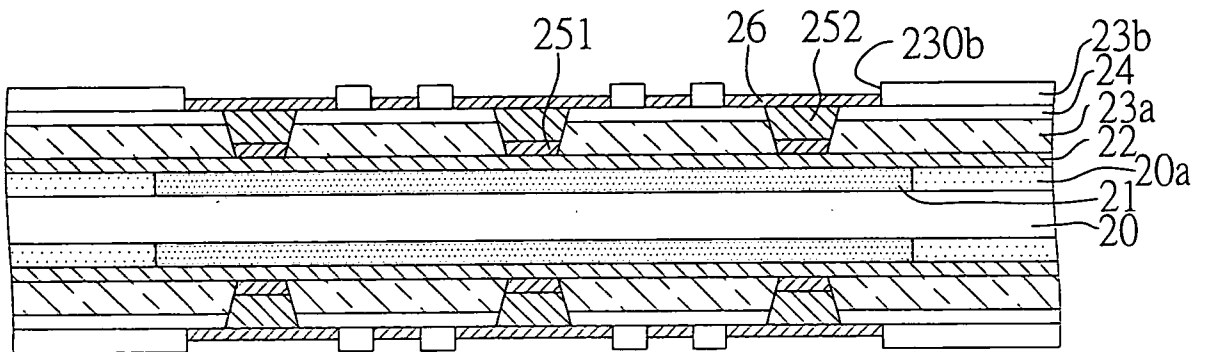
第 2A 圖



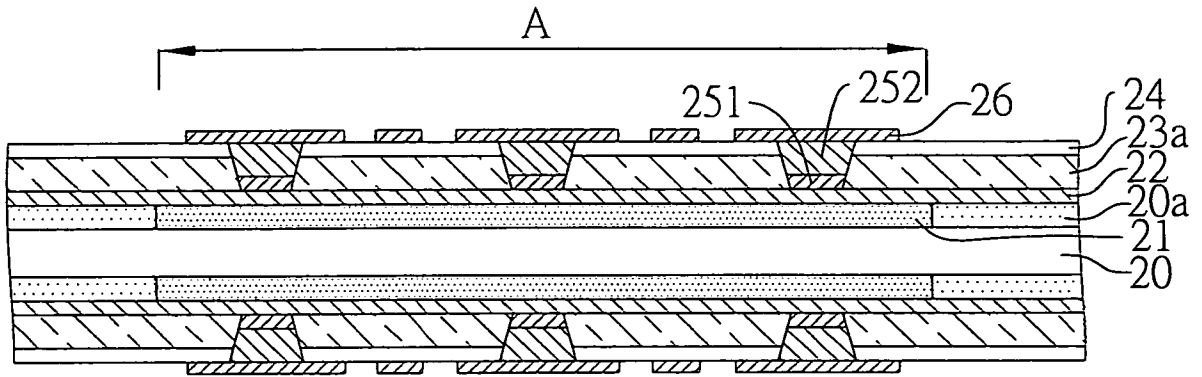
第 2B 圖



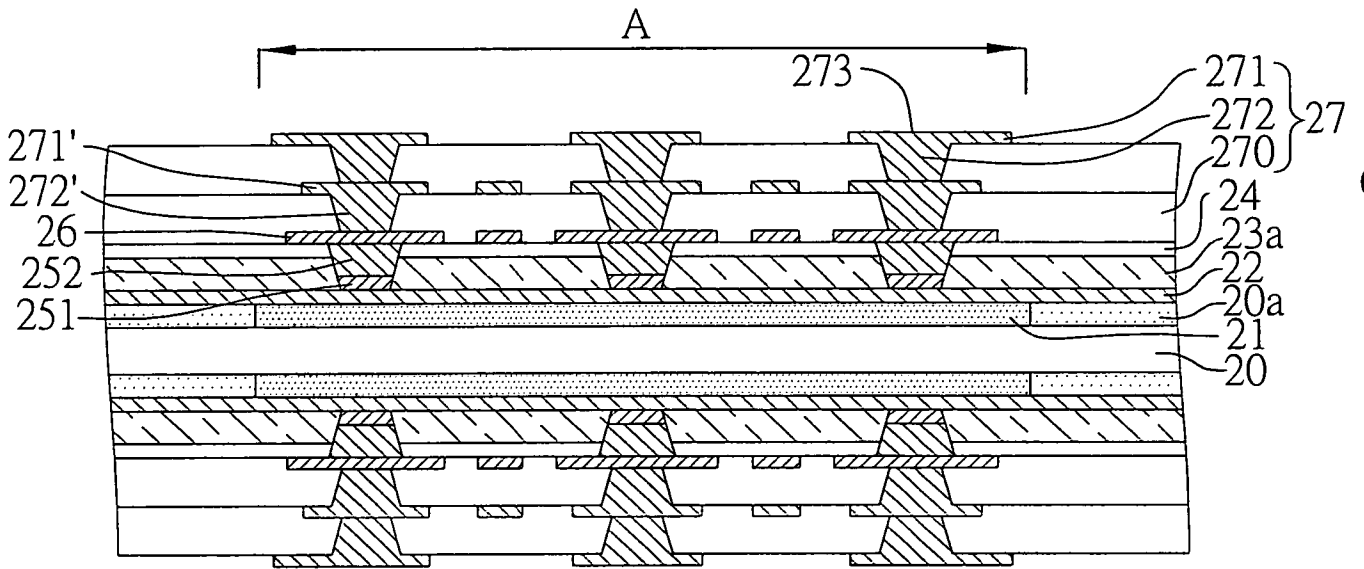
第 2C 圖



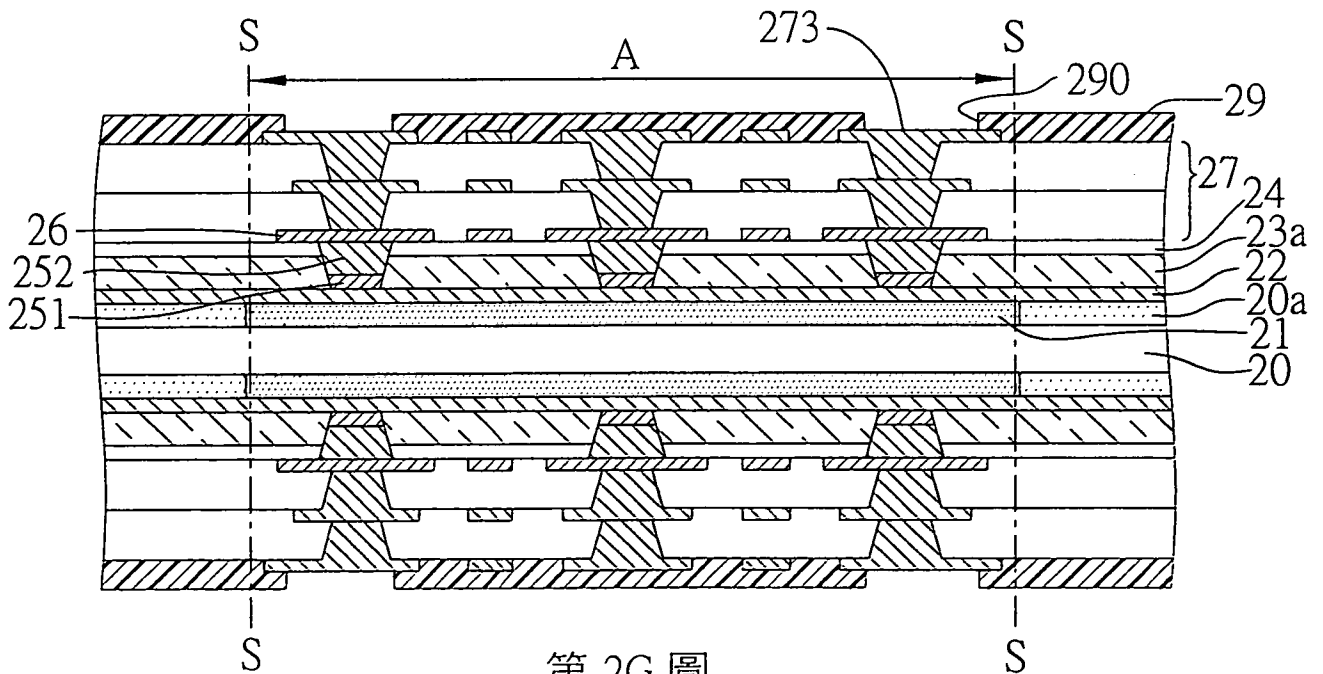
第 2D 圖



第 2E 圖



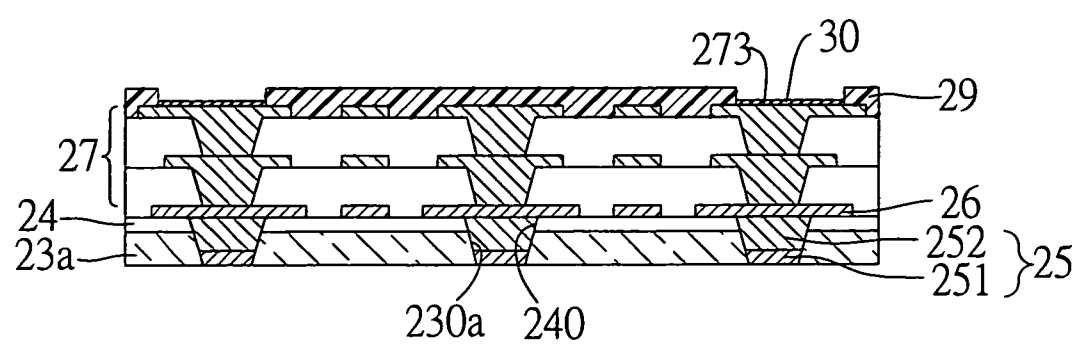
第 2F 圖



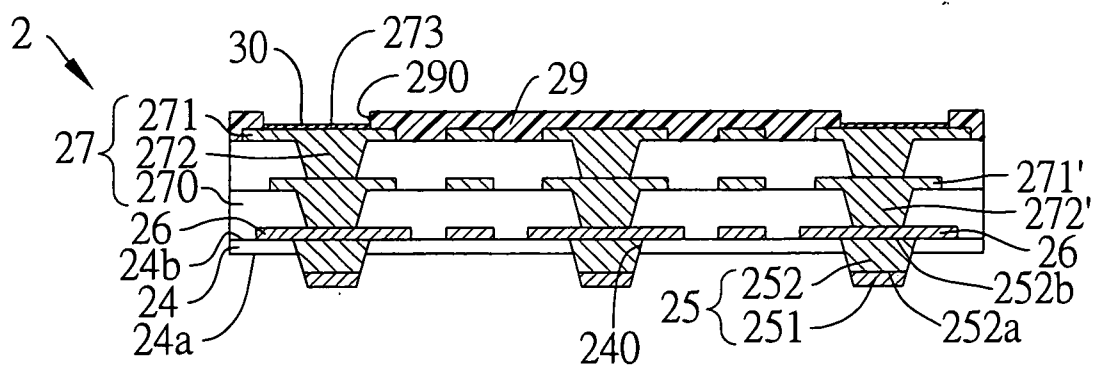
第 2G 圖



10/12/7 日修正替換頁



第 2J 圖



第 2K 圖