



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0022218
(43) 공개일자 2022년02월25일

(51) 국제특허분류(Int. Cl.)

H01L 23/00 (2006.01) H01L 23/498 (2006.01)
H01L 23/525 (2006.01) H01L 23/528 (2006.01)
H01L 23/532 (2006.01)

(52) CPC특허분류

H01L 24/06 (2013.01)
H01L 23/49816 (2013.01)

(21) 출원번호 10-2020-0103126

(22) 출원일자 2020년08월18일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

송솔지

경기도 수원시 영통구 권선로882번길 108-18

김병찬

충청남도 아산시 탕정면 삼성로 261, 산호동 902호

(뒷면에 계속)

(74) 대리인

박영우

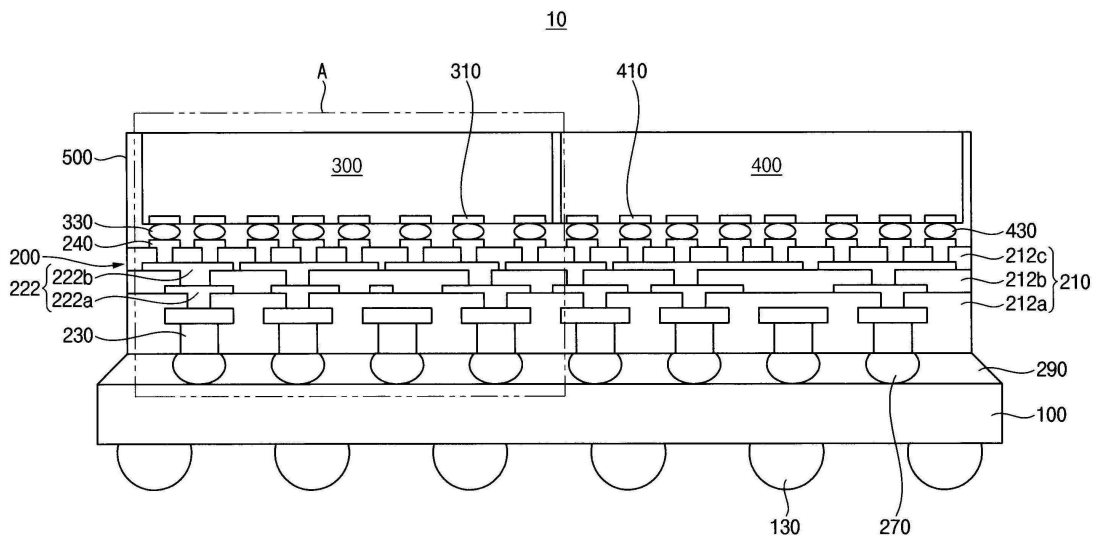
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 패키지 및 반도체 패키지의 제조 방법

(57) 요약

반도체 패키지는 패키지 기판, 상기 패키지 기판 상에 배치되고, 제1 면 및 상기 제1 면에 반대하는 제2 면을 가지며, 상기 제1 면에 노출되도록 구비되며 제1 폭을 갖는 제1 패드 패턴 및 상기 제1 패드 패턴 상에 상기 제1 폭보다 큰 제2 폭을 갖는 제2 패드 패턴을 갖는 복수개의 본딩 패드들을 갖는 인터포저, 상기 인터포저 상에 서로 배치되는 제1 및 제2 반도체 장치들을 포함한다.

대표도



(52) CPC특허분류

H01L 23/525 (2013.01)

H01L 23/528 (2013.01)

H01L 23/53209 (2013.01)

H01L 24/97 (2013.01)

(72) 발명자

박점용

충청남도 천안시 서북구 충무로 124-24

안진호

서울특별시 강남구 언주로30길 26

이충선

충청남도 아산시 탕정면 탕정면로 37

진정기

서울특별시 송파구 위례광장로 121, 2411동 903호

최주일

경기도 성남시 분당구 수내로 74, 602동 2002호

명세서

청구범위

청구항 1

제1 면 및 상기 제1 면에 반대하는 제2 면을 가지며, 상기 제1 면에 노출되도록 구비되며 제1 폭을 갖는 제1 패드 패턴 및 상기 제1 패드 패턴 상에 상기 제1 폭보다 큰 제2 폭을 갖는 제2 패드 패턴을 갖는 복수 개의 본딩 패드들을 갖는 인터포저; 및

상기 인터포저 상에 배치되는 제1 및 제2 반도체 장치들을 포함하는 반도체 패키지.

청구항 2

제 1 항에 있어서, 상기 인터포저는 상기 제1 및 제2 반도체 칩들 및 상기 본딩 패드를 전기적으로 연결시키는 재배선들을 갖는 반도체 패키지.

청구항 3

제 2 항에 있어서, 복수 개의 상기 본딩 패드들은 상기 재배선과 전기적으로 연결되는 연결 패드 및 상기 재배선과 전기적으로 연결되지 않은 더미 패드를 포함하는 반도체 패키지.

청구항 4

제 1 항에 있어서, 상기 제1 패드 패턴은 제1 금속 물질을 포함하고 상기 제2 패드 패턴은 상기 제1 금속 물질과 다른 제2 금속 물질을 포함하는 반도체 패키지.

청구항 5

제 4 항에 있어서, 상기 제1 금속 물질은 구리, 알루미늄 및 티타늄 중에서 선택된 적어도 어느 하나를 포함하는 반도체 패키지.

청구항 6

제 4 항에 있어서, 상기 제2 금속 물질은 니켈, 몰리브덴, 티타늄, 금, 은, 크롬 및 주석 중에서 선택된 적어도 어느 하나를 포함하는 반도체 패키지.

청구항 7

제 1 항에 있어서, 상기 제2 패드 패턴의 상기 제2 폭과 상기 제1 패드 패턴의 상기 제1 폭의 차이는 $0.1\mu\text{m}$ 내지 $2\mu\text{m}$ 의 범위 내인 반도체 패키지.

청구항 8

제 1 항에 있어서, 상기 제1 패드 패턴은 제1 두께를 갖고 상기 제2 패드 패턴은 상기 제1 두께보다 작은 제2 두께를 갖는 반도체 패키지.

청구항 9

제 8 항에 있어서, 상기 제1 두께와 상기 제2 두께는 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 의 범위 이내에 있는 반도체 패키지.

청구항 10

제 1 항에 있어서, 상기 인터포저는 상기 제2 면에 노출되도록 구비되는 복수 개의 제2 본딩 패드들을 더 포함하고,

상기 제2 본딩 패드의 폭은 상기 본딩 패드의 폭보다 작은 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지 및 반도체 패키지의 제조 방법에 관한 것으로, 보다 상세하게는 인터포저를 통해 적층된 서로 다른 복수 개의 반도체 칩들을 포함하는 반도체 패키지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 재배선 인터포저(RDL(Redistribution Layer) Interposer)는 솔더 범프와의 접합을 위한 본딩 패드(Under bump metallurgy)를 포함할 수 있다. 이 경우에 있어서, TC(temperature cycle)과 같은 신뢰성 테스트에서 상기 솔더 범프와 접합된 본딩 패드와 절연막 사이의 계면 접착 문제로 인한 분리의 문제가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 과제는 신뢰성을 향상시킬 수 있는 본딩 패드 구조물을 갖는 인터포저를 포함하는 반도체 패키지를 제공하는 데 있다.

[0004] 본 발명의 다른 과제는 상술한 반도체 패키지를 제조하는 방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 상기 본 발명의 일 과제를 달성하기 위한 예시적인 실시 예들에 따른 반도체 패키지는, 제1 면 및 상기 제1 면에 반대하는 제2 면을 가지며, 상기 제1 면에 노출되도록 구비되며 제1 폭을 갖는 제1 패드 패턴 및 상기 제1 패드 패턴 상에 상기 제1 폭보다 큰 제2 폭을 갖는 제2 패드 패턴을 갖는 복수 개의 본딩 패드들을 갖는 인터포저, 및 상기 인터포저 상에 배치되는 제1 및 제2 반도체 장치들을 포함한다.

[0006] 상기 본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지는, 제1 면 및 상기 제1 면에 반대하는 제2 면을 가지며 내부에 재배선들이 형성된 재배선층 및 상기 제1 면에 노출되도록 구비되며 제1 폭을 갖는 제1 패드 패턴 및 상기 제1 패드 패턴 상에 상기 제1 폭보다 큰 제2 폭을 갖는 제2 패드 패턴을 갖는 복수 개의 본딩 패드들을 포함하는 인터포저, 상기 인터포저의 상기 제2 면 상에 배치되는 제1 및 제2 반도체 장치들, 및 상기 제1 패드 패턴들 상에 각각 배치되는 복수 개의 도전성 연결 부재들을 포함한다.

[0007] 상기 본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지는, 패키지 기판, 상기 패키지 기판 상에 배치되고 제1 면 및 상기 제1 면에 반대하는 제2 면을 가지며, 상기 제1 면에 노출되도록 구비되며 제1 폭을 갖는 제1 패드 패턴 및 상기 제1 패드 패턴 상에 상기 제1 폭보다 큰 제2 폭을 갖는 제2 패드 패턴을 갖는 복수 개의 제1 본딩 패드들 및 상기 제2 면에 노출되도록 구비되는 복수 개의 제2 본딩 패드들을 갖는 인터포저, 상기 인터포저의 상기 제2 면 상에 서로 이격 배치되는 제1 및 제2 반도체 장치들, 상기 제1 패드 패턴들 상에 각각 배치되는 복수 개의 제1 도전성 연결 부재들, 및 상기 제2 본딩 패드들 상에 각각 배치되는 복수 개의 제2 도전성 연결 부재들을 포함한다. 상기 제2 본딩 패드의 폭은 상기 제1 패드 패턴의 상기 제1 폭보다 작다.

발명의 효과

[0008] 예시적인 실시 예들에 따르면, 반도체 패키지는 인터포저 및 상기 인터포저 상에 배치되는 제1 및 제2 반도체 장치들을 포함할 수 있다. 상기 인터포저는 하부면에 노출되도록 구비되는 복수 개의 본딩 패드들을 포함할 수 있다. 상기 본딩 패드는 제1 폭을 갖는 제1 패드 패턴 및 상기 제1 패드 패턴 상에 위치하여 상기 제1 폭보다 큰 제2 폭을 갖는 제2 패드 패턴을 포함할 수 있다. 상기 본딩 패드는 상기 인터포저의 절연막 내에 고정되어 위치할 수 있다.

[0009] 이에 따라, 상기 본딩 패드는 T자 단면 형상을 가지므로, 상기 제1 폭과 제2 폭의 차이만큼 돌출된 상기 제2 패드 패턴이 상기 인터포저의 절연막 내에 기계적 결합으로 고정되는 앵커효과(Anchor Effect)를 일으켜 TC(temperature cycle)와 같은 반도체 신뢰도 평가 시 본딩 패드가 인터포저로부터 분리되는 것을 방지할 수 있다.

[0010] 다만, 본 발명의 효과는 상기 언급한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0011] 도 1은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다.
- 도 2는 도 1의 A 부분을 나타내는 확대 단면도이다.
- 도 3은 도 2의 B 부분을 나타내는 확대 단면도이다.
- 도 4 내지 도 20은 예시적인 실시예들에 따른 반도체 패키지를 제조하는 방법을 나타내는 단면도들이다.
- 도 21은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다.
- 도 22는 도 21의 C 부분을 나타내는 확대 단면도이다.
- 도 23는 도 22의 D 부분을 나타내는 확대 단면도이다.
- 도 24 내지 도 29는 예시적인 실시예들에 따른 반도체 패키지를 제조하는 방법을 나타내는 단면도들이다.
- 도 30는 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다.
- 도 31은 도 30의 E 부분을 나타내는 확대 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- [0013] 도 1은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다. 도 2는 도 1의 A 부분을 나타내는 확대 단면도이다. 도 3은 도 2의 B 부분을 나타내는 확대 단면도이다.
- [0014] 도 1 내지 도 3을 참조하면, 반도체 패키지(10)는 인터포저(200), 및 인터포저(200) 상에 배치되는 제1 반도체 장치(300) 및 제2 반도체 장치(400)를 포함할 수 있다. 또한, 반도체 패키지(10)는 인터포저(200)가 배치되는 패키지 기판(100)을 더 포함할 수 있다.
- [0015] 예시적인 실시예들에 있어서, 반도체 패키지(10)는 복수 개의 다이(칩)들이 적층된 적층 칩 구조를 갖는 메모리 장치일 수 있다. 예를 들면, 반도체 패키지(10)는 2.5D 칩 구조의 반도체 메모리 장치를 포함할 수 있다. 이 경우에 있어서, 제1 반도체 장치(300)은 로직 반도체 장치를 포함하고, 제2 반도체 장치(400)은 메모리 장치를 포함할 수 있다. 상기 로직 반도체 장치는 CPU, GPU, SoC와 같은 호스트(Host)로서의 ASIC일 수 있다. 상기 메모리 장치는 고 대역폭 메모리(HBM, High Bandwidth Memory) 장치를 포함할 수 있다.
- [0016] 예시적인 실시예들에 있어서, 패키지 기판(100)은 서로 마주보는 상부면과 하부면을 갖는 기판일 수 있다. 예를 들면, 패키지 기판(100)은 인쇄회로기판(PCB)일 수 있다. 상기 인쇄회로기판은 내부에 비아와 다양한 회로들을 갖는 다층 회로 보드일 수 있다.
- [0017] 인터포저(200)는 패키지 기판(100) 상에 배치될 수 있다. 인터포저(200)의 평면적은 패키지 기판(100)의 평면적 보다 작을 수 있다. 평면도에서 보았을 때, 인터포저(200)는 패키지 기판(100)의 영역 내에 배치될 수 있다.
- [0018] 인터포저(200)는 내부에 형성된 복수 개의 재배선들(222)을 갖는 재배선 인터포저일 수 있다. 제1 반도체 장치(300) 및 제2 반도체 장치(400)는 인터포저(200) 내부의 상기 재배선들을 통해 서로 연결되거나 솔더 범프들(270)을 통해 패키지 기판(100)에 전기적으로 연결될 수 있다. 상기 재배선 인터포저는 제1 및 제2 반도체 칩들(300, 400) 사이의 고밀도 인터커넥션을 제공할 수 있다. 예를 들면, 인터포저(200)는 20mm×30mm 또는 그 이상의 면적을 가질 수 있다.
- [0019] 예시적인 실시예들에 있어서, 인터포저(200)는 복수 개의 재배선들(222)을 갖는 재배선층(210)을 포함할 수 있다. 인터포저(200)는 재배선층(210)의 하부면, 즉, 제1 면(202)에 노출되도록 구비되는 복수 개의 제1 본딩 패드(230) 및 재배선층(210)의 상부면, 즉, 제2 면(204)에 노출되도록 구비되는 복수 개의 제2 본딩 패드들(240)을 포함할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 재배선층(210)은 복수 개의 절연막들(212a, 212b, 212c) 및 상기 절연막들 내에 구비된 재배선들(222)을 포함할 수 있다. 재배선들(222)은 제1 및 제2 재배선들(222a, 222b)을 포함할 수 있다. 상기 절연막은 폴리머, 유전막 등을 포함할 수 있다. 상기 절연막은 기상 증착 공정, 스핀 코팅 공정 등에 의해 형성될 수 있다. 상기 재배선은 알루미늄(Al), 구리(Cu), 주석(Sn), 니켈(Ni), 금(Au), 백금(Pt), 또는 이들의

합금을 포함할 수 있다. 상기 재배선은 도금 공정, 무전해 도금 공정, 기상 증착 공정 등에 의해 형성될 수 있다.

- [0021] 구체적으로, 복수 개의 제1 본딩 패드들(230)은 제1 절연막(212a) 내에 구비될 수 있다. 제1 본딩 패드(230)의 하부면은 제1 절연막(212a)의 하부면, 즉, 제1 면(202)으로부터 노출되도록 구비될 수 있다. 제1 절연막(212a)은 제1 본딩 패드(230)의 상부면을 노출시키는 제1 개구를 가질 수 있다.
- [0022] 제1 재배선(222a)은 제1 절연막(212a) 상에 형성되며 상기 제1 개구를 통해 제1 본딩 패드(230)와 접촉할 수 있다. 제2 절연막(212b)은 제1 절연막(212a) 상에 형성되며 제1 재배선(222a)을 노출시키는 제2 개구를 가질 수 있다.
- [0023] 제2 재배선(222b)은 제2 절연막(212b) 상에 형성되며 상기 제2 개구를 통해 제1 재배선(222a)과 접촉할 수 있다. 제3 절연막(212c)은 제2 절연막(212b) 상에 형성되며 제2 재배선(222b)을 노출시키는 제3 개구를 가질 수 있다.
- [0024] 제2 본딩 패드(240)는 제3 절연막(212c) 상에 형성되며 상기 제3 개구를 통해 제2 재배선(222b)과 접촉할 수 있다. 따라서, 복수 개의 제2 본딩 패드들(240)은 제3 절연막(212c)의 상부면, 즉, 제2 면(204)으로부터 노출되도록 구비될 수 있다.
- [0025] 예시적인 실시예들에 있어서, 제1 본딩 패드(230)는 제1 패드부로서의 제1 패드 패턴(232) 및 제2 패드부로서의 제2 패드 패턴(234)을 포함할 수 있다. 제1 패드 패턴(232)은 제1 폭(D1)을 갖고, 제2 패드 패턴(234)은 제1 폭(D1)보다 큰 제2 폭(D2)을 가질 수 있다.
- [0026] 제1 본딩 패드(230)는 재배선층(210)의 제1 절연막(212a) 내에 구비될 수 있다. 제1 패드 패턴(232)은 인터포저(200)의 제1 면(202)에 노출되도록 구비될 수 있다. 제2 패드 패턴(234)은 재배선층(210)의 제1 절연막(212a) 내에서 제1 패드 패턴(232) 상에 구비될 수 있다. 제2 패드 패턴(234)은 제1 패드 패턴(232)과 전기적으로 연결될 수 있다. 제2 패드 패턴(234)은 제1 패드 패턴(232)과 직접 접촉할 수 있다.
- [0027] 예를 들면, 제1 패드 패턴(232)의 제1 폭(D1)은 10 μ m 내지 800 μ m의 범위 내에 있고, 제2 패드 패턴(234)의 제2 폭(D2)은 10 μ m 내지 800 μ m의 범위 내에 있을 수 있다. 제2 패드 패턴(234)의 제2 폭(D2)과 제1 패드 패턴(232)의 제1 폭(D1)의 차이(D3)는 0.1 μ m 내지 2 μ m의 범위 내일 수 있다.
- [0028] 이러한 제1 폭(D1)과 제2 폭(D2)의 차이(D3)만큼 돌출된 제2 패드 패턴(234)은 제1 절연막(212a) 내에 구비되어 앵커 효과(Anchor Effect)를 일으키며 기계적 결합으로 견고하게 고정될 수 있다.
- [0029] 제2 본딩 패드(240)의 폭(D4)은 제1 본딩 패드(230)의 폭(예를 들면, 제1 패드 패턴(232)의 제1 폭(D1))보다 작을 수 있다.
- [0030] 예를 들면, 제2 본딩 패드(240)의 폭(D4)은 0.01 μ m 내지 10 μ m의 범위 내에 있을 수 있다.
- [0031] 제1 패드 패턴(232)은 제1 두께(T1)를 갖고 제2 패드 패턴(234)은 제1 두께(T1)보다 작은 제2 두께(T2)를 가질 수 있다. 예를 들면, 제1 패드 패턴(232)의 제1 두께(T1)는 1 μ m 내지 10 μ m의 범위 내에 있고, 제2 패드 패턴(234)의 제2 두께(T2)는 1 μ m 내지 10 μ m의 범위 내에 있을 수 있다. 제1 두께(T1)와 제2 두께(T2)의 비(T1/T2)는 1 내지 5의 범위 이내에 있을 수 있다.
- [0032] 제1 패드 패턴(232)은 제1 금속 물질을 포함하고, 제2 패드 패턴(234)은 상기 제1 금속 물질과 다른 제2 금속 물질을 포함할 수 있다. 예를 들면, 상기 제1 금속 물질은 구리(Cu), 알루미늄(Al), 티타늄(Ti) 또는 이들의 합금 등의 도전성 물질을 포함할 수 있다. 상기 제2 금속 물질은 니켈(Ni), 몰리브덴(Mo), 티타늄(Ti), 금(Au), 은(Ag), 크롬(Cr), 주석(Sn) 또는 이들의 합금 등의 도전성 물질을 포함할 수 있다.
- [0033] 예시적인 실시예들에 있어서, 복수 개의 제1 본딩 패드들(230)은 제1 연결 패드(230a) 및 제1 더미 패드(230b)를 포함할 수 있다. 제1 연결 패드(230a)는 재배선(222)과 전기적으로 연결될 수 있다. 제1 더미 패드(230b)는 재배선(222)과 전기적으로 연결되지 않을 수 있다.
- [0034] 도 2에 도시된 바와 같이, 제1 연결 패드(230a)의 제2 패드 패턴(234)은 제1 재배선(222a)과 전기적으로 연결되는 반면, 제1 더미 패드(230b)의 제2 패드 패턴(234)은 제1 재배선(222a)과 전기적으로 연결되지 않을 수 있다.
- [0035] 예시적인 실시예들에 있어서, 인터포저(200)는 도전성 연결 부재들로서의 솔더 범프들(270)을 통해 패키지 기판(100) 상에 실장될 수 있다. 솔더 범프(270)는 제1 본딩 패드(230)의 제1 패드 패턴(232) 상에 형성될 수 있다.

예를 들면, 솔더 범프(270)는 C4 범프를 포함할 수 있다. 인터포저(200)의 제1 본딩 패드(230)는 솔더 범프(270)에 의해 패키지 기관(100)의 기관 패드에 전기적으로 연결될 수 있다.

- [0036] 예시적인 실시예들에 있어서, 제1 반도체 장치(300)는 인터포저(200) 상에 배치될 수 있다. 제1 반도체 장치(300)는 플립 칩 본딩(flip chip bonding) 방식에 의해 인터포저(200) 상에 실장될 수 있다. 이 경우에 있어서, 제1 반도체 장치(300)는 칩 패드들(310)이 형성된 활성면이 인터포저(200)를 향하도록 인터포저(200) 상에 실장될 수 있다. 제1 반도체 장치(300)의 칩 패드들(310)은 도전성 연결 부재들로서의 도전성 범프들(330)에 의해 인터포저(200)의 제2 본딩 패드들(240)과 전기적으로 연결될 수 있다. 예를 들면, 도전성 범프들(330)은 마이크로 범프(uBump)를 포함할 수 있다.
- [0037] 제2 반도체 장치(400)는 인터포저(200) 상에서 제1 반도체 장치(300)로부터 이격되도록 배치될 수 있다. 제2 반도체 장치(400)는 플립 칩 본딩(flip chip bonding) 방식에 의해 인터포저(200) 상에 실장될 수 있다. 이 경우에 있어서, 제2 반도체 장치(400)는 칩 패드들(410)이 형성된 활성면이 인터포저(200)를 향하도록 인터포저(200) 상에 실장될 수 있다. 제2 반도체 장치(400)의 칩 패드들(410)은 도전성 범프들(430)에 의해 인터포저(200)의 제2 본딩 패드들(240)과 전기적으로 연결될 수 있다. 예를 들면, 도전성 범프들(430)은 마이크로 범프(uBump)를 포함할 수 있다.
- [0038] 제1 및 제2 반도체 장치들(300, 400)은 인터포저(200) 상에서 서로 이격 배치될 수 있다. 밀봉 부재(500)는 인터포저(200) 상에 제1 및 제2 반도체 장치들(300, 400)을 커버하도록 구비될 수 있다. 제1 및 제2 반도체 장치들(300, 400)의 상부면들은 밀봉 부재(500)에 의해 노출되도록 구비될 수 있다. 상기 밀봉 부재는 에폭시 몰딩 콤파운드(epoxy mold compound, EMC)를 포함할 수 있다.
- [0039] 하나의 제1 반도체 장치(300) 및 하나의 제2 반도체 장치(400)가 배치되도록 도시되어 있지만, 이에 제한되지 않음을 이해할 수 있다. 예를 들면, 제2 반도체 장치(400)는 버퍼 다이 및 상기 버퍼 다이 상에 순차적으로 적층된 복수 개의 메모리 다이(칩)들을 포함할 수 있다.
- [0040] 또한, 반도체 패키지(10)는 인터포저(200)와 패키지 기관(100) 사이에 언더필되는 제1 접착제(290)를 더 포함할 수 있다. 예를 들면, 상기 제1 접착제는 에폭시 물질을 포함하여 인터포저(200)와 패키지 기관(100) 사이의 틈을 보장할 수 있다.
- [0041] 패키지 기관(100)의 하부면 상에는 외부 접속 패드들이 형성되고, 상기 외부 접속 패드들 상에는 외부 장치와의 전기적 연결을 위하여 외부 연결 부재들(130)이 배치될 수 있다. 예를 들면, 외부 연결 부재(130)는 솔더 볼일 수 있다. 반도체 패키지(10)는 상기 솔더 볼들을 매개로 하여 모듈 기관(도시되지 않음)에 실장되어 메모리 모듈을 구성할 수 있다.
- [0042] 상기 도면들에는 몇 개의 기관들, 본딩 패드들, 배선들만이 도시되어 있으나, 상기 기관들, 본딩 패드들, 배선들의 개수 및 배치들은 예시적으로 제공된 것이며, 본 발명이 이에 제한되지 않음을 이해할 수 있을 것이다. 상기 기관들을 비롯한 상기 배선들은 본 발명이 속하는 기술 분야에서 널리 알려진 것이므로 자세한 도시 및 설명을 생략하기로 한다.
- [0043] 상술한 바와 같이, 반도체 패키지(10)는 제1 면(202) 및 제2 면(204)을 갖는 인터포저(200) 및 인터포저(200)의 제2 면(204) 상에 배치되는 제1 및 제2 반도체 장치들(300, 400)을 포함할 수 있다. 인터포저(200)는 제1 면(202)에 노출되도록 구비되며 제1 폭(D1)을 갖는 제1 패드 패턴(232) 및 제1 패드 패턴(232)상에 위치하여 제1 폭(D1)보다 큰 제2 폭(D2)을 갖는 제2 패드 패턴(234)을 포함할 수 있다. 제1 본딩 패드(230)는 인터포저(200)의 절연막(212a) 내에 고정되어 위치할 수 있다.
- [0044] 따라서, 제1 본딩 패드(230)는 T자 단면 형상을 가지므로 이를 통해 앵커효과(Anchor Effect)를 일으킬 수 있다. 이러한 앵커효과(Anchor Effect)는 기계적 결합을 일으켜 TC(temperature cycle)와 같은 반도체 신뢰도 테스트 시 제1 본딩 패드(230)가 절연막(212a)으로부터 분리되는 것을 방지할 수 있다.
- [0045] 이하에서는, 도 1의 반도체 패키지를 제조하는 방법에 대하여 설명하기로 한다.
- [0046] 도 4 내지 도 20은 예시적인 실시예들에 따른 반도체 패키지를 제조하는 방법을 나타내는 단면도들이다.
- [0047] 도 4 내지 도 8을 참조하면, 제1 패드 패턴(232)과 제2 패드 패턴(234)을 각각 포함하는 복수 개의 제1 본딩 패드들(230)을 형성할 수 있다.
- [0048] 도 4에 도시된 바와 같이, 캐리어 기관(C1) 상에 릴리즈 테이프(20), 배리어 금속층(22), 시드층(30) 및 포토레

지스트 막(40)을 순차적으로 형성할 수 있다.

- [0049] 시드층(30)은 구리(Cu), 알루미늄(Al), 티타늄(Ti) 또는 이들의 합금을 포함할 수 있다. 시드층(30)은 스퍼터링 공정에 의해 형성될 수 있다. 이어서, 도 5에 도시된 바와 같이, 포토레지스트 막(40) 상에 노광 공정을 수행하여 상기 제1 본딩 패드 영역을 노출시키는 개구(43)를 갖는 포토레지스트 패턴(42)을 형성할 수 있다. 예를 들면, 개구(43)의 직경(D)은 10 μ m 내지 800 μ m의 범위 이내에 있을 수 있다.
- [0050] 이후, 도 6에 도시된 바와 같이, 시드층(30) 상에 제1 도금 공정을 수행하여 제1 금속 물질을 포함하는 제1 금속 패턴(52)을 형성하고, 제1 금속 패턴(52) 상에 제2 도금 공정을 수행하여 상기 제1 금속 물질과 다른 제2 금속 물질을 포함하는 제2 금속 패턴(54)을 형성할 수 있다.
- [0051] 상기 제1 및 제2 도금 공정들은 전해 도금 공정 또는 무전해 도금 공정을 포함할 수 있다. 예를 들면, 상기 제1 금속 물질은 구리(Cu), 알루미늄(Al), 티타늄(Ti) 또는 이들의 합금을 포함할 수 있다. 상기 제2 금속 물질은 니켈(Ni), 몰리브덴(Mo), 티타늄(Ti), 금(Au), 은(Ag), 크롬(Cr), 주석(Sn) 또는 이들의 합금을 포함할 수 있다. 상기 제1 금속 물질은 시드층(30)과 동일한 물질을 포함할 수 있다. 상기 제2 금속 물질은 상기 제1 금속 물질에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 제1 금속 패턴 및 상기 도금층을 부분적으로 제거하기 위한 후속의 식각 공정에서, 상기 제1 금속 물질의 식각율은 상기 제2 금속 물질의 식각율보다 더 클 수 있다.
- [0052] 도 7에 도시된 바와 같이, 포토레지스트 패턴(42)을 제거하여 시드층(30) 상에 제1 및 제2 금속 패턴들(52, 54)을 포함하는 예비 본딩 패드(50)를 형성할 수 있다.
- [0053] 도 8에 도시된 바와 같이, 제1 금속 패턴(52)의 일부를 선택적으로 제거하여 제1 패드 패턴(232)을 형성할 수 있다. 제1 금속 패턴(52)의 일부는 습식 식각 공정에 의해 제거될 수 있다. 이 때, 제1 금속 패턴들(52)에 의해 노출된 시드층(30) 부분들도 함께 제거될 수 있다.
- [0054] 상기 습식 식각 공정은 제2 금속 패턴(54)에 대하여 식각 선택비를 갖는 식각액을 이용하여 수행될 수 있다. 상기 식각액은 물(H₂O), 과산화 수소(H₂O₂), 구연산(C₆H₈O₇) 등을 포함할 수 있다. 따라서, 상기 습식 식각 공정에 의해 제2 금속 패턴(54)은 제거되지 않고 제1 금속 패턴(52)의 측면 일부 및 노출된 시드층(30) 부분들만 제거될 수 있다. 이에 따라, 제1 폭(D1)을 갖는 제1 패드부로서의 제1 패드 패턴(232) 및 제1 폭(D1)보다 큰 제2 폭(D2)을 갖는 제2 패드부로서의 제2 패드 패턴(234)을 포함하는 복수 개의 제1 본딩 패드들(230)이 형성될 수 있다.
- [0055] 제2 패드 패턴(234)의 제2 폭(D2)이 제1 패드 패턴(232)의 제1 폭(D1)보다 크므로, 제1 본딩 패드(230)은 T자 단면 형상을 가질 수 있다.
- [0056] 도 9 내지 도 14를 참조하면, 제1 본딩 패드들(230) 중 제1 연결 패드들(230a)과 전기적으로 연결되는 재배선들(222)을 갖는 재배선층(210)을 형성할 수 있다.
- [0057] 도 9에 도시된 바와 같이, 배리어 금속층(22) 상에 제1 본딩 패드들(230)을 커버하는 제1 절연막(212a)을 형성한 후, 제1 절연막(212a)을 패터닝하여 제1 본딩 패드들(230) 중 일부(230a)를 노출시키는 제1 개구들(213a)을 형성할 수 있다.
- [0058] 예를 들면, 제1 절연막(212a)은 폴리머, 유전막 등을 포함할 수 있다. 구체적으로, 제1 절연막(212a)은 폴리이미드(PI), 산화납(PbO), 폴리히드록시스티렌(PHS), 노볼락(NOVOLAC) 등을 포함할 수 있다. 상기 제1 절연막(212a)은 기상 증착 공정, 스펀 코팅 공정 등에 의해 형성될 수 있다.
- [0059] 상기 습식 식각 공정을 통해 형성된 제1 패드 패턴(232)의 표면적은 습식 식각 전과 비교하여 더욱 큰 표면 거칠기를 가져, 상기 제1 절연막(212a)과의 사이에서 마찰력을 높일 수 있다.
- [0060] 복수 개의 제1 본딩 패드들(230)은 제1 연결 패드(230a) 및 제1 더미 패드(230b)를 포함할 수 있다. 제1 연결 패드(230a) 및 제1 더미 패드(230b)는 각각 제1 폭(D1)을 갖는 제1 패드 패턴(232) 및 제1 폭(D1)보다 큰 제2 폭(D2)을 갖는 제2 패드 패턴(234)을 포함할 수 있다. 제1 연결 패드(230a)의 제2 패드 패턴(234)만이 제1 개구(213a)에 의해 노출되고, 제1 더미 패드(230b)는 제1 개구(213a)에 의해 노출되지 않을 수 있다. 제1 절연막(212a)은 제1 본딩 패드(230)들 사이의 공간을 채울 수 있다.
- [0061] 도 10에 도시된 바와 같이, 제1 절연막(212a) 상에 상기 제1 개구들을 통해 제1 연결 패드(230a)의 제2 패드 패턴(234)과 직접 접촉하는 제1 재배선(222a)을 형성할 수 있다.

- [0062] 제1 재배선(222a)은 제1 절연막(212a)의 일부 및 상기 제1 개구 내에 시드막을 형성한 후, 상기 시드막을 패터닝하고 전해 도금 공정을 수행함으로써 형성될 수 있다. 따라서, 제1 재배선(222a)의 적어도 일부는 상기 제1 개구를 통해 제1 연결 패드(230a)의 제2 패드 패턴(234)과 직접 접촉할 수 있다.
- [0063] 예를 들면, 상기 제1 재배선은 알루미늄(Al), 구리(Cu), 주석(Sn), 니켈(Ni), 금(Au), 백금(Pt), 또는 이들의 합금을 포함할 수 있다.
- [0064] 도 11에 도시된 바와 같이, 제1 절연막(212a) 상에 제1 재배선들(222a)을 커버하는 제2 절연막(212b)을 형성한 후, 제2 절연막(212b)을 패터닝하여 제1 재배선들(212a)을 노출시키는 제2 개구(213b)를 형성할 수 있다.
- [0065] 도 12에 도시된 바와 같이, 제2 절연막(212b) 상에 상기 제2 개구들을 통해 제1 재배선들(222a)과 직접 접촉하는 제2 재배선(222b)을 형성할 수 있다.
- [0066] 도 13에 도시된 바와 같이, 제2 절연막(212b) 상에 제2 재배선들(222b)을 커버하는 제3 절연막(212c)을 형성한 후, 제3 절연막(212c)을 패터닝하여 제2 재배선들(222b)을 각각 노출시키는 제3 개구들(213c)을 형성할 수 있다.
- [0067] 도 14에 도시된 바와 같이, 제3 절연막(212c) 상에 상기 제3 개구들을 통해 제2 재배선들(222b)과 각각 직접 접촉하는 복수 개의 제2 본딩 패드들(240)을 형성할 수 있다.
- [0068] 이에 따라, 재배선들(222)을 포함하는 재배선층(210)을 형성할 수 있다. 재배선층(210)의 하부면(202), 즉, 제1 면에는 복수 개의 제1 본딩 패드들(230)이 형성될 수 있다. 재배선층(210)의 상부면(204), 즉, 제2 면에는 복수 개의 제2 본딩 패드들(240)이 형성될 수 있다.
- [0069] 제1 본딩 패드들(230) 중에서 제1 연결 패드들(230a)은 재배선들(222)과 전기적으로 연결될 수 있다. 제1 본딩 패드들(230) 중에서 제1 더미 패드들(230b)은 재배선들(222)과 전기적으로 연결되지 않을 수 있다.
- [0070] 도 15를 참조하면, 재배선층(210) 상에 제1 반도체 장치(300) 및 제2 반도체 장치(400, 도 1 참조)를 실장시킨 후, 재배선층(210) 상에 제1 반도체 장치(300) 및 상기 제2 반도체 장치를 커버하는 밀봉 부재(500)를 형성할 수 있다. 재배선층(210) 상에 제1 반도체 장치(300) 및 제2 반도체 장치(400)는 서로 이격되도록 배치될 수 있다.
- [0071] 예시적인 실시예들에 있어서, 상기 제1 및 제2 반도체 장치들은 플립 칩 본딩(flip chip bonding) 방식에 의해 재배선층(210) 상에 실장될 수 있다. 제1 반도체 장치(300)의 칩 패드들(310)은 도전성 범프들(330)에 의해 재배선층(210)의 제2 본딩 패드들(240)과 전기적으로 연결될 수 있다. 상기 제2 반도체 장치의 칩 패드들(410, 도 1 참조)은 도전성 범프들(430, 도 1 참조)에 의해 재배선층(210)의 제2 본딩 패드들(240)과 전기적으로 연결될 수 있다. 예를 들면, 도전성 범프들(330, 430)은 마이크로 범프(uBump)를 포함할 수 있다.
- [0072] 예를 들면, 제1 반도체 장치(300)는 로직 반도체 장치를 포함하고, 상기 제2 반도체 장치는 메모리 장치를 포함할 수 있다. 상기 로직 반도체 장치는 CPU, GPU, SoC와 같은 호스트(Host)로서의 ASIC일 수 있다. 상기 메모리 장치는 고 대역폭 메모리(HBM, High Bandwidth Memory) 장치를 포함할 수 있다. 이 경우에 있어서, 상기 제2 반도체 장치는 버퍼 다이 및 상기 버퍼 다이 상에 순차적으로 적층된 복수 개의 메모리 다이(칩)들을 포함할 수 있다. 상기 버퍼 다이 및 상기 메모리 다이들은 관통 실리콘 비아들에 의해 서로 전기적으로 연결될 수 있다.
- [0073] 예를 들면, 밀봉 부재(500)는 에폭시 몰딩 콤파운드(epoxy mold compound, EMC)를 포함할 수 있다. 밀봉 부재(500)는 상기 제1 및 제2 반도체 장치들의 상부면들을 노출시키도록 형성될 수 있다.
- [0074] 도 16 내지 도 19를 참조하면, 재배선층(210)의 제1 본딩 패드들(230) 상에 솔더 범프들(270)을 형성할 수 있다.
- [0075] 도 16에 도시된 바와 같이, 캐리어 기판(C2)을 밀봉 부재(500) 상에 부착시킨 후, 캐리어 기판(C2)이 부착된 구조물을 뒤집고, 재배선층(210)의 제1 면(202) 상의 배리어 금속층(22) 및 캐리어 기판(C1)을 제거할 수 있다. 이 때, 시드층(30)도 함께 제거되어, 제1 본딩 패드들(230)이 재배선층(210)의 제1 면(202)으로부터 노출될 수 있다.
- [0076] 도 17 내지 도 19에 도시된 바와 같이, 재배선층(210)의 제1 면(202) 상에 제1 본딩 패드(230) 영역을 노출시키는 개구(63)를 갖는 포토레지스트 패턴(62)을 형성하고, 제1 본딩 패드(230) 상에 솔더 범프(270)을 형성할 수 있다.

- [0077] 구체적으로, 포토레지스트 패턴(62)의 개구(63)를 도전성 물질(70)로 충전한 후, 포토레지스트 패턴(62)을 제거하고 리플로우 공정을 수행하여 솔더 범프(270)를 형성할 수 있다. 예를 들면, 도전성 물질(70)은 도금 공정에 의해 형성될 수 있다. 이와 다르게, 솔더 범프(270)는 스크린 프린팅법, 증착법 등에 의해 형성될 수 있다. 예를 들면, 솔더 범프(270)는 C4 범프를 포함할 수 있다.
- [0078] 도 20을 참조하면, 재배선층(210)을 절단하여 인터포저(200)를 형성하고, 패키지 기판(100, 도 1 참조) 상에 배치하여 도 1의 반도체 패키지(10)를 완성할 수 있다.
- [0079] 예시적인 실시예들에 있어서, 인터포저(200)는 솔더 범프들(270)을 통해 패키지 기판(100) 상에 실장될 수 있다. 인터포저(200)는 열 압착 공정에 의해 패키지 기판(100) 상에 부착될 수 있다.
- [0080] 이어서, 인터포저(200)와 패키지 기판(100) 사이에는 제1 접착제(290)가 언더필(fill)될 수 있다. 인터포저(200)의 평면적은 패키지 기판(100)의 평면적보다 작을 수 있다.
- [0081] 이어서, 패키지 기판(100)의 하부면 상의 외부 접속 패드들(130) 상에 솔더 볼들과 같은 외부 접속 부재들을 형성하여 도 1의 반도체 패키지(10)를 완성할 수 있다.
- [0082] 도 21은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다. 도 22는 도 21의 C 부분을 나타내는 확대 단면도이다. 도 23은 도 22의 D 부분을 나타내는 확대 단면도이다. 상기 반도체 패키지는 제2 본딩 패드의 구성을 제외하고는 도 1 내지 도 3을 참조로 설명한 반도체 패키지와 실질적으로 동일하거나 유사하다. 이에 따라, 동일하거나 유사한 구성요소들에 대해서는 동일하거나 유사한 참조부호들로 나타내고, 또한 동일한 구성요소들에 대한 반복 설명은 생략하기로 한다.
- [0083] 도 21 내지 도 23을 참조하면, 반도체 패키지(11)의 인터포저(200)는 제2 면(204)에 노출되도록 복수 개의 제2 본딩 패드들(240)을 포함할 수 있다. 인터포저(200)는 복수 개의 재배선들(222)을 갖는 재배선층(210)을 포함할 수 있다.
- [0084] 예시적인 실시예들에 있어서, 재배선층(210)은 복수 개의 절연막들(212a, 212b, 212c, 212d) 및 상기 절연막들 내에 구비된 재배선들(222)을 포함할 수 있다. 재배선들(222)은 제1 내지 제3 재배선들(222a, 222b, 222c)을 포함할 수 있다.
- [0085] 구체적으로, 제3 절연막(212c)은 제2 절연막(212b) 상에 형성되며 제2 재배선(222b)을 노출시키는 제3 개구를 가질 수 있다. 제3 재배선(222c)은 제3 절연막(212c)에 형성되며 상기 제3 개구를 통해 제2 재배선(222b)과 접촉할 수 있다.
- [0086] 제4 절연막(212d)은 제3 절연막(212c) 상에 형성되며 제3 재배선(222c)을 노출시키는 제4 개구를 가질 수 있다. 제2 본딩 패드(240)는 제4 절연막(212d) 내에 형성되며 상기 제4 개구를 통해 제3 재배선(222c)과 접촉할 수 있다. 제2 본딩 패드(240)의 상부면은 제4 절연막(212d)의 상부면, 즉, 제2 면(204)으로부터 노출되도록 구비될 수 있다.
- [0087] 예시적 실시예들에 있어서, 제2 본딩 패드(240)는 제4 폭(D6)을 갖는 제3 패드부로서의 제3 패드 패턴(242) 및 제4 폭(D6)보다 큰 제5 폭(D5)을 갖는 제4 패드부로서의 제4 패드 패턴(244)을 포함할 수 있다.
- [0088] 예를 들면, 제3 패드 패턴(242)의 제4 폭(D6)은 0.01 μ m 내지 10 μ m의 범위 내에 있고, 제4 패드 패턴(244)의 제5 폭(D5)은 0.01 μ m 내지 10 μ m의 범위 내에 있을 수 있다.
- [0089] 이러한 제4 폭(D6)과 제5 폭(D5)의 차이만큼 돌출된 제4 패드 패턴(244)은 제4 절연막(212d) 내에 구비되어 앵커 효과(Anchor Effect)를 일으키며 기계적 결합으로 견고하게 고정될 수 있다.
- [0090] 제3 패드 패턴(242)은 제3 두께를 갖고 제4 패드 패턴(244)은 상기 제3 두께보다 작은 제4 두께를 가질 수 있다. 제3 패드 패턴(242)은 제3 금속 물질을 포함하고, 제4 패드 패턴(244)은 상기 제3 금속 물질과 다른 제4 금속 물질을 포함할 수 있다. 예를 들면, 상기 제3 금속 물질은 구리(Cu), 알루미늄(Al), 티타늄(Ti) 또는 이들의 합금 등의 도전성 물질을 포함할 수 있다. 상기 제4 금속 물질은 니켈(Ni), 몰리브덴(Mo), 티타늄(Ti), 금(Au), 은(Ag), 크롬(Cr), 주석(Sn) 또는 이들의 합금 등의 도전성 물질을 포함할 수 있다.
- [0091] 예시적인 실시예들에 있어서, 제1 반도체 장치(300)는 인터포저(200) 상에 배치될 수 있다. 제1 반도체 장치(300)는 플립 칩 본딩(flip chip bonding) 방식에 의해 인터포저(200) 상에 실장될 수 있다. 이 경우에 있어서, 제1 반도체 장치(300)는 칩 패드들(310)이 형성된 활성면이 인터포저(200)를 향하도록 인터포저(200) 상에 실장될 수 있다. 제1 반도체 장치(300)의 칩 패드들(310)은 도전성 연결 부재들로서의 도전성 범프들(330)에 의해

인터포저(200)의 제2 본딩 패드들(240)의 제3 패드 패턴들(242)과 전기적으로 연결될 수 있다. 예를 들면, 도전성 범프들(330)은 마이크로 범프(uBump)를 포함할 수 있다.

- [0092] 제2 반도체 장치(400)는 인터포저(200) 상에서 제1 반도체 장치(300)로부터 이격되도록 배치될 수 있다. 제2 반도체 장치(400)는 플립 칩 본딩(flip chip bonding) 방식에 의해 인터포저(200) 상에 실장될 수 있다. 이 경우에 있어서, 제2 반도체 장치(400)는 칩 패드들(410)이 형성된 활성면이 인터포저(200)를 향하도록 인터포저(200) 상에 실장될 수 있다. 제2 반도체 장치(400)의 칩 패드들(410)은 도전성 범프들(430)에 의해 인터포저(200)의 제2 본딩 패드들(240)의 제3 패드 패턴들(242)과 전기적으로 연결될 수 있다. 예를 들면, 도전성 범프들(430)은 마이크로 범프(uBump)를 포함할 수 있다.
- [0093] 이하에서는, 도 21의 반도체 패키지를 제조하는 방법에 대하여 설명하기로 한다.
- [0094] 도 24 내지 도 29는 예시적인 실시예들에 따른 반도체 패키지를 제조하는 방법을 나타내는 단면도들이다.
- [0095] 도 24를 참조하면, 도 4 내지 도 14를 참조로 설명한 공정들과 동일하거나 유사한 공정들을 수행하여 제1 내지 제3 재배선들(222a, 222b, 222c)이 구비된 제1 내지 제3 절연막들(212a, 212b, 212c)을 형성하고, 제3 절연막(212c) 상에 제2 본딩 패드 영역을 노출시키는 개구(83)를 갖는 포토레지스트 패턴(82)을 형성할 수 있다.
- [0096] 예시적인 실시예들에 있어서, 제3 절연막(212c)은 제2 절연막(212b) 상에 형성되며 제2 재배선(222b)을 노출시키는 제3 개구를 가질 수 있다. 제3 재배선(222c)은 제3 절연막(212c)에 형성되며 상기 제3 개구를 통해 제2 재배선(222b)과 접촉할 수 있다.
- [0097] 도면에 도시되지는 않았지만, 포토레지스트 패턴(82)을 형성하기 전에, 제3 절연막(212c) 상에 제2 본딩 패드를 형성하기 위한 시드층을 형성할 수 있다. 포토레지스트 패턴(82)은 제3 절연막(212c) 상에 형성되며, 개구(83)는 제3 재배선(222c) 상의 상기 시드층 영역을 노출시킬 수 있다.
- [0098] 도 25를 참조하면, 제3 재배선(222c) 상에 제3 금속 물질을 포함하는 제3 금속 패턴(92) 및 상기 제3 금속 물질과 다른 제4 금속 물질을 포함하는 제4 금속 패턴(94)을 형성할 수 있다.
- [0099] 예시적인 실시예들에 있어서, 시드층(30) 상에 제3 도금 공정을 수행하여 제3 금속 패턴(92)을 형성하고, 제3 금속 패턴(92) 상에 제4 도금 공정을 수행하여 제4 금속 패턴(94)을 형성할 수 있다.
- [0100] 상기 제3 및 제4 도금 공정들은 전해 도금 공정 또는 무전해 도금 공정을 포함할 수 있다. 예를 들면, 상기 제3 금속 물질은 니켈(Ni), 몰리브덴(Mo), 티타늄(Ti), 금(Au), 은(Ag), 크롬(Cr), 주석(Sn) 또는 이들의 합금을 포함할 수 있다. 상기 제4 금속 물질은 구리(Cu), 알루미늄(Al), 티타늄(Ti) 또는 이들의 합금을 포함할 수 있다. 상기 제3 금속 물질은 상기 시드층과 동일한 물질을 포함할 수 있다. 상기 제4 금속 물질은 상기 제3 금속 물질에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 제4 금속 패턴 및 상기 도금층을 부분적으로 제거하기 위한 후속의 식각 공정에서, 상기 제4 금속 물질의 식각율은 상기 제3 금속 물질의 식각율보다 더 클 수 있다.
- [0101] 도 26을 참조하면, 포토레지스트 패턴(82)을 제거하여 상기 시드층 상에 제3 및 제4 금속 패턴들(92, 94)을 포함하는 예비 본딩 패드(90)를 형성할 수 있다.
- [0102] 도 27을 참조하면, 제4 금속 패턴(94)의 일부를 선택적으로 제거하여 제3 패드 패턴(242)을 형성할 수 있다. 제4 금속 패턴(94)의 일부는 습식 식각 공정에 의해 제거될 수 있다. 이 때, 제3 금속 패턴들(92)에 의해 노출된 상기 시드층 부분들도 함께 제거될 수 있다.
- [0103] 상기 습식 식각 공정은 제3 금속 패턴(92)에 대하여 식각 선택비를 갖는 식각액을 이용하여 수행될 수 있다. 따라서, 상기 습식 식각 공정에 의해 제3 금속 패턴(92)은 제거되지 않고 제4 금속 패턴(94)의 측벽 일부 및 상기 노출된 시드층 부분들만 제거될 수 있다. 이에 따라, 제3 폭(D5)을 갖는 제3 패드부로서의 제3 패드 패턴(242) 및 제3 폭(D5)보다 큰 제4 폭(D6)을 갖는 제2 패드부로서의 제4 패드 패턴(244)을 포함하는 복수 개의 제2 본딩 패드들(240)이 형성될 수 있다.
- [0104] 도 28을 참조하면, 제3 절연막(212c) 상에 제4 절연막(212d)을 형성할 수 있다. 제4 절연막(212d)은 제2 본딩 패드들(240)의 측면들을 커버하고 제3 패드 패턴(242)의 상부면을 노출시킬 수 있다.
- [0105] 도 29를 참조하면, 도 15를 참조로 설명한 공정들과 동일하거나 유사한 공정들을 수행하여, 재배선층(210) 상에 제1 반도체 장치(300) 및 제2 반도체 장치(400, 도 21 참조)를 실장시킨 후, 재배선층(210) 상에 제1 반도체 장치(300) 및 상기 제2 반도체 장치를 커버하는 밀봉 부재(500)를 형성할 수 있다. 재배선층(210) 상에 제1 반도체

체 장치(300) 및 제2 반도체 장치(400)는 서로 이격되도록 배치될 수 있다.

- [0106] 예시적인 실시예들에 있어서, 상기 제1 및 제2 반도체 장치들은 플립 칩 본딩(flip chip bonding) 방식에 의해 재배선층(210) 상에 실장될 수 있다. 제1 반도체 장치(300)의 칩 패드들(310)은 도전성 범프들(330)에 의해 재배선층(210)의 제2 본딩 패드들(240)의 제3 패드 패턴들(242)과 전기적으로 연결될 수 있다. 상기 제2 반도체 장치의 칩 패드들(410, 도 1 참조)은 도전성 범프들(430, 도 1 참조)에 의해 재배선층(210)의 제2 본딩 패드들(240)의 제3 패드 패턴들(242)과 전기적으로 연결될 수 있다. 예를 들면, 도전성 범프들(330, 430)은 마이크로 범프(uBump)를 포함할 수 있다.
- [0107] 이어서, 도 16 내지 도 19를 참조로 설명한 공정들과 동일하거나 유사한 공정들을 수행하여 재배선층(210)을 절단하여 인터포저(200)를 형성하고, 패키지 기판(100, 도 21 참조) 상에 배치하여 도 21의 반도체 패키지(11)를 완성할 수 있다.
- [0108] 도 30은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다. 도 31은 도 32의 E 부분을 나타내는 확대 단면도이다. 상기 반도체 패키지는 실리콘 인터포저의 구성을 제외하고는 도 1 내지 도 3을 참조로 설명한 반도체 패키지와 실질적으로 동일하거나 유사하다. 이에 따라, 동일하거나 유사한 구성요소들에 대해서는 동일하거나 유사한 참조부호들로 나타내고, 또한 동일한 구성요소들에 대한 반복 설명은 생략하기로 한다.
- [0109] 도 30 및 도 31을 참조하면, 반도체 패키지(12)의 인터포저(201)는 실리콘 인터포저를 포함할 수 있다. 인터포저(201)는 반도체 기판(250) 및 반도체 기판(250)의 상부면에 복수 개의 재배선들(222)을 갖는 배선층(210)을 포함할 수 있다.
- [0110] 예시적인 실시예들에 있어서, 반도체 기판(250)은 내부에 관통 형성된 복수 개의 관통 전극들(260)을 포함할 수 있다. 관통 전극(260)은 관통 실리콘 비아(TSV)를 포함할 수 있다. 관통 전극(260)은 반도체 기판(250)을 수직 관통하도록 구비될 수 있다. 관통 전극(260)의 일단부는 배선층(210)의 재배선들(222)과 전기적으로 연결될 수 있다.
- [0111] 예시적인 실시예들에 있어서, 제1 본딩 패드(230)는 인터포저(200)의 제1 면(202)에 노출되도록 구비될 수 있다. 제1 본딩 패드(230)는 반도체 기판(250)의 하부면 상에 배치될 수 있다.
- [0112] 제1 본딩 패드(230)는 제1 폭(D1)을 갖는 제1 패드 패턴(232) 및 제1 패드 패턴(232) 상에 제1 폭(D1)보다 큰 제2 폭(D2)을 갖는 제2 패드 패턴(234)을 포함할 수 있다.
- [0113] 예를 들면, 제1 패드 패턴(232)의 제1 폭(D1)은 10 μ m 내지 800 μ m의 범위 내에 있고, 제2 패드 패턴(234)의 제2 폭(D2)은 10 μ m 내지 800 μ m의 범위 내에 있을 수 있다. 제2 패드 패턴(234)의 제2 폭(D2)과 제1 패드 패턴(232)의 제1 폭(D1)의 차이(D3)는 0.1 μ m 내지 2 μ m의 범위 내일 수 있다.
- [0114] 절연막 패턴(280)은 반도체 기판(250)의 하부면 상에 형성될 수 있다. 절연막 패턴(280)은 제1 본딩 패드들(230)의 측면들을 커버하고 제1 패드 패턴(232)의 하부면을 노출시킬 수 있다.
- [0115] 도 31에 도시된 바와 같이, 제1 연결 패드(230a)의 제2 패드 패턴(234)은 관통 전극(260)의 일단부와 전기적으로 연결되는 반면, 제1 더미 패드(230b)의 제2 패드 패턴(234)은 관통 전극(260)과 전기적으로 연결되지 않을 수 있다. 그 외의 제1 본딩 패드(230)의 구성 및 기능 등은 도 1에서 상술한 내용과 같거나 유사하므로, 상세한 설명은 생략한다.
- [0116] 전술한 반도체 패키지는 로직 소자나 메모리 소자와 같은 반도체 소자를 포함할 수 있다. 상기 반도체 패키지는, 예를 들어 중앙처리장치(CPU, MPU), 애플리케이션 프로세서(AP) 등과 같은 로직 소자, 예를 들어 에스램(SRAM) 장치, 디램(DRAM) 장치 등과 같은 휘발성 메모리 장치, 및 예를 들어 플래시 메모리 장치, 피램(PRAM) 장치, 엠램(MRAM) 장치, 알램(RRAM) 장치 등과 같은 불휘발성 메모리 장치를 포함할 수 있다.
- [0117] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

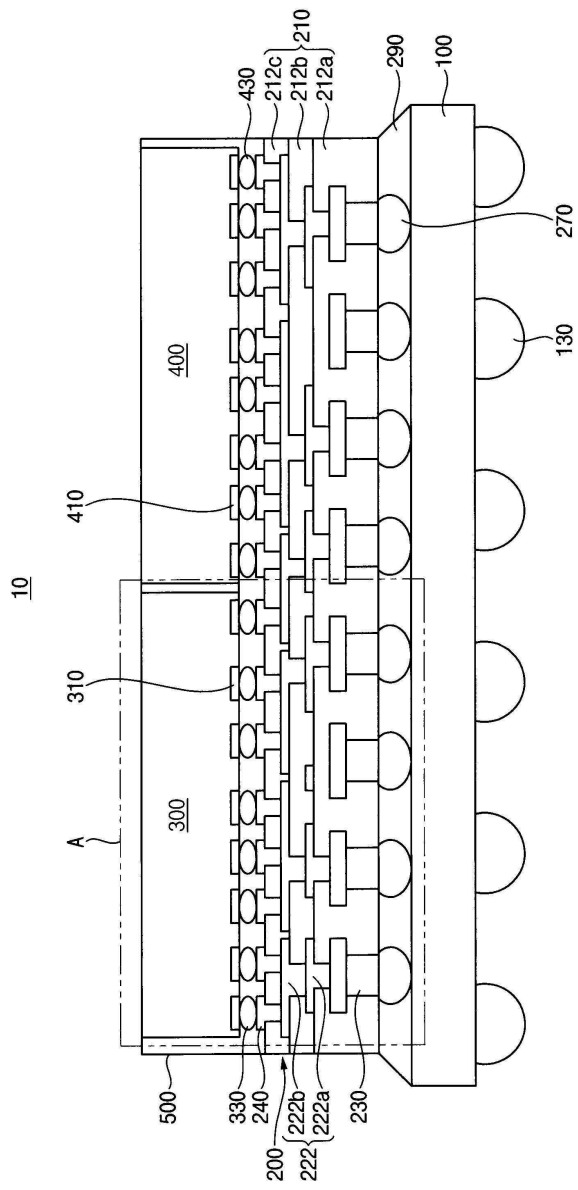
부호의 설명

- [0118] 10, 11, 12: 반도체 패키지
- 100: 패키지 기판 130: 외부 연결 부재

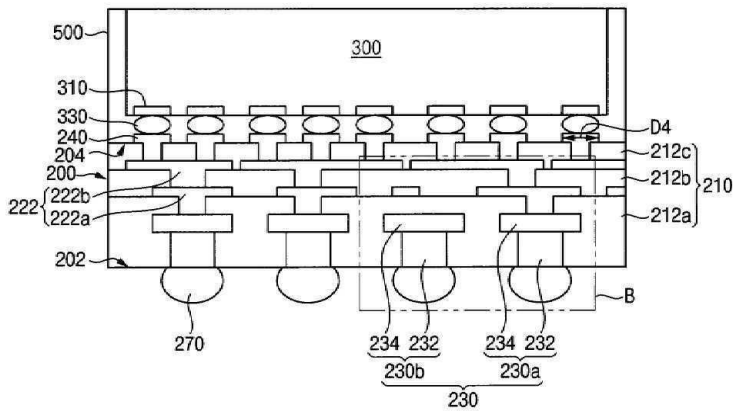
200, 201: 인터포저	202: 제1 면
204: 제2 면	210: 재배선층
212: 절연막	222: 재배선
230: 제1 본딩 패드	240: 제2 본딩 패드
232: 제1 패드 패턴	234: 제2 패드 패턴
242: 제3 패드 패턴	244: 제4 패드 패턴
250: 반도체 기관	260: 관통 전극
270: 솔더 범프	280: 절연막 패턴
290: 제1 접착제	300: 제1 반도체 장치
310, 410: 칩패드	330, 430: 도전성 범프들
400: 제2 반도체 장치	500: 밀봉 부재

도면

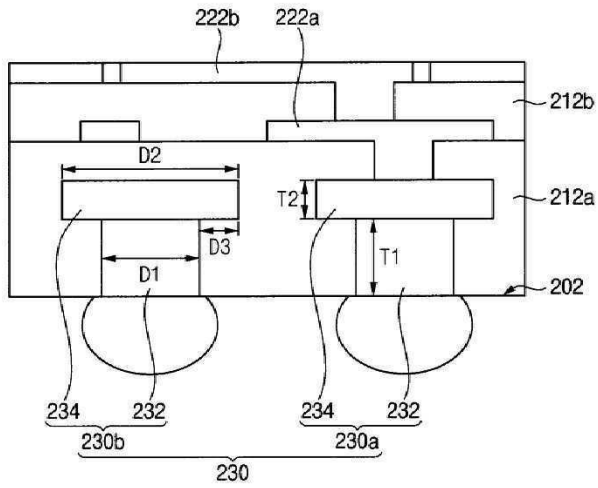
도면1



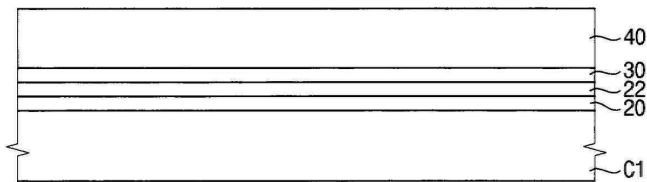
도면2



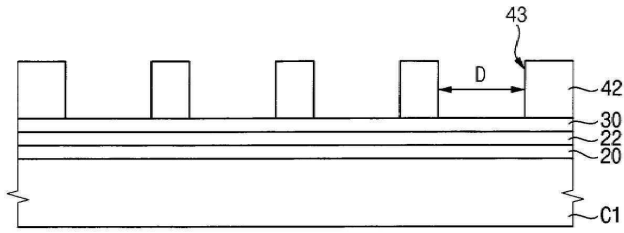
도면3



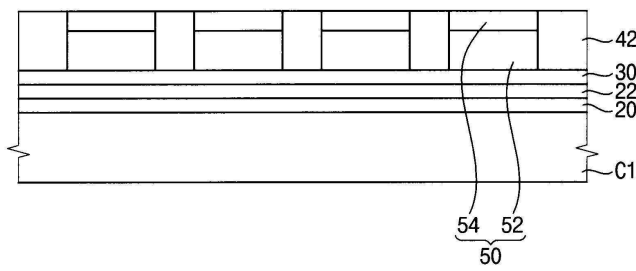
도면4



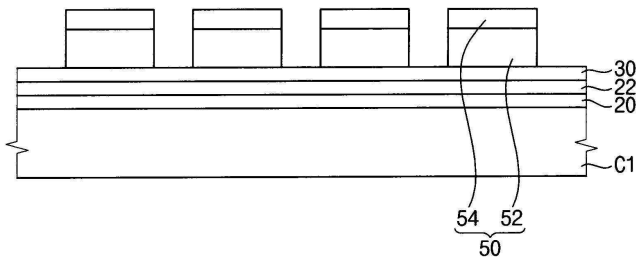
도면5



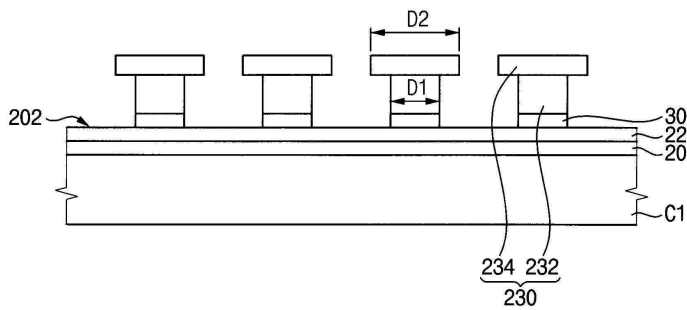
도면6



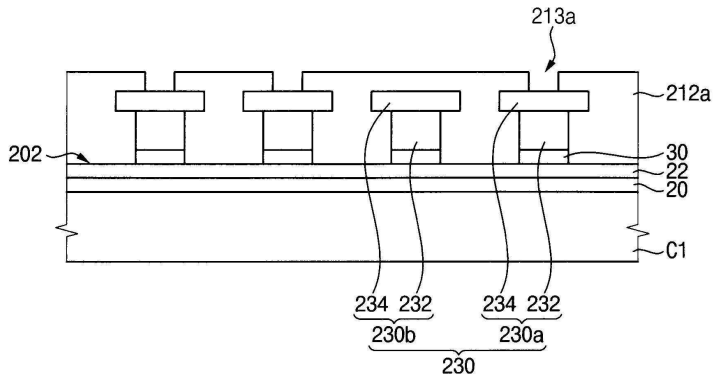
도면7



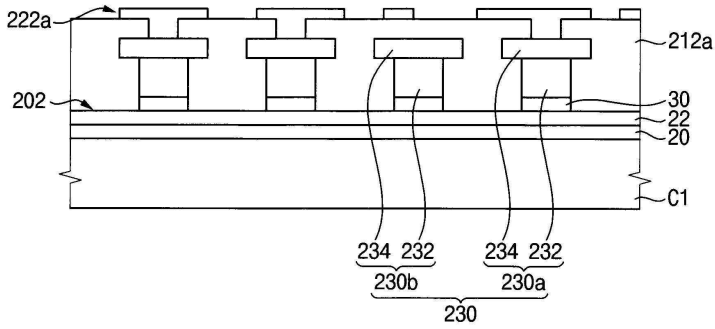
도면8



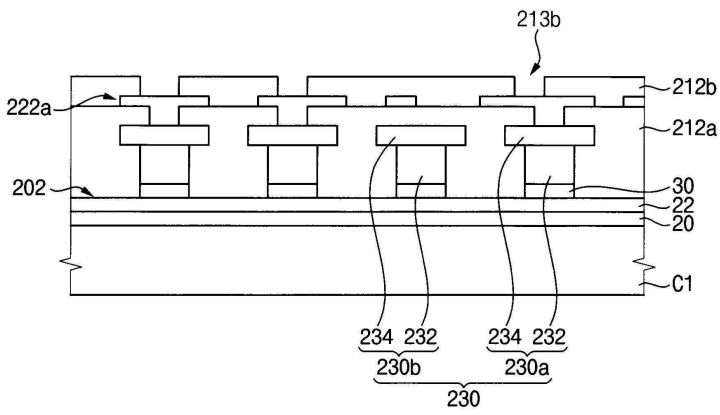
도면9



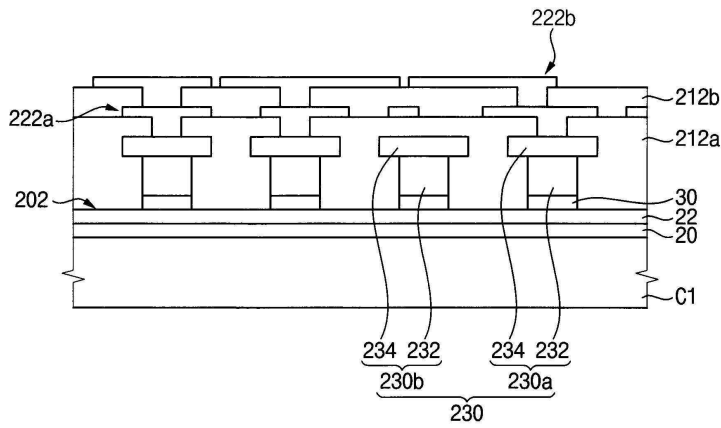
도면10



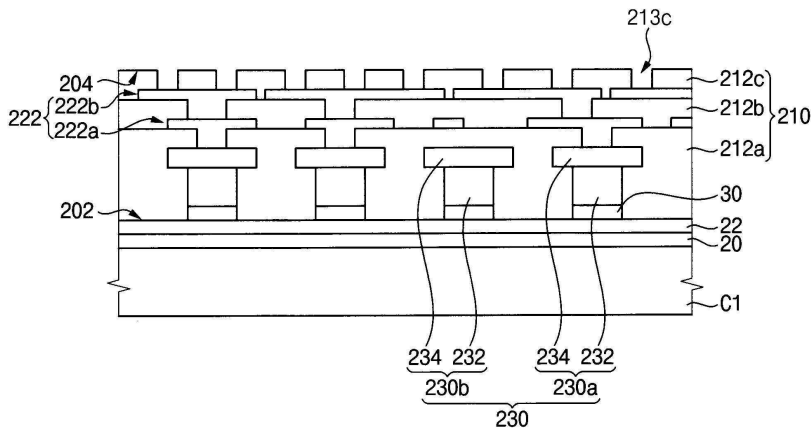
도면11



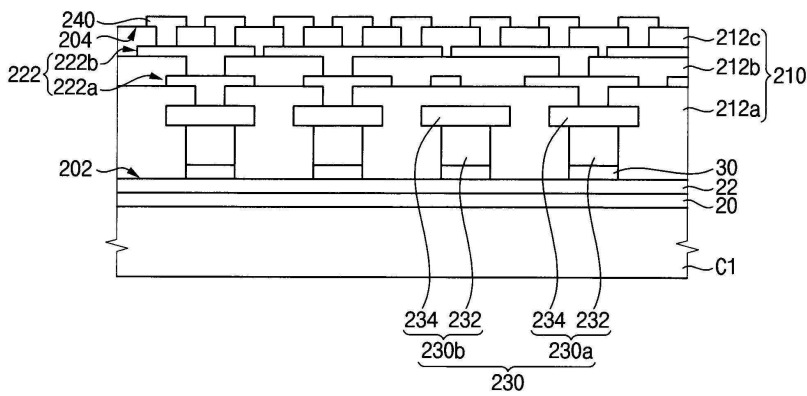
도면12



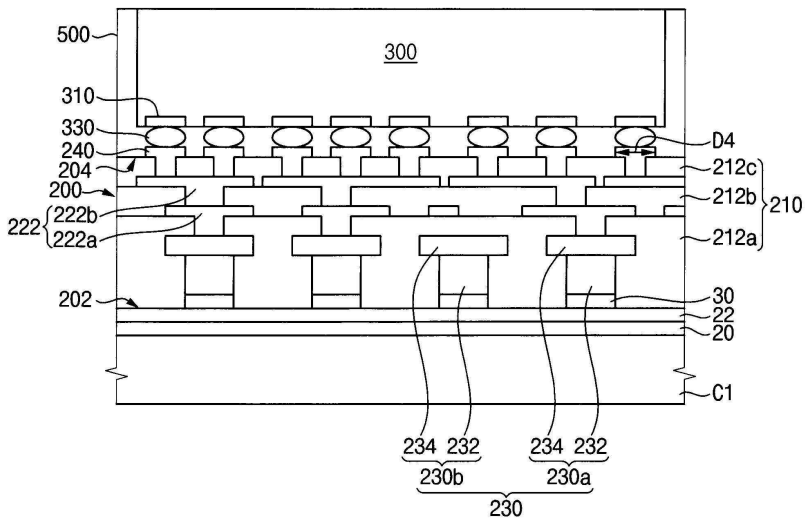
도면13



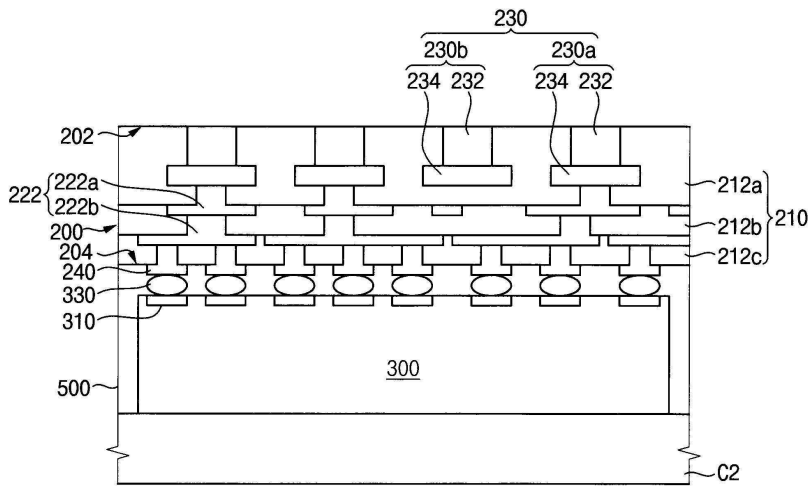
도면14



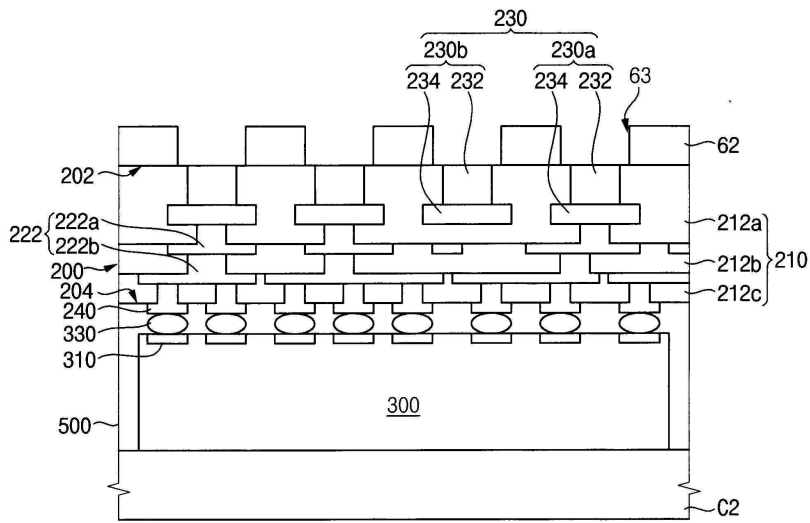
도면15



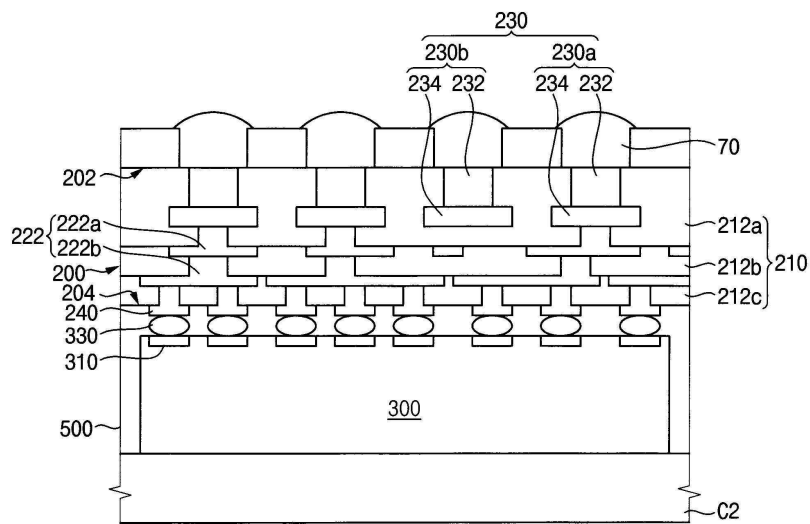
도면16



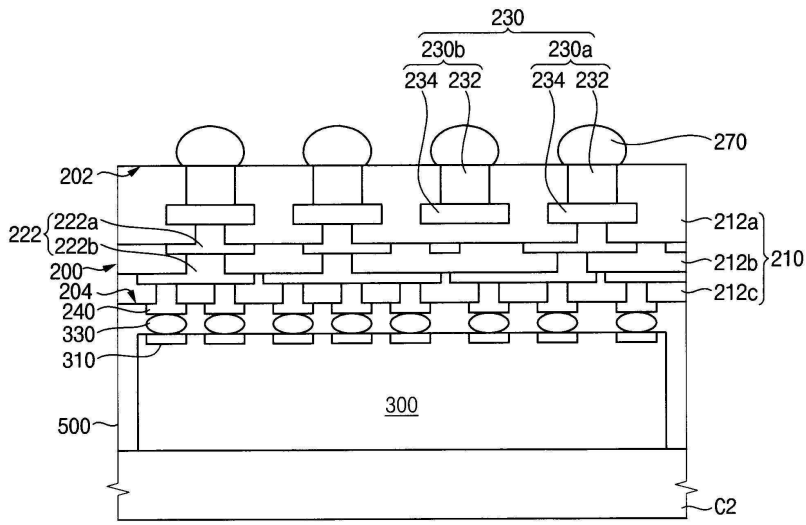
도면17



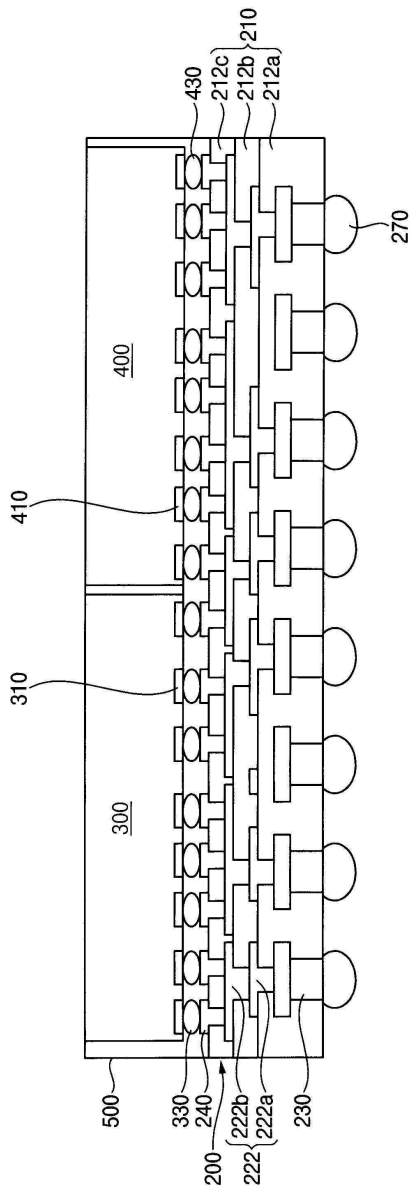
도면18



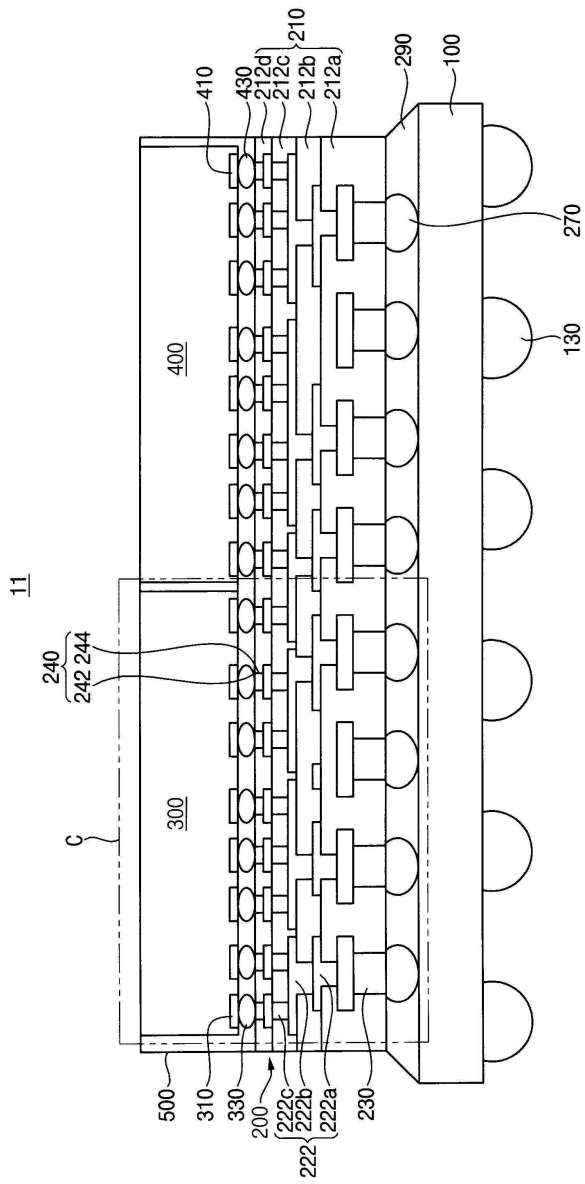
도면19



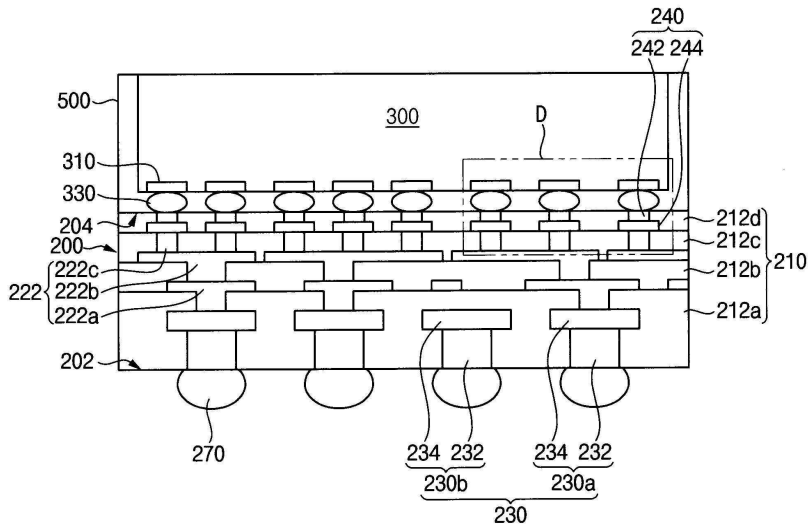
도면20



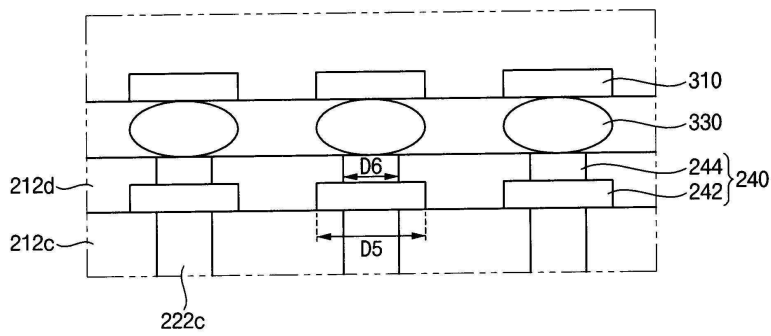
도면21



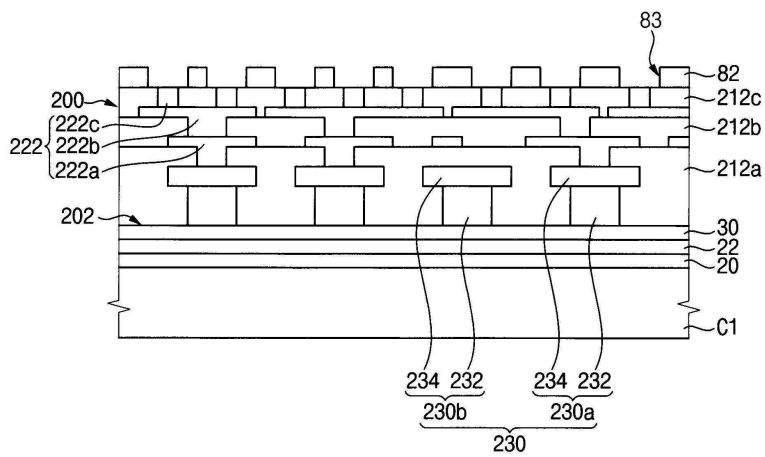
도면22



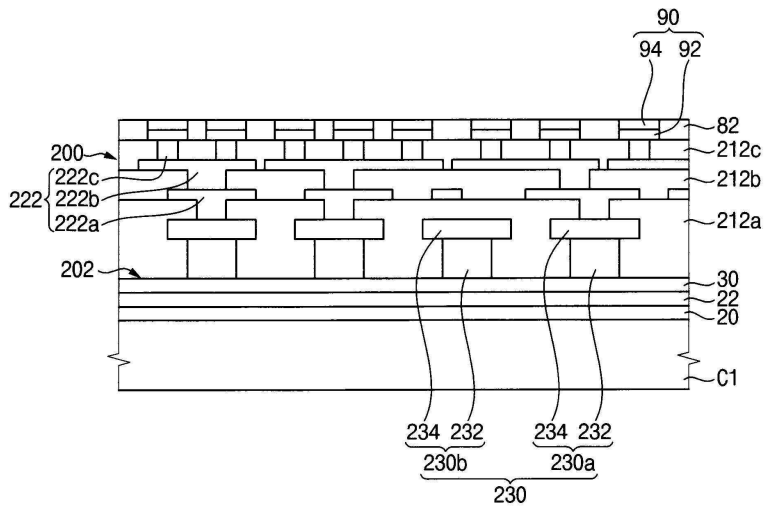
도면23



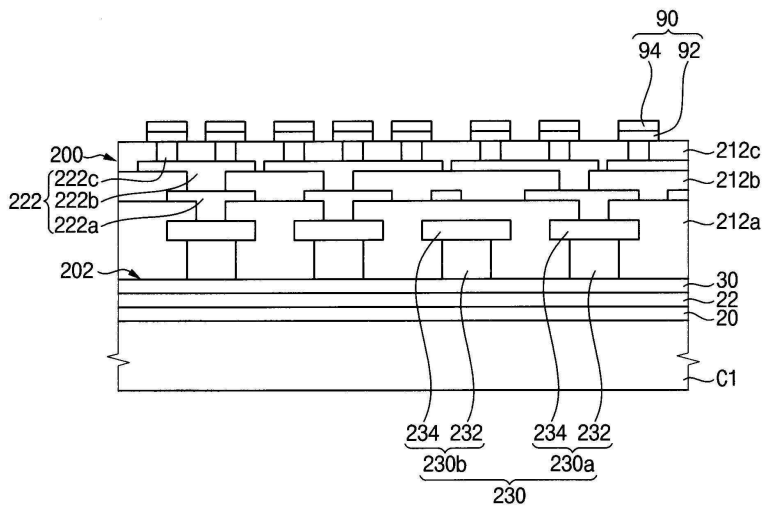
도면24



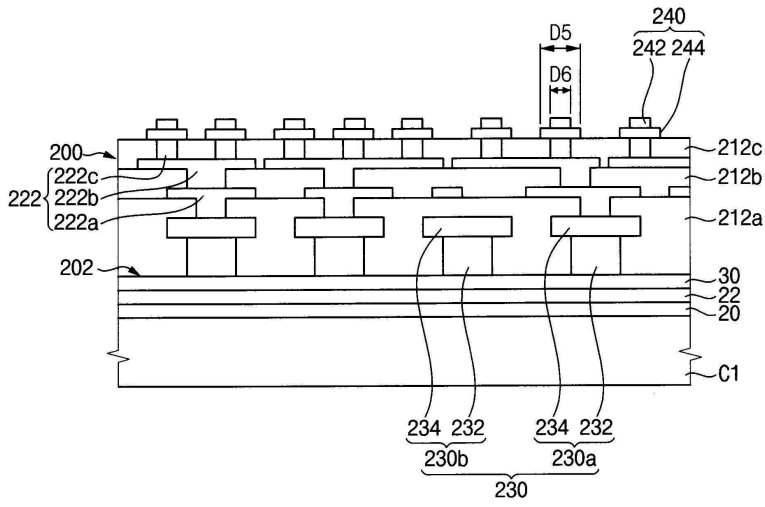
도면25



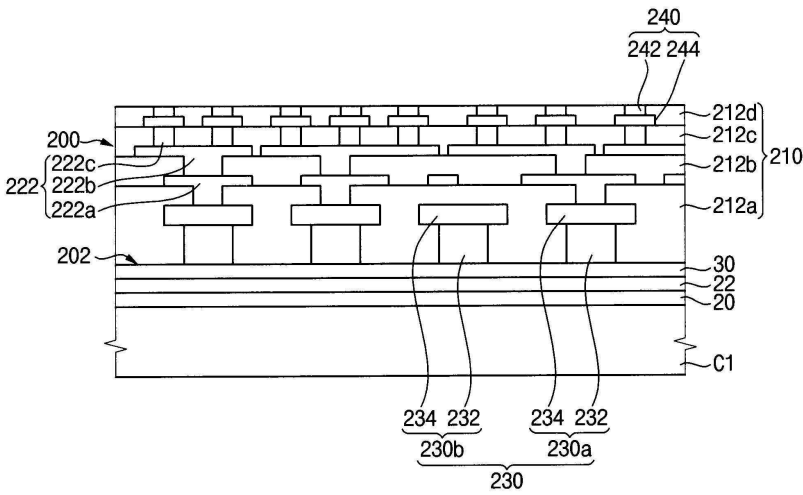
도면26



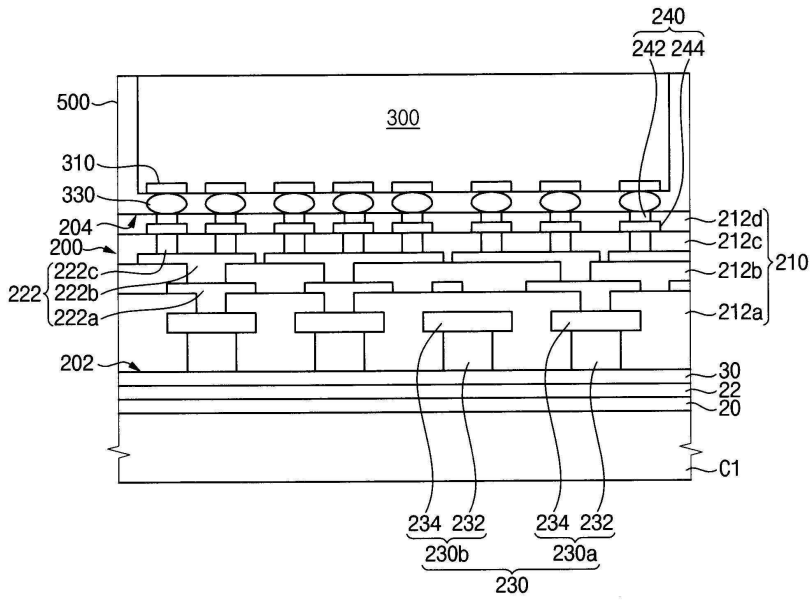
도면27



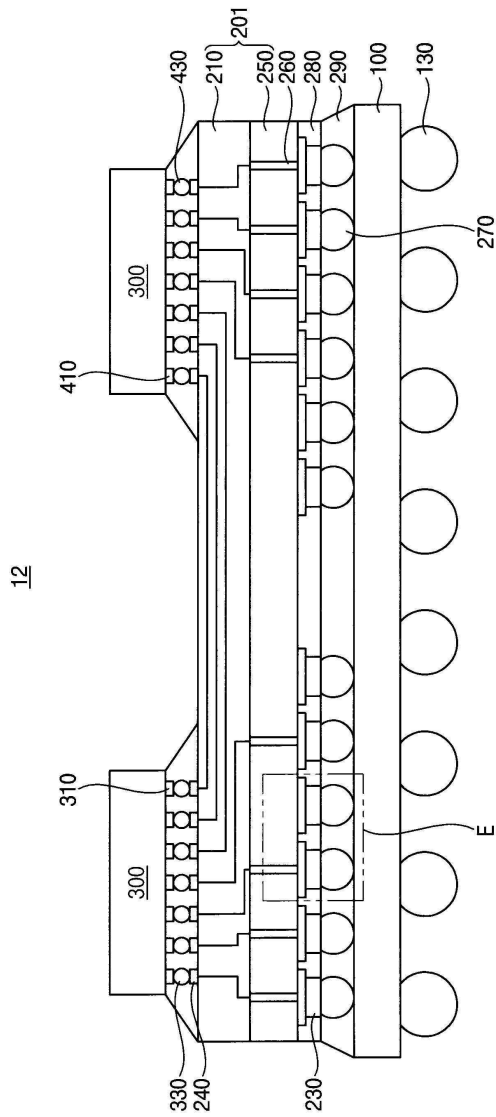
도면28



도면29



도면30



도면31

