

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-500433

(P2007-500433A)

(43) 公表日 平成19年1月11日(2007.1.11)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/265 (2006.01)	HO 1 L 21/265 Q	5 F 1 1 0
HO 1 L 29/78 (2006.01)	HO 1 L 21/265 F	5 F 1 4 0
HO 1 L 29/786 (2006.01)	HO 1 L 21/265 6 O 2 B	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 F	
	HO 1 L 29/78 3 O 1 B	

審査請求 未請求 予備審査請求 未請求 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2006-521575 (P2006-521575)
 (86) (22) 出願日 平成16年7月23日 (2004. 7. 23)
 (85) 翻訳文提出日 平成18年3月24日 (2006. 3. 24)
 (86) 国際出願番号 PCT/EP2004/051588
 (87) 国際公開番号 W02005/013344
 (87) 国際公開日 平成17年2月10日 (2005. 2. 10)
 (31) 優先権主張番号 10/627, 753
 (32) 優先日 平成15年7月28日 (2003. 7. 28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MASCHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100086243
 弁理士 坂口 博
 (74) 代理人 100091568
 弁理士 市位 嘉宏
 (74) 代理人 100108501
 弁理士 上野 剛史

最終頁に続く

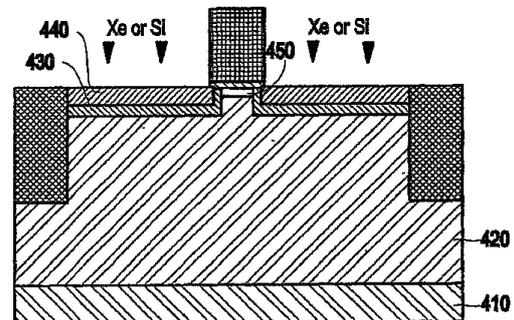
(54) 【発明の名称】 半導体基板におけるドーパントの拡散を低速化する方法およびこれにより製造されたデバイス

(57) 【要約】

【課題】 ひずみ $Si / Si_{1-x}Ge_x$ デバイス基板において、極めて浅い接合を形成する方法およびそれによって得られる半導体構造を提供する。

【解決手段】 半導体デバイスを形成する方法（およびその結果として得られる構造）は、基板上に、ドーパントおよび少なくとも1つの種を注入するステップと、基板をアニールするステップであって、少なくとも1つの種が、基板のアニールの間のドーパントの拡散を遅らせるステップと、を含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体デバイスを形成する方法であって、基板上に、ドーパントおよび少なくとも 1 つの種を注入するステップと、前記基板をアニールするステップであって、前記少なくとも 1 つの種が、前記基板をアニールする間の前記ドーパントの拡散を遅らせるステップとを含む、方法。

【請求項 2】

前記少なくとも 1 つの種の用量が前記基板のプリアモルファス化閾値を超えている、請求項 1 に記載の方法。

【請求項 3】

前記少なくとも 1 つの種の用量が前記基板のプリアモルファス化閾値の少なくとも約 3 倍である、請求項 2 に記載の方法。

【請求項 4】

前記少なくとも 1 つの種の用量が前記基板のプリアモルファス化閾値の少なくとも約 5 倍である、請求項 2 に記載の方法。

【請求項 5】

前記少なくとも 1 つの種の用量が前記基板のプリアモルファス化閾値の少なくとも約 7 倍である、請求項 2 に記載の方法。

【請求項 6】

前記少なくとも 1 つの種が、前記ドーパントによって形成された接合に損傷を与える、前出のいずれかに記載の方法。

【請求項 7】

前記接合が約 30 nm 以下の厚さを有する、請求項 6 に記載の方法。

【請求項 8】

前記接合が、前記ドーパントの濃度の 10 の変化ごとに少なくとも約 5 nm である勾配を有する、請求項 6 に記載の方法。

【請求項 9】

前記基板が、シリコン、SiGe、ひずみSi、およびひずみSiGeよりなる群から選択される少なくとも 1 つを含む、前出の請求項のいずれかに記載の方法。

【請求項 10】

前記少なくとも 1 つの種が、Xe、Ge、Si、Ar、Kr、Ne、He、およびNよりなる群から選択される少なくとも 1 つを含む、前出の請求項のいずれかに記載の方法。

【請求項 11】

前記ドーパントが、As、P、およびSbよりなる群から選択される少なくとも 1 つを含む、前出の請求項のいずれかに記載の方法。

【請求項 12】

前記ドーパントの注入が、前記種の注入の前および前記種の注入の後のいずれか一方の時期に行われる、前出の請求項のいずれかに記載の方法。

【請求項 13】

前記基板においてソースおよびドレイン領域を形成するステップと、前記ソースおよびドレイン領域の上に金属シリサイド・コンタクトを形成するステップとを更に含む、前出の請求項のいずれかに記載の方法。

【請求項 14】

前記ソースおよびドレイン領域の形成が、前記ドーパントの注入の前である時期に行われる、請求項 13 に記載の方法。

【請求項 15】

前記ソースおよびドレイン領域の形成が、前記ドーパントの注入の後である時期に行われる、請求項 13 に記載の方法。

【請求項 16】

前記ドーパントのが、前記種の注入の前および前記種の注入の後のいずれか一方の時期に

10

20

30

40

50

行われる、請求項 14 または 15 に記載の方法。

【請求項 17】

前記種の注入が、前記ドーパントの注入よりも少なくとも約 10 nm から約 20 nm 深く行われる、請求項 1 に記載の方法。

【請求項 18】

前記種が、前記基板において拡張領域の少なくとも一部を取り囲む領域を生成するのに十分な注入エネルギーを有する、前出の請求項のいずれかに記載の方法。

【請求項 19】

前記種が、前記基板において拡張領域の少なくとも一部を取り囲む領域を生成するのに十分な第 1 の注入エネルギー、および、前記基板においてソース/ドレイン領域の少なくとも一部を取り囲む領域を生成するのに十分な第 2 の注入エネルギーを有する、請求項 18 に記載の方法。

10

【請求項 20】

前記種が、前記基板において拡張領域の少なくとも一部およびソース/ドレイン領域の少なくとも一部を取り囲む領域を生成するのに十分な注入エネルギーを有する、請求項 18 に記載の方法。

【請求項 21】

前記基板のアニールが、前記ドーパントの注入および前記種の注入の後に実行される、前出の請求項のいずれかに記載の方法。

【請求項 22】

前記ドーパントの注入が、前記少なくとも 1 つの種の注入の後に実行され、前記方法が、前記種の注入の後および前記ドーパントの注入の前に前記基板をアニールするステップを更に含む、前出の請求項のいずれかに記載の方法。

20

【請求項 23】

半導体基板において浅く急峻な接合を形成する方法であって、基板上にドーパントを注入するステップと、前記基板のプリアモルファス化閾値をはるかに超える用量で、前記ドーパントの近傍に少なくとも 1 つの種を注入するステップと、前記基板をアニールするステップであって、前記少なくとも 1 つの種が、前記基板をアニールする間の前記ドーパントの拡散を遅らせて、浅く急峻な接合を形成するステップとを含む、方法。

【請求項 24】

半導体デバイスであって、半導体基板と、前記基板に形成されて接合を画定するドーパントと、前記接合の近傍に、前記基板のプリアモルファス化閾値をはるかに超える濃度で形成された種とを含む、半導体デバイス。

30

【請求項 25】

前記ドーパントおよび前記種に隣接して形成されたソース領域およびドレイン領域と、前記ソースおよびドレイン領域間に形成されたチャンネルと、前記チャンネルの上に形成されたゲートと、前記ソースおよびドレイン領域の上に形成されたコンタクトとを更に含む、請求項 24 に記載のデバイス。

【請求項 26】

前記種の領域が前記接合の少なくとも一部を取り囲む、請求項 24 または 25 に記載のデバイス。

40

【請求項 27】

前記種の領域が、前記接合の少なくとも一部ならびに前記ソースおよびドレイン領域の少なくとも一部を取り囲む、請求項 26 に記載のデバイス。

【請求項 28】

前記接合が、約 30 nm 以下の厚さを有し、ドーパントの濃度の 10 の変化ごとに少なくとも約 5 nm である勾配を有する、請求項 24 に記載のデバイス。

【請求項 29】

前記基板が、シリコン、SiGe、およびひずみ Si よりなる群から選択される少なくとも 1 つを含む、請求項 24 に記載のデバイス。

50

【請求項30】

前記SiGeが緩和SiGeおよびひずみSiGeのいずれか一方を含む、請求項29に記載のデバイス。

【請求項31】

前記ひずみSiGeが、圧縮ひずみおよび引張りひずみのいずれか一方のもとにあるSiGeを含む、請求項30に記載のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体デバイスに関し、更に具体的には、ひずみSi/SiGe基板におけるデバイス（例えばN-MOSデバイス）のための接合を形成するために、ひずみSi/Ge基板においてドーパント拡散を低速化するための方法および構造に関する。

【背景技術】

【0002】

緩和Si_{1-x}Ge_xバッファ層の上にひずみSiチャンネル（strained Si channel）を有するひずみSi相補型金属酸化物半導体（CMOS：complementary metaloxide semiconductor）デバイスは、チャンネルの電子およびホールの移動度が向上するため、従来のSi CMOSよりも優れたデバイス性能を提供し、約60nmほどに小さいデバイスについて実例が示されている（例えば、構造100を示す図1を参照のこと。これは、ゲート110と、ゲート110の各側面に形成された酸化物スペーサ120と、酸化物スペーサ120の近傍に形成された拡張接合領域130と、を含む）。

【0003】

しかしながら、約60nm以下のL_{eff}を有するデバイスでは、拡張接合深さX_jが30nm以下であることが必要とされる。SiGeにおいてドーパントが拡散すると、ヘテロ接合バイポーラ・トランジスタ（HBT：heterojunction bipolar transistor）内のヘテロ接合において寄生バリアを形成する可能性がある。

【0004】

更に重要なことに、チャンネル領域に近い接合勾配X_{js}は、急峻でなければならず（< 6nm/10）、拡張領域130におけるドーパント濃度は、~1E20/cm³でなければならない。

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、本発明者等は、ひずみSi/Si_{1-x}Ge_x基板におけるN型金属酸化物半導体（NMOS）内のドーパント（例えばヒ素）接合では、ヒ素によって拡散が著しく増大するために、これらの浅い接合の要件を満たすのが難しいことを認識した。

【0006】

すなわち、実験により、ヒ素ドーパントの拡散率は、Si_{1-x}Ge_xバッファ層におけるGe含有量の割合と共に指数的に増大することがわかっている。

【0007】

従って、電子およびホールの移動度を高めてデバイス性能を向上させるために、高い%でGe（例えば>約20%）を用いる場合、ひずみSi基板において小さい（例えば約50nm以下）NMOSデバイスの極めて浅い接合（ultra-shallow junction）を作成する際に、ひずみSi/Si_{1-x}Ge_x基板におけるこのヒ素ドーパント拡散の増大が著しい障害となることを、本発明者等は認識した。

【0008】

更に、50nm以下のデバイスでは、横方向のヒ素ドーパント拡散の増大は、NMOSデバイスのソースおよびドレイン領域を短絡させ（例えば図1を参照）、デバイスを全体的に動作不能とする。

【0009】

10

20

30

40

50

すなわち、図1に示すように、ゲート110(例えばポリシリコン・ゲート)の中央の直下は、約 $1 \times 10^{19} / \text{cm}^3$ のヒ素ドーパント濃度である。このゲートの下の高濃度のドーパントは、拡張接合領域130からゲート領域110までのヒ素接合拡散の増大による短絡を示す。

【0010】

このため、本発明者等は、本発明の前には、ひずみ $\text{Si} / \text{Si}_{1-x}\text{Ge}_x$ または $\text{Si}_{1-x}\text{Ge}_x / \text{Si}$ デバイス基板においてヒ素による拡散増大を低速化するための既知の技法(またはその結果として形成される構造)が存在しないことを認識した。

【課題を解決するための手段】

【0011】

従来の方法および構造の前述およびその他の問題、難点、欠点に鑑み、本発明の例示的な特徴は、ひずみ $\text{Si} / \text{Si}_{1-x}\text{Ge}_x$ デバイス基板において、ドーパント(例えばヒ素、P、あるいはSbまたはその両方)による拡散増大を低速化するための方法および構造を提供することである。

【0012】

本発明の例示的な態様は、半導体デバイスを形成する方法を含む。この方法は、基板上に、ドーパントおよび少なくとも1つの種を注入するステップと、基板をアニールするステップであって、その少なくとも1つの種が、基板をアニールする間のドーパントの拡散を遅らせるステップと、を含む。

【0013】

具体的には、少なくとも1つの種の用量は、基板のプリアモルファス化閾値を超えるものとすれば良い。特に、少なくとも1つの種の用量は、基板のプリアモルファス化閾値の少なくとも約3倍であり、場合によっては、少なくとも1つの種の用量は、基板のプリアモルファス化閾値の少なくとも約5倍であり、または、基板のプリアモルファス化閾値の少なくとも約7倍である。

【0014】

更に、少なくとも1つの種は、ドーパントによって形成された接合(例えば拡張接合)に損傷を与えることができる。例えば、接合は、約30nm以下の厚さを有することができる。更に、接合は、ドーパントの濃度の10%の変化ごとに少なくとも約5nmである勾配を有することができる。

【0015】

更に、基板は、シリコン、 SiGe 、およびひずみ SiGe よりなる群から選択された1つを含むことができる。

【0016】

更に、少なくとも1つの種は、Xe、Ge、Si、Ar、Kr、Ne、He、およびNよりなる群から選択された少なくとも1つを含むことができ、ドーパントは、As、P、およびSbよりなる群から選択された少なくとも1つを含むことができる。加えて、ドーパントの注入は、種の注入の前および種の注入の後のいずれか一方の時期に行うことができる。

【0017】

また、この方法は、基板においてソースおよびドレイン領域を形成するステップと、ソースおよびドレイン領域の上に金属シリサイド・コンタクトを形成するステップとを更にも含むことができる。例えば、ソースおよびドレイン領域の形成は、ドーパントの注入の前またはドーパントの注入の後のある時期に行うことができる。いずれの場合にも、ドーパントの注入は、種の注入の前および種の注入の後のある時期に行うことができる。

【0018】

更に、種は、ドーパントよりも少なくとも約10nmから約20nm深く注入されることができる。加えて、種は、基板において拡張領域の少なくとも一部を取り囲むための注入エネルギーを有することができる。更に、種は、基板において拡張領域の少なくとも一部を取り囲む領域を生成するのに十分な第1の注入エネルギー、および、基板においてソース

10

20

30

40

50

ノドレイン領域の少なくとも一部を取り囲む領域を生成するのに十分な第2の注入エネルギー（例えば第1の注入エネルギーよりも大きい）を有することができる。あるいは、種は、基板において拡張領域の少なくとも一部およびソース/ドレイン領域の少なくとも一部を取り囲む領域を生成するのに十分な注入エネルギーを有することができる。

【0019】

本発明の別の態様は、ドーパントの熱拡散を低減する方法を含む。この方法は、基板上にドーパントを注入するステップと、このドーパントと共に第2の種として、基板上に少なくとも1つの種を注入するステップと、基板をアニールするステップであって、少なくとも1つの種が、基板をアニールする間のドーパントの拡散を遅らせるステップと、を含む。

10

【0020】

例えば、基板のアニールは、ドーパントの注入および種の注入の後に実行することができる。更に、ドーパントの注入は、少なくとも1つの種の注入の後に実行することも可能である。その場合、この方法は、種の注入の後およびドーパントの注入の前に基板をアニールするステップを更に含むことができる。

【0021】

本発明の別の態様は、半導体基板において接合を形成する方法を含む。この方法は、基板上にドーパントを注入するステップと、このドーパントと共に第2の種として、基板上に少なくとも1つの種を注入するステップと、基板をアニールするステップであって、その少なくとも1つの種が、基板をアニールする間のドーパントの拡散を遅らせるステップと、を含む。

20

【0022】

本発明の別の態様は、半導体デバイスを含む。このデバイスは、半導体基板と、基板に形成されて接合を画定するドーパントと、このドーパントと共に第2の種として、ドーパントの拡散を遅らせるのに十分な濃度で基板に形成された種とを含む。このデバイスは、チャンネルの上に形成されたゲートと、第1および第2の材料に隣接して形成されたソースおよびドレイン領域と、ソースおよびドレイン領域の上に形成されたコンタクトとを更に含むことができる。

【0023】

例えば、接合は、約30nm以下の厚さを有し、ドーパントの濃度の10の変化ごとに少なくとも約5nmである勾配を有することができる。更に、基板は、シリコン、SiGe、およびひずみSiよりなる群から選択される1つを含むことができる。例えば、SiGeは、緩和SiGeおよびひずみSiGeのいずれか一方を含むことができる。更に、ひずみSiGeが、圧縮ひずみおよび引張りひずみのいずれか一方のもとにあるSiGeを含む場合がある。

30

【0024】

従って、本発明の例示的な特徴の独特かつ明確でない組み合わせによって、本発明は、Si/Si_{1-x}Ge_xデバイス基板におけるヒ素拡散の増大を低速化するための方法および構造を提供する。また、本発明は、シリコン基板およびひずみSi_{1-x}Ge_x/Siに適用することも可能である。

40

【0025】

前述およびその他の例示的な目的、態様、および利点は、添付図面を参照した本発明の例示的な実施形態の以下の詳細な説明から、より良く理解されよう。

【発明を実施するための最良の形態】

【0026】

ここで図面、更に具体的には図2~26を参照すると、本発明による方法および構造の例示的な実施形態が図示されている。

【0027】

全体的に、本発明による例示的な技法は、基板上での少なくとも1つの原子/イオン種（例えば、1つまたは複数の原子/イオン種）の注入を有利に用いる。例えば、原子/イ

50

オン種は、不活性の種（例えばXe、Ge、Si、Ar、Kr、Ne、He、またはN）を含むことができ、デバイス・ドーパントの近傍に注入することができる（例えば、本発明全体を通じてヒ素を想定するが、上述のように、ドーパントは、PあるいはSbまたはその両方とすることも可能である）。具体的には、原子/イオン種は、基板（例えばひずみSi/Si_{1-x}Ge_x基板）の拡張領域（例えば拡張接合領域）あるいはソース/ドレイン領域（例えばソース/ドレイン接合領域）またはその両方の近傍に注入することができる。

【0028】

具体的には、ヒ素ドーパントの近傍の原子/イオン種によって生成される過剰な侵入型（interstitial）および空格子点シンク（vacancysink）が、拡張接合領域またはヒ素拡張領域またはソース/ドレイン接合領域の双方において垂直および横方向の双方のヒ素による拡散増大を低速化するのに役立つことを、本発明者等は発見した。

10

【0029】

このため、本発明の方法は、30nm以下（例えば、本発明は、約20nm～約30nmの範囲の接合深さを示している）の極めて浅いヒ素接合を、ひずみSi/Si_{1-x}Ge_x基板に形成することを可能とし、デバイス・チャンネル領域内への望ましくない横方向のヒ素拡散を防ぐ。

【0030】

このように、本発明は、ひずみSi/Si_{1-x}Ge_x基板に、高性能の50nm以下のNMOSデバイスを製造することを可能とする。ひずみ基板は、引張りひずみまたは圧縮ひずみがかかっている場合がある留意すべきである。同様の理由で、SiGeは緩和している可能性がある。これがひずみであることは要件ではない。

20

【0031】

ここで図2に移ると、図2は、本発明によって形成される構造200を示す。図示のように、構造（例えば例示的なNMOSデバイス）200は、基板210（例えば、シリコン等で形成すると好ましい）と、Si基板210を覆うように（例えばその上に）形成された緩和Si_{1-x}/Ge_x層220と、を含む。Si/Ge層220は傾斜層（graded layer）であり、その結晶格子は、基板210の上面から離れて延びる方向において緩和が進み、Geの濃度は、基板210の上面から離れる方向において増大する。

【0032】

ヒ素拡張領域240の下に、比較的不活性の原子/イオン種（例えばXe、Ge、Si、Ar、Kr、Ne、He、およびN）230注入（implant）が形成され、ヒ素拡張240の第1および第2の表面を囲むように形成されている（例えば、非参照であるが、図2において、ヒ素拡張領域240の下面および側面）。

30

【0033】

更に、好ましくは、原子/イオン種は、用いられているドーパント以外から選択する（例えば、この例示的な用途では、原子/イオン種は、Asドーパント以外であるように選択すると好ましい）。

【0034】

隣接するヒ素拡張領域240の対向する側面間に、ひずみシリコン・チャンネル250が形成され、これに原子/イオン種が接している。

40

【0035】

ひずみシリコン・チャンネル250の上に、ゲート270（例えば、ポリシリコン、金属等で形成されている）が形成されている。ゲート270とチャンネル250との間に、ゲート酸化物260が形成されている。デバイス間に、ソースおよびドレインに隣接して、誘電体等で形成された浅いトレンチ分離（STI：shallow trench isolation）290が形成されている。

【0036】

従って、図2に例示的に示すように、拡張領域240にヒ素ドーパントを注入した後、ひずみSi/Si_{1-x}Ge_x基板におけるNMOSデバイスのヒ素拡張接合領域の周囲（例

50

えば、少なくともその一部の周囲)に、原子/イオン種(例えばXe、Si等)注入種を注入する。

【0037】

XeまたはSiの注入領域は、注入深さとしてはヒ素ドーパントのものよりも約10から約20nm深く、XeまたはSi原子/イオン注入種が過剰な侵入型および空格子点シンクを生成し、これによって、ヒ素拡張領域240の接合のアニールの間にヒ素ドーパントのごく近傍での空格子点数を減少させるようになっている。

【0038】

このようにして、ヒ素ドーパント拡散を大幅に低減させ、ひずみSi/Si_{1-x}Ge_x基板におけるNMOSデバイス内で、はるかに浅いヒ素接合を形成することができる。

10

【0039】

従って、%Ge > 20%のひずみSi/Si_{1-x}Ge_xにおけるヒ素による拡散増大の機構は、主に、Si_{1-x}Ge_x層における空格子点数の多さ、および、それに対応するヒ素拡散の空格子点成分の増大による。

【0040】

上述のように、本発明の例示的な態様は、ひずみSi/Si_{1-x}Ge_x基板において、デバイス拡張接合領域またはヒ素デバイス拡張およびソース・ドレイン接合領域における原子/イオン種(例えばXe、Ge、Si、Ar、Kr、Ne、He、およびN)の注入を用いている。

【0041】

本発明は上述の種に限定されず、基板においてドーパント(例えば、例示的な実施形態ではヒ素であるが、ドーパントは例えばPあるいはSbまたはその両方を含む場合がある)の拡散を遅らせるならば、いかなる種も使用可能であることに留意すべきである。更に、原子/イオン種は、小さいよりも大きい方が一般的に好ましい。

20

【0042】

高速熱アニール(RTA: rapid thermal anneal)の間、原子/イオン種によって生成された過剰な侵入型および空格子点シンクは、空格子点数を減らすのに役立ち、従って、ひずみSi/Si_{1-x}Ge_x基板におけるヒ素拡散を遅らせる。

【0043】

図2の断面A-A'に沿って、ひずみSi/Si_{1-x}Ge_x基板においてヒ素接合拡散を低速化させる一例を、ヒ素拡散接合と共に注入した第2の種としてXeまたはSiを用いる場合または用いない場合について、図3に示すように、ヒ素ドーパント接合プロファイルの比較において明らかにする。

30

【0044】

すなわち、図3は、実験データ(SIMSプロファイル)を示し、XeまたはSi種の注入による、ひずみSi/Si_{1-x}Ge_xにおけるAsドーパント拡散の低速化を示している。これらの実験において、ひずみSi/Si_{1-x}Ge_xの上に、5nmのシリコン・キャップで50nmの低温酸化膜(LTO: lowtemperature oxide)を形成した。x = 30%である。

【0045】

すなわち、これらの例において、ひずみSiキャップ厚さは、~5nmであった。Si_{1-x}Ge_x緩和バッファ層におけるGe含有量は、~30%である。ヒ素接合注入は、約1E15/cm²用量で約1kVであった。XeまたはSiである第2の種は、それらの注入範囲が、注入範囲として1kVで注入されたヒ素よりも~10nm深いようになっていた。XeまたはSiである第2の種の注入用量は、それぞれ約5E14/cm²または約5E15/cm²であった。

40

【0046】

これらの用量は、原子/イオン種(例えばXeまたはSi種)のプリアモルファス化(preamorphization)閾値用量よりも多い(例えば、はるかに多いことが好ましい)と有利であり、十分な量の過剰な侵入型および空格子点シンクを発生して、ヒ素ドーパントの動

50

きを低速化するようになっている。

【0047】

すなわち、本出願の目的のため、「プリアモルファス化閾値」が意味するのは、結晶格子がほぼ完全にランダムな（例えば「損傷を受けた」）パターンに変換される用量であり、これによってアモルファス構造が生じる。

【0048】

このため、どの原子/種を用いても、かかる変換を可能とするために、用量はプリアモルファス化閾値よりも多く（例えば、はるかに多いことが好ましい）しなければならない。本出願を全体として利用する当業者にはわかるであろうが、プリアモルファス化閾値は、どの種/原子を採用するかによって異なる。原子が大きい方が、生成される損傷（例えば過剰な侵入型および空格子点シンク等）は大きくなり、このため、用いる全用量を少なくすることができる。

10

【0049】

逆に、原子が小さければ、生成される損傷は比較的軽く、このため、用いる用量を大きくしてプリアモルファス化閾値を達成する。従って、どの原子を用いても、プリアモルファス化閾値を満足させるための用量よりも多い（例えば、好ましくは少なくとも約3倍、多くの場合、より好ましくは少なくとも約5倍、最も好ましくは約7倍多い）用量を選択する。

【0050】

このため、例えば、キセノンでは、プリアモルファス化閾値用量は、約 $1 \text{ E } 14 / \text{ cm }^2$ である。このため、キセノンの用量は、少なくとも約 $3 \text{ E } 14 / \text{ cm }^2$ とすることができる（例えば約 $3 \text{ E } 14 / \text{ cm }^2$ から約 $5 \text{ E } 14 / \text{ cm }^2$ ）。更に、シリコンでは、プリアモルファス化閾値用量は、約 $1 \text{ E } 15 / \text{ cm }^2$ である。このため、シリコンの用量は、少なくとも約 $3 \text{ E } 15 / \text{ cm }^2$ とすることができる（例えば、約 $3 \text{ E } 15 / \text{ cm }^2$ から約 $5 \text{ E } 15 / \text{ cm }^2$ ）。

20

【0051】

再び注記すると、本発明は、典型的な用量を用いた注入種を用い、損傷を生じさせ、この結果として侵入型および空格子点シンクが生じ、これがドーパント移動度の低速化を可能とすると概括することができる。

【0052】

更に、注入種は、好ましくは、接合注入（例えば、例示的な場合はヒ素）の比較的近傍に形成される。このため、例えば、注入種（例えば X e、S i 等）は、A s 接合注入プロファイルから約 100 領域から約 200 の領域内とすることができる。

30

【0053】

すなわち、A s 接合プロファイルが約 100 以上である場合、種（例えば X e）のピークは、約 100 領域または約 300 領域（例えば、そのすぐ裏側）に注入することができる。

【0054】

そして、ヒ素接合および X e（または S i または他の種）の共同注入に、好ましくは約 800 から約 1100 内の範囲で、約 1 秒から約 5 秒、高速アニールを行って、注入損傷を取り除くと共にドーパントを活性化させる。

40

【0055】

かかるアニールのため、高速熱アニール（R T A）（または「スパイク・アニール（spike annealing）」）を採用することができる。極めて短い時間期間（実際には、例えば特定の R T A ツールが達成可能なものに規定され限定される短い時間期間）で、高温（例えば約 1100）を直ちに達成する。かかる R T A または「スパイク・アニール」のため、フラッシュ・ランプ（例えばハロゲン・ランプ、レーザ光等）を採用可能である。図 3 の例では、R T A 条件は、100% アルゴン中において 1000 / 1 秒であった。

【0056】

図 3 に示すように、超高化学気相付着（U H C V D : ultra-high chemical vapor depo

50

sition) ひずみ $Si / Si_{1-x}Ge_x$ ($x \sim 20\%$) により Xe または Si 種の注入を行うと、第2の種 (例えば Xe 、 Si 等) の注入が行われない As 接合と比較して、ヒ素接合拡散が著しく低減したが、 Xe または Si 種を注入しない場合、 $1E18 / cm^3$ ドーパント濃度におけるヒ素接合深さは、 $\sim 85 nm$ であった。 Xe 種では、 As 接合深さは、 $\sim 30 nm$ であった。 Si 種注入では、 As 接合は、 $\sim 50 nm$ であった。

【0057】

従って、この例によって、 Xe 種の注入によってヒ素接合深さを低減可能である (例えば、ほぼ3分の1に) ことが実証された。種 (例えば Xe 、 Si 等) の共注入 (co-implant) により達成される約 $30 nm$ のヒ素の浅い接合深さによって、ひずみ $Si / Si_{1-x}Ge_x$ 基板に、高性能の $50 nm$ 以下の $NMOS$ デバイスを製造することができる。 10

【0058】

例えば、図4は、超高化学気相付着 (UHCVD) ひずみ $Si / Si_{1-x}Ge_x$ ($x = 20\%$) を含む構造において、 Xe 種注入を用いる場合と用いない場合とで形成した2つの接合についてのヒ素接合プロファイルを示す。約 $20 nm$ の Si キャップも用いた。RTA条件は、 100% アルゴン中において $1000 / 5$ 秒であった。

【0059】

接合の質は、接合の浅さおよび接合の急峻さ (例えば勾配の鋭さ) によって規定することができることは理解されよう。図4は、かかる改良した品質の接合を示し、具体的には、 Xe 種の注入された接合は、ドーパントの深さが約 $20 nm$ であり、勾配がドーパント濃度の10の変化ごとに $5 nm$ (例えば接合の近傍において) であり、これは、従来の接合よりもはるかに改善されている。 20

【0060】

以下に、図5～26を参照して、本発明の例示的な方法を組み込んでひずみ $Si / Si_{1-x}Ge_x$ 基板において高性能の $50 nm$ 以下の $NMOS$ デバイスを作成するための、様々な例示的なプロセス・フローを説明する。

【0061】

第1の例示的な技法

【0062】

図5～9は、本発明に従って $CMOS$ (例えば $NMOS$) デバイスを形成する第1の例示的な技法の処理ステップを示す。図9は、図5～8の例示的な技法のフローチャート400を示す。 30

【0063】

まず、図5において、更に図9に示すステップ410において、ヒ素拡張注入440を形成する。図示のように、注入440は構造400に形成され、これは図2に示した構造200に若干似ている。

【0064】

すなわち、構造400は、基板410 (例えばシリコン、シリコン・オン・インシュレータ (SOI : silicon-on-insulator) 等で形成すると好ましい) と、基板410を覆うように (例えばその上に) 形成された緩和 Si_{1-x} / Ge_x 層420と、を含む。 Si / Ge 層420は傾斜層であり、 Si / Ge 層における Ge 濃度が基板410の上面から離れる方向において増大する結果として、層420の結晶格子は、基板410の上面から離れる方向において緩和が進む。 40

【0065】

隣接するヒ素拡張440の対向する側面間に、ひずみシリコン・チャンネル450を形成する。

【0066】

ひずみシリコン・チャンネル450の上に、ゲート470 (例えば、ポリシリコン、金属等で形成する) を形成する。ゲート470とチャンネル450との間に、ゲート酸化物460を形成する。デバイス間に、ソースおよびドレインに隣接して、誘電体等で形成した浅 50

いとレンチ分離 (S T I) 4 9 0 を形成する。

【 0 0 6 7 】

図 6 に示すように、拡張領域 4 4 0 にヒ素ドーパントを注入した後、ひずみ $S i / S i_{1-x} G e_x$ 基板における N M O S デバイスのヒ素拡張接合 4 4 0 領域の周囲 (例えば、少なくともその一部の周囲) に、原子 / イオン種 (例えば X e、S i 等) を注入する。(この例では、X e または S i を用いたと仮定する。)

【 0 0 6 8 】

図 6 において (および図 9 に示すステップ 4 2 0 において)、上述のように、原子 / イオン種 (X e、G e、S i、A r、K r、N e、H e、および N) 注入 4 3 0 を形成する。図示のように、原子 / イオン注入 4 3 0 は、ヒ素拡張 4 4 0 の下に形成され、ひずみシリコン・チャンネル 4 5 0 とヒ素拡張 4 4 0 との間に垂直に形成された「縁部 (lip)」を有する。このため、原子 / イオン種注入は、L 型 (断面において) を有することができる。従って、ヒ素拡張 4 4 0 の少なくとも 2 つの側面は、原子 / イオン種注入によって囲まれる。

10

【 0 0 6 9 】

更に、基板上に注入された原子 / イオン種は、ヒ素ドーパントの近傍に空格子点シンクを生成する。原子 / イオン種によって生成された空格子点シンクの存在によって、ヒ素ドーパントの近傍の空格子点が除去され、これによってヒ素拡散を遅延 (例えば低速化) させる。

【 0 0 7 0 】

本発明のメカニズムについての別の可能な説明は、原子 / イオン種が、ドーパントの空格子点に対する結合力よりも、空格子点に対する強い結合力を有し得るということである。また、G e あるいは S i 原子またはその両方のドーパントに対する結合力よりも、原子 / イオン種はドーパントに対して強い結合力を有し得ることが理論化されている。しかしながら、これらの理論は、いかなる意味でも本発明を限定すると見なされるものではない。

20

【 0 0 7 1 】

そして、図 7 において (および図 9 に示すように、ステップ 4 3 0 において)、スペーサ 4 9 5 を形成し、また、ソース / ドレイン注入を行い、これによってソース 4 9 6 およびドレイン 4 9 7 を形成する。その後、ソース / ドレインのアニールを実行する。

30

【 0 0 7 2 】

従来の技術およびデバイスでは、通常、ヒ素注入ステップの後に (例えばステップ 4 1 0 の後に) アニールを行うことに留意すべきである。このため、従来の方法では、ヒ素注入の後に拡張接合アニールを行う。

【 0 0 7 3 】

これに対して、本発明では、ヒ素注入の後にアニールの実行は必要でない。その代わりに、本発明は、スペーサ 4 9 5 およびソース 4 9 6 / ドレイン 4 9 7 注入が所定の位置に配された後まで、アニールを遅らせることができる。

【 0 0 7 4 】

図 8 において (および図 9 に図示するステップ 4 4 0 において)、ソース 4 9 6 およびドレイン 4 9 7 を覆うようにシリサイド・コンタクト 4 9 8 を形成し、これによって、デバイスが完成する。

40

【 0 0 7 5 】

従って、本発明のこの例示的な技法によって、極めて浅い接合 (例えば 3 0 n m 以下) を形成することができる。従来の技術を考えると、本発明によって必ずしもステップを減らすことはできない場合があるが、このような極めて浅い接合を得るための追加ステップは必要でなく、本発明は、極めて便利な方法 (例えばコストが低い) を用いて極めて浅い接合を提供することに留意すべきである。

【 0 0 7 6 】

いくつかの従来の技法では、共注入 (c o - i m p l a n t) を用いている注入パター

50

ンがいくつかあるが、そこでは注入は次々に（例えば順次）実行していることに留意すべきである。

【0077】

しかしながら、本発明がこれらの技法と大きく異なっている点は、良好な勾配（例えば、ドーパント濃度の10の変化ごとに約5 nm）を有する極めて浅い接合（例えば厚さ約20 nm）を形成することができ、また、本発明のかかる注入は、ひずみシリコン（またはシリコン）において実行されていることである。

【0078】

本発明は、 $Si_{1-x}Ge_x$ 層について、広い範囲のGe組成に適用可能である（例えば、 $x = \text{約}0.14$ から $x = \text{約}0.75$ ）。

10

【0079】

第2の例示的な技法

【0080】

図10～13は、本発明によるCMOS（例えばNMOS）デバイス形成する第2の例示的な技法の処理ステップを示す。図14は、図10～13の例示的な技法のフローチャート500を示す。

【0081】

第2の例示的な技法は、（例えば図5～8の）第1の例示的な技法と同様であるが、第1の技法の第1および第2のステップを逆にする点異なる。

【0082】

20

すなわち、図10に例示的に示すように、まず、原子/イオン種（例えばXe、Si等）を注入する。

【0083】

次いで、ステップ520において、また図11に示すように、ひずみSi/Si_{1-x}Ge_x基板におけるNMOSデバイスのヒ素拡張接合領域540を形成する。

【0084】

次いで、ステップ430と同様に、図12（および、図14に示すステップ530において）、スペーサ595を形成し、更に、ソース/ドレイン注入を実行し、これによって、ソース596およびドレイン597を形成する。その後、ソース/ドレインのアニールを実行する。

30

【0085】

図8および図9のステップ440と同様に、図13において（および、図14に示すステップ540において）、ソース596およびドレイン597を覆うようにコンタクト598を形成し、これによってデバイスを完成する。

【0086】

従って、繰り返すと、第2の技法は第1の技法と同様であるが、ヒ素注入および第2の種の注入の順序が逆になっている。このため、設計者は、極めて浅い接合を形成する際に、ある程度の柔軟性を有する。

【0087】

ステップ510（例えば、原子/イオン種注入の実行）の後、As拡張注入を形成するステップ520の前、アニールを直後に任意に実行して、種の注入によって生じた損傷を除去可能であることに留意すべきである。かかるアニールは、接合がまだ形成されていないため、比較的高い温度のアニールとすることができる（例えば、約5秒間まで等の適切な時間、約950 と約1100 との間で実行される高速熱アニール、）。その後、ステップ520等（最終的なソース/ドレインのアニールの実行を含む）を実行することができる。

40

【0088】

第3の例示的な技法

【0089】

図15～18は、本発明によるCMOS（例えばNMOS）デバイス形成する第3の

50

例示的な技法の処理ステップを示す。図 19 は、図 15 ~ 18 の例示的な技法のフローチャート 600 を示す。

【0090】

第 3 の例示的な技法は、第 1 および第 2 技法と多少似ているが、異なる点は、種の注入が、厚さをやや大きくして行われ、ソースおよびドレイン領域ならびにヒ素注入拡張を取り囲む（例えば封入する）（例えば少なくともその一部を取り囲む）ことである。

【0091】

まず、図 15 において、および図 19 に図示するステップ 610 において、ヒ素拡張注入 640 を形成する。図示のように、注入 640 は構造 600 に形成され、これは図 2 の構造 200 に若干似ている。

【0092】

すなわち、構造 600 は、基板 610（例えば、好ましくはシリコン、シリコン・オン・インシュレータ等で形成される）と、基板 610 を覆うように（例えばその上に）形成された緩和 Si_{1-x}/Ge_x 層 620 と、を含む。 Si/Ge 層 620 は傾斜層であり、その結晶格子は、基板 610 の上面から離れる方向において緩和が進む。

【0093】

隣接するヒ素拡張 640 の対向する側面間に、ひずみシリコン・チャンネル 650 を形成する。

【0094】

ひずみシリコン・チャンネル 650 の上に、ゲート 670（例えば、ポリシリコン、金属等で形成される）を形成する。ゲート 670 とチャンネル 650 との間に、ゲート酸化物 660 を形成する。デバイス間に、ソースおよびドレインに隣接して、誘電体等で形成した浅いトレンチ分離（STI）690 を形成する。

【0095】

図 16 に例示的に示すように（および図 19 に図示するステップ 620 において）、拡張領域 640 にヒ素ドーパントを注入した後、ひずみ $Si/Si_{1-x}Ge_x$ 基板における NMOs デバイスのヒ素拡張接合 640 領域の周囲（例えば少なくともその一部の周囲）に、原子/イオン種（例えば Xe、Si 等）を注入する。

【0096】

次いで、図 17 において（および図 19 に図示するステップ 630 において）、スペーサ 695 を形成し、更に、ソース/ドレイン注入を実行して、これによって、ソース 696 およびドレイン 697 を形成する。その後、ソース/ドレインのアニールを実行する。

【0097】

原子/イオン種の注入は、拡張およびソース/ドレイン領域を取り囲む/封入する（例えば少なくともその一部を取り囲む）ことに留意すべきである。すなわち、拡張はヒ素注入であり、ソース/ドレインもヒ素注入である。これが意味するのは、拡張注入およびソース/ドレイン領域注入の双方から、ヒ素拡散の増大が生じることである。このため、ヒ素イオンはチャンネル領域内に拡散する可能性があり、または、ソース/ドレインさえ極めて急速に拡散して最初に拡張の存在を薄くしてしまう（overshadow）場合がある。

【0098】

種の注入が比較的深い場合、ソース/ドレイン領域におけるヒ素拡散およびヒ素拡張におけるヒ素拡散を、種の注入によってこれを囲む（例えば少なくともその一部を囲む）ことによって止めることができ、いっそうの制御が得られる。このため、第 1 および第 2 の例示的な技法とは異なり、第 3 の技法は、ヒ素拡張およびソース/ドレインの双方においてヒ素拡散を低速化することができ、これによって更に良好なデバイスを提供する。

【0099】

図 3 に示すように、ソース/ドレインが種注入よりも深いことは明らかである。これと比べて、図 15 の構造では、ソース/ドレイン（およびヒ素拡張）が、種注入によって囲まれている（例えば少なくともその一部が囲まれている）。

10

20

30

40

50

【0100】

図18において(および図19に図示するステップ640において)、ソース696およびドレイン697を覆うようにコンタクト698を形成し、これによってデバイスを完成する。

【0101】

第4の例示的な技法

【0102】

図20~25は、本発明によるCMOS(例えばNMOS)デバイスを形成する第4の例示的な技法の処理ステップを示す。図26は、図20~25の例示的な技法のフローチャート700を示す。

【0103】

この例示的な技法は、異なる形成シーケンスを用いる以外は、第1の技法(例えば図5~8に示す)と同様である。すなわち、ソース/ドレインを形成する際に、注入マスクとして使い捨て(disposable)スペーサを用い、ソース/ドレインを形成する順序が前述した技法のものとは逆である。このため、第4の例示的な技法においては、ソース/ドレインを最初に形成し、その後、ヒ素拡張を形成し、種注入を行い、スペーサを形成し、シリサイド・コンタクトを形成する。

【0104】

まず、図20において、および図26に示すステップ710において、ゲート770に隣接して、使い捨てスペーサ795Aを形成する。

【0105】

すなわち、図20の構造は、基板710(例えば、好ましくはシリコン、シリコン・オン・インシュレータ等で形成される)と、基板710を覆うように(例えばその上に)形成された緩和 Si_{1-x}/Ge_x 層720と、含む。 Si/Ge 層720は、好ましくは傾斜層であり、その結晶格子は、基板710の上面から離れる方向において緩和が進む。

【0106】

ゲート770の下に、ひずみシリコン・チャンネル750を形成する。

【0107】

ゲート770(例えば、ポリシリコン、金属等で形成する)は、ひずみシリコン・チャンネル750の上に形成されている。ゲート770とチャンネル750との間に、ゲート酸化物760を形成する。デバイス間に、誘電体等で形成した浅いトレンチ分離(STI)790を形成する。

【0108】

使い捨てスペーサ795Aは、ソース/ドレインを形成するためのものであり、ヒ素接合拡張を形成する領域をマスクする。

【0109】

図21(および図26のステップ720)に示すように、ソース796/ドレイン797接合を形成する。

【0110】

図22(および図26のステップ730)において、使い捨てスペーサ795Aを除去し、拡張領域740を形成するため、(例えばヒ素によって)拡張接合注入を形成する。

【0111】

図23に例示的に示すように、使い捨てスペーサ795Aを除去して拡張領域740にヒ素ドーパントを注入した後、ひずみ $Si/Si_{1-x}Ge_x$ 基板におけるNMOSデバイスのヒ素拡張接合740領域の周囲に、原子/イオン種(例えばXe、Si等)を注入する。

【0112】

図23において(および図26に示すステップ740において)、種(例えばXe、Ge、Si、Ar、Kr、Ne、He、およびN)注入730を形成する。

【0113】

10

20

30

40

50

そして、図 2 4 において（および図 2 6 に示すステップ 7 5 0 において）、スペーサ 7 9 5 B を形成し、更に、ソース/ドレイン注入を実行し、これによってソース 7 9 6 およびドレイン 7 9 7 を形成する。その後、ソース/ドレインのアニールを実行する。

【0 1 1 4】

図 2 5 において（および図 2 6 に示すように、ステップ 7 6 0 において）、ソース 7 9 6 およびドレイン 7 9 7 を覆うようにコンタクト 7 9 8 を形成し、これによってデバイスを完成させる。

【0 1 1 5】

第 3 の例示的な技法（例えば図 1 5 ~ 図 1 8 に示すように）と同様な処理を用いて、原子/イオン種注入を比較的深く行ない、拡張およびソース/ドレイン領域を取り囲む/包囲する（例えば少なくともその一部を取り囲む）ことが可能であることに留意すべきである。

10

【0 1 1 6】

従って、本発明の技法によって、ひずみシリコン（またはシリコン）において極めて浅い接合を形成することができる。これは、本発明の以前には達成されていない。

【0 1 1 7】

本発明は、いくつかの例示的な実施形態に関連付けて説明したが、特許請求の精神および範囲内で本発明を変形して実施可能であることは、当業者には理解されよう。

【0 1 1 8】

更に、出願人は、手続き中に補正された場合であっても、全ての請求要素の均等物を包

20

【図面の簡単な説明】

【0 1 1 9】

【図 1】ヒ素ドーパント濃度が増大するにつれて、拡張接合領域 1 3 0 からゲート領域 1 1 0 へのヒ素接合拡散の増大による短絡が起こり得ることを示すグラフ（および構造 1 0 0 ）を示す。

【図 2】本発明の例示的な実施形態に従って形成された構造 2 0 0 を示す。

【図 3】本発明の例示的な技法による、原子/イオン種（例えば X e、S i 等）を用いた場合（および用いない場合）のヒ素接合プロファイルの比較を示す。

【図 4】本発明の例示的な態様に従って形成した接合のプロファイルを示す。

30

【図 5】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 1 の例示的な技法の処理ステップを示す。

【図 6】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 1 の例示的な技法の処理ステップを示す。

【図 7】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 1 の例示的な技法の処理ステップを示す。

【図 8】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 1 の例示的な技法の処理ステップを示す。

【図 9】図 5 ~ 8 の例示的な技法のフローチャート 4 0 0 を示す。

【図 1 0】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 2 の例示的な技法の処理ステップを示す。

40

【図 1 1】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 2 の例示的な技法の処理ステップを示す。

【図 1 2】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 2 の例示的な技法の処理ステップを示す。

【図 1 3】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 2 の例示的な技法の処理ステップを示す。

【図 1 4】図 1 0 ~ 1 3 の例示的な技法のフローチャート 5 0 0 を示す。

【図 1 5】本発明に従って C M O S（例えば N M O S）デバイスを形成する第 3 の例示的な技法の処理ステップを示す。

50

【図16】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第3の例示的な技法の処理ステップを示す。

【図17】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第3の例示的な技法の処理ステップを示す。

【図18】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第3の例示的な技法の処理ステップを示す。

【図19】図15～18の例示的な技法のフローチャート600を示す。

【図20】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第4の例示的な技法の処理ステップを示す。

【図21】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第4の例示的な技法の処理ステップを示す。

【図22】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第4の例示的な技法の処理ステップを示す。

【図23】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第4の例示的な技法の処理ステップを示す。

【図24】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第4の例示的な技法の処理ステップを示す。

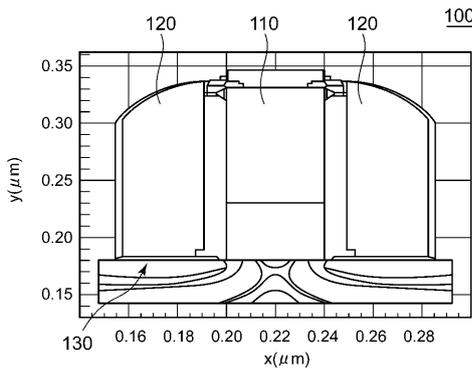
【図25】本発明に従ってCMOS（例えばNMOS）デバイスを形成する第4の例示的な技法の処理ステップを示す。

【図26】図20～25の例示的な技法のフローチャート700を示す。

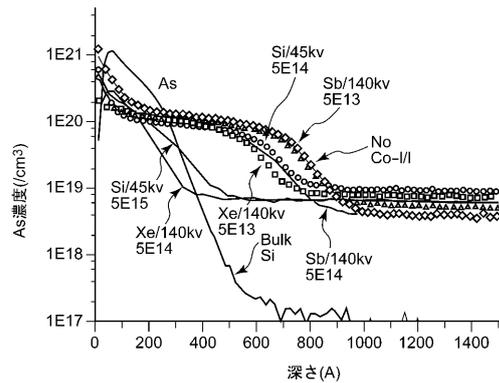
10

20

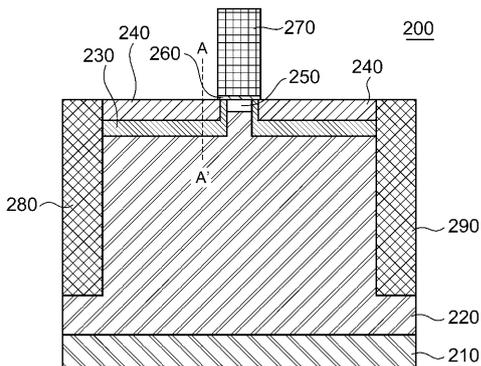
【図1】



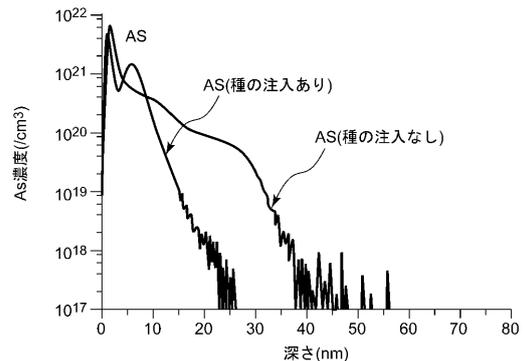
【図3】



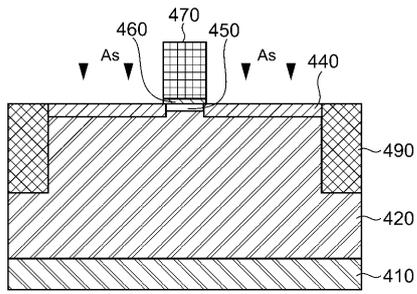
【図2】



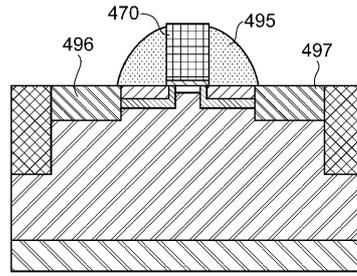
【図4】



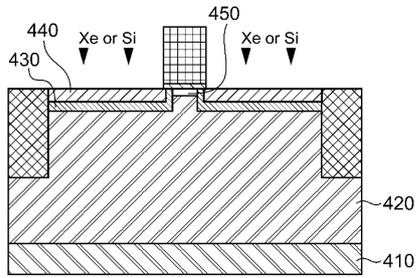
【図5】



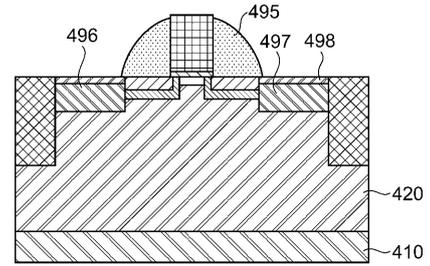
【図7】



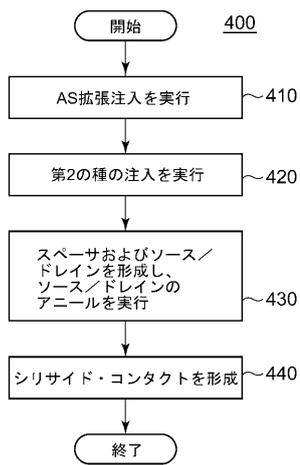
【図6】



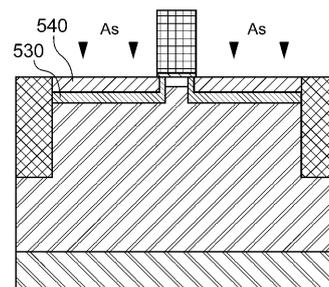
【図8】



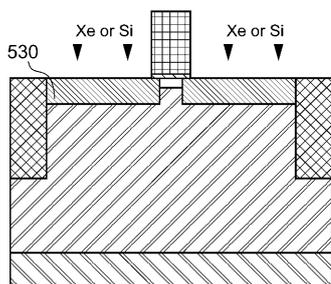
【図9】



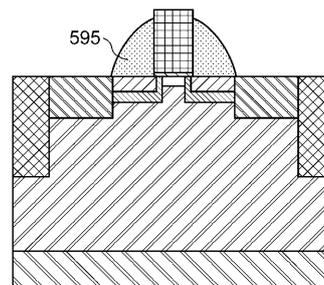
【図11】



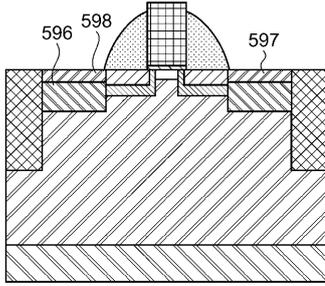
【図10】



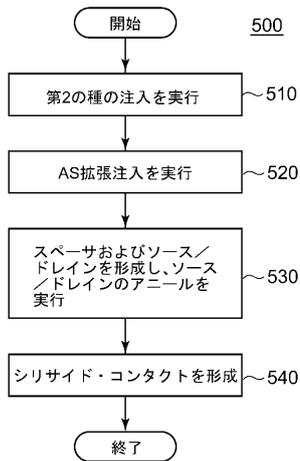
【図12】



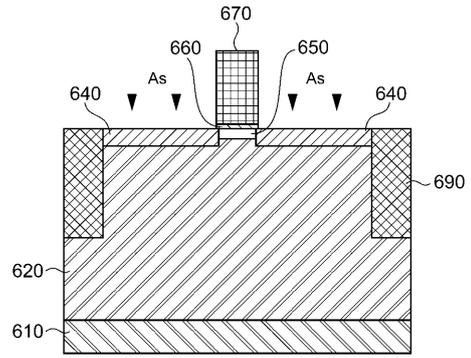
【図13】



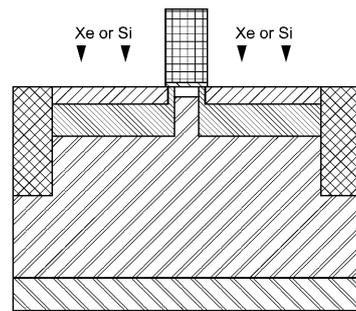
【図14】



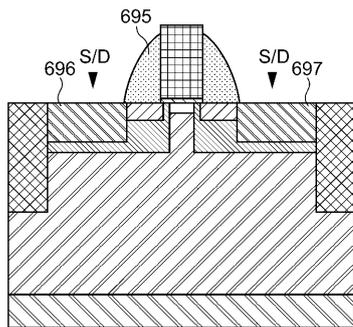
【図15】



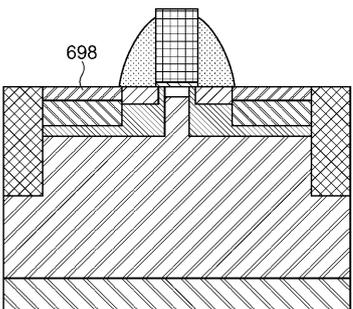
【図16】



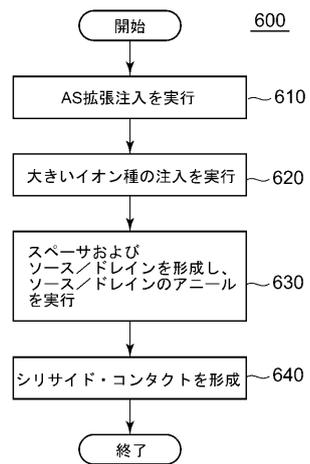
【図17】



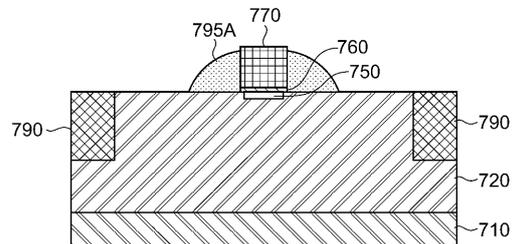
【図18】



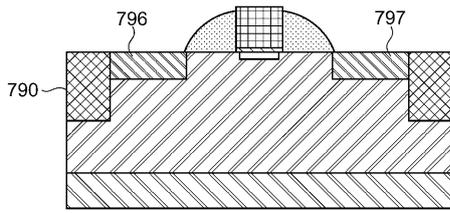
【図19】



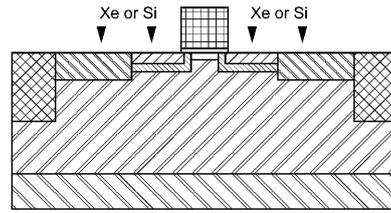
【図20】



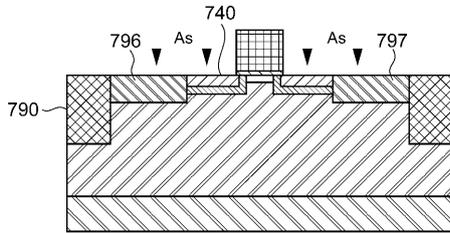
【図 2 1】



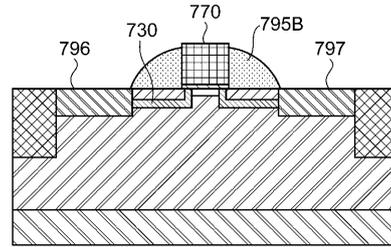
【図 2 3】



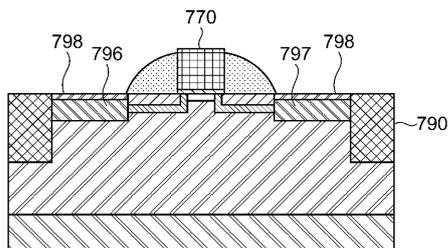
【図 2 2】



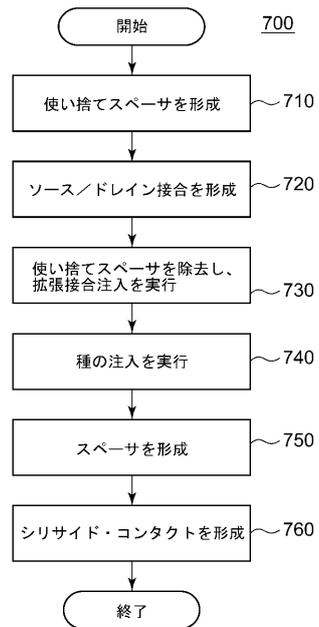
【図 2 4】



【図 2 5】



【図 2 6】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/EP2004/051588
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/265 H01L21/324		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 372 591 B1 (SHISHIGUCHI SEIICHI ET AL) 16 April 2002 (2002-04-16)	1-13, 15-21, 23-31
Y	column 10, line 58 - column 11, line 62; figures 4a-4f	14,22
X	US 2003/096490 A1 (FELCH SUSAN ET AL) 22 May 2003 (2003-05-22) paragraph '0024! paragraph '0031!	1-5, 9-11,13, 15,21, 23-25, 29-31
-----		-/--
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
8 October 2004		21/10/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 851 epo nl, Fax: (+31-70) 340-3016		Authorized officer Nesso, S

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2004/051588

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	HUANG T H ET AL: "INFLUENCE OF FLUORINE PREAMORPHIZATION ON THE DIFFUSION AND ACTIVATION OF LOW-ENERGY IMPLANTED BORON DURING RAPID THERMAL ANNEALING" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 65, no. 14, 3 October 1994 (1994-10-03), pages 1829-1831, XP002072738 ISSN: 0003-6951 the whole document	1-5,9, 13,15
X	US 6 518 150 B1 (MATSUMOTO MUNEYUKI) 11 February 2003 (2003-02-11) the whole document	1-5, 9-11,13, 15,21, 23-25, 29-31
X	US 6 069 062 A (DOWNEY DANIEL F) 30 May 2000 (2000-05-30) the whole document	1-5, 9-11,13, 15,21, 23-25, 29-31
X	US 6 180 476 B1 (YU BIN) 30 January 2001 (2001-01-30) the whole document	1-5, 9-11,13, 15,21, 23-25, 29-31
Y	US 6 380 053 B1 (KOMATSU HIROSHI) 30 April 2002 (2002-04-30) example 1	14
Y	US 6 426 278 B1 (ELLIS-MONAGHAN JOHN J ET AL) 30 July 2002 (2002-07-30) column 4, line 37 - column 5, line 1; figures 1-3	22
X	US 6 087 209 A (PRAMANICK SHEKHAR ET AL) 11 July 2000 (2000-07-11) the whole document	1
X	US 6 410 393 B1 (HAO MING-YIN ET AL) 25 June 2002 (2002-06-25) abstract	1
X	WO 97/42652 A (ADVANCED MICRO DEVICES INC) 13 November 1997 (1997-11-13) the whole document	1
	-/--	

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2004/051588

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SAITO, S. ET AL: "Defect reduction by MeV ion implantation for shallow junction formation" APPLIED PHYSICS LETTERS, vol. 63, no. 2, 12 July 1993 (1993-07-12), pages 197-199, XP002299880 the whole document -----	1

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2004/051588

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6372591	B1	16-04-2002	JP 11168069 A CN 1219756 A , B TW 400551 B	22-06-1999 16-06-1999 01-08-2000
US 2003096490	A1	22-05-2003	EP 1456883 A1 WO 03044860 A1	15-09-2004 30-05-2003
US 6518150	B1	11-02-2003	JP 2000183068 A	30-06-2000
US 6069062	A	30-05-2000	EP 1019952 A1 JP 2001516969 T WO 9914799 A1	19-07-2000 02-10-2001 25-03-1999
US 6180476	B1	30-01-2001	US 6297115 B1	02-10-2001
US 6380053	B1	30-04-2002	JP 2001068669 A	16-03-2001
US 6426278	B1	30-07-2002	NONE	
US 6087209	A	11-07-2000	NONE	
US 6410393	B1	25-06-2002	NONE	
WO 9742652	A	13-11-1997	DE 69730019 D1 EP 0897594 A1 JP 2000509902 T KR 2000010814 A WO 9742652 A1 US 5825066 A	02-09-2004 24-02-1999 02-08-2000 25-02-2000 13-11-1997 20-10-1998

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	3 0 1 S
	H 0 1 L 29/78	6 1 8 B
	H 0 1 L 29/78	6 1 6 L
	H 0 1 L 29/78	6 1 6 V

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100112690
弁理士 太佐 種一

(72) 発明者 リー、カムリョン
アメリカ合衆国 1 0 5 7 9 ニューヨーク州プットナム・ヴァレー ブリージー・パーク・ロード
8

(72) 発明者 チュウ、フィロン
アメリカ合衆国 1 2 6 0 3 ニューヨーク州ポキプシー オータム・ドライブ 9 3

F ターム(参考) 5F110 AA30 BB04 CC02 DD05 DD13 EE02 EE09 EE32 FF02 GG01
GG02 GG06 GG12 GG19 HJ01 HJ02 HJ22 HK05 NN62
5F140 AA00 AA13 AA18 AC28 AC36 BA01 BA05 BB13 BB16 BB18
BC06 BC11 BC17 BF01 BF04 BF05 BF07 BG08 BG54 BH15
BH22 BH33 BH35 BH45 BJ01 BJ08 BK02 BK03 BK10 BK13
BK17 BK21 BK22 CB04 CE18