



(21) 申請案號：104131344

(22) 申請日：中華民國 104 (2015) 年 09 月 23 日

(51) Int. Cl. :

C23C16/455 (2006.01)

C23C16/505 (2006.01)

C23C16/513 (2006.01)

C23C16/517 (2006.01)

C23C16/52 (2006.01)

C23C16/42 (2006.01)

H01L21/318 (2006.01)

H01L21/02 (2006.01)

(30) 優先權：2014/09/24

美國

14/494,914

(71) 申請人：蘭姆研究公司 (美國) LAM RESEARCH CORPORATION (US)

美國

(72) 發明人：希姆斯 詹姆士 S SIMS, JAMES S. (US)；凱爾克納 凱瑟琳 M KELCHNER,

KATHRYN M. (US)；亨利 強 HENRI, JON (US)；豪斯曼恩 丹尼斯 M

HAUSMANN, DENNIS M. (US)

(74) 代理人：許峻榮

申請實體審查：無 申請專利範圍項數：21 項 圖式數：6 共 61 頁

(54) 名稱

原子層沉積所形成的氮化矽膜之特徵部內溼蝕刻速率的均勻降低用方法及設備

METHODS AND APPARATUSES FOR UNIFORM REDUCTION OF THE IN-FEATURE WET ETCH RATE OF A SILICON NITRIDE FILM FORMED BY ALD

(57) 摘要

本文中揭露沉積具有降低的濕蝕刻速率的 SiN 薄膜的方法。該方法可包括在處理腔室中，將含 Si 薄膜前驅物吸附到半導體基板上，以形成前驅物之吸附限制層；然後將未吸附的前驅物從已吸附的前驅物的周圍容積中移除。之後透過將該已吸附的前驅物暴露到電漿而使其進行反應，以在該基板上形成 SiN 薄膜層，其中該電漿包含含 N 離子及/或自由基；以及透過將該 SiN 薄膜層暴露到 He 電漿而使其稠化。然後可重複執行前述步驟以在該基板上形成另外的稠化的 SiN 薄膜層。本文中亦揭露應用前述之技術而將具有降低的濕蝕刻速率的 SiN 薄膜沉積在半導體基板上的設備。

Disclosed herein are methods of depositing a SiN film having a reduced wet etch rate. The methods may include adsorbing a film precursor comprising Si onto a semiconductor substrate in a processing chamber to form an adsorption-limited layer of precursor, and then removing unadsorbed precursor from the volume surrounding the adsorbed precursor. The adsorbed precursor may then be reacted by exposing it to a plasma comprising N-containing ions and/or radicals to form a SiN film layer on the substrate, and the SiN film layer may then be densified by exposing it to a He plasma. The foregoing steps may then be repeated to form another densified SiN film layer on the substrate. Also disclosed herein are apparatuses for depositing SiN films having reduced wet etch rates on semiconductor substrates which employ the foregoing techniques.

指定代表圖：

符號簡單說明：

- 300 . . . 處理順序
- 311 . . . 步驟
- 312 . . . 步驟
- 313 . . . 步驟
- 314 . . . 步驟
- 315 . . . 步驟
- 316 . . . 步驟
- 320 . . . 步驟

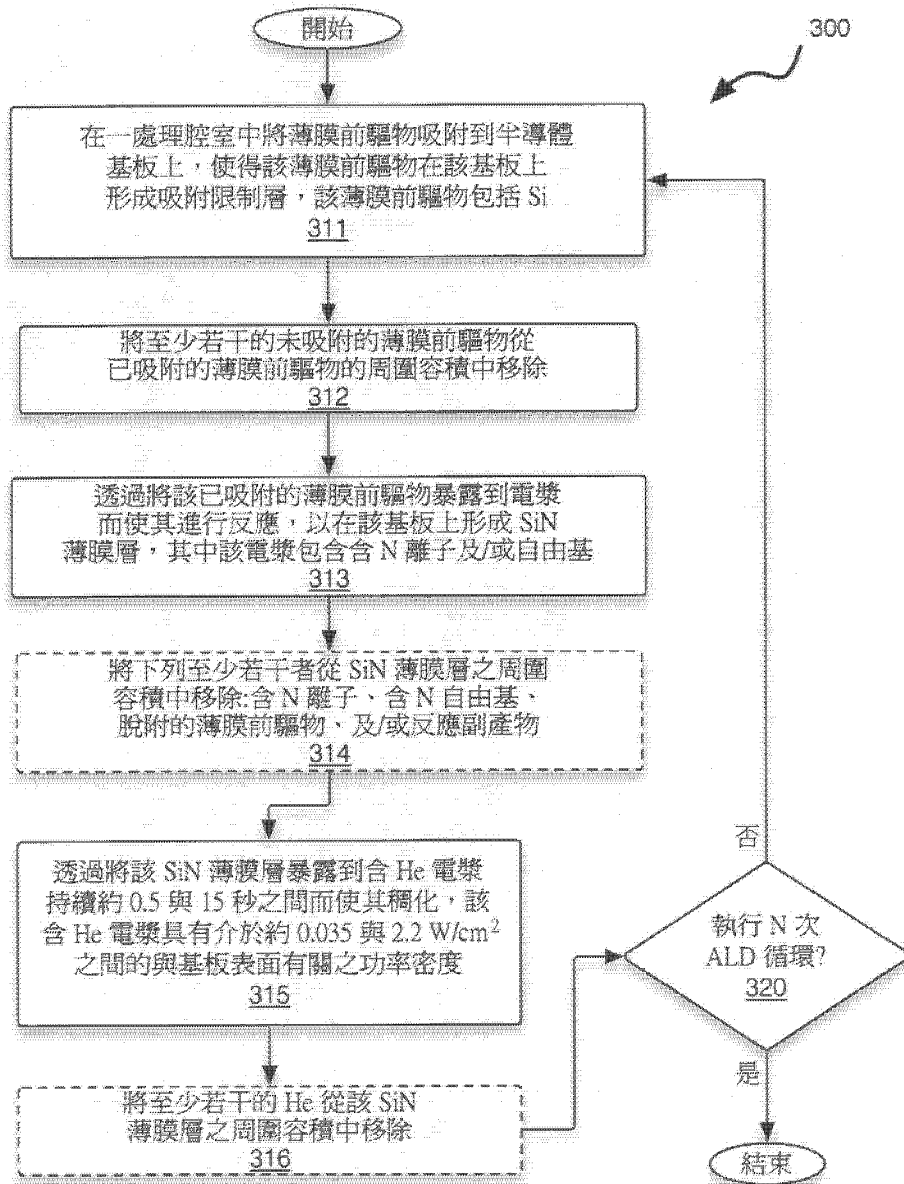


圖 3

【發明說明書】

【中文發明名稱】 原子層沉積所形成的氮化矽膜之特徵部內溼蝕刻速率的均勻降低用方法及設備

【英文發明名稱】 METHODS AND APPARATUSES FOR UNIFORM REDUCTION OF THE IN-FEATURE WET ETCH RATE OF A SILICON NITRIDE FILM FORMED BY ALD

【技術領域】

本發明係關於原子層沉積所形成的氮化矽膜之特徵部內溼蝕刻速率的均勻降低用方法及設備。

【先前技術】

【0001】 隨著半導體工業中的裝置與特徵尺寸持續微型化，且亦隨著3D裝置結構(例如Intel的3閘(Tri-Gate) 電晶體結構)在積體電路(IC)設計中變得更盛行，沉積保形薄膜(相對下層結構之形狀而具有均勻厚度的材料薄膜，即使下層結構並非平面)的能力將持續地增加重要性。原子層沉積(ALD)為一種適合沉積保形薄膜的薄膜形成技術，這係因為ALD的單一個循環僅沉積單一個材料薄層，而其厚度由在形成薄膜的化學反應本身之前，就已吸附在基板表面上(即形成吸附限制層)的一或更多的薄膜前驅反應物的量來限制。之後可應用多個「ALD循環」來積累所需厚度的薄膜，且因為各層既薄且保形，所以最終的薄膜實質上順應下層裝置結構的形狀。

【0002】 在目前的電晶體設計製程中，矽氮化物(SiN)薄膜為一種可經由ALD而形成的重要的介電質薄膜。因為SiN薄膜在此種結構中的角色，通常期望SiN薄膜具有低的濕蝕刻速率。然而，經由ALD處理來形成此種抗蝕刻性的

SiN薄膜，在一般的熱預算限制中係難以達成的。因此吾人尋求形成此種薄膜的改良的方法與設備。

【發明內容】

【0003】本文中揭露在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法。該方法可包括在一處理腔室中，將薄膜前驅物吸附到一半導體基板上，使得該薄膜前驅物在該基板上形成一吸附限制層，該薄膜前驅物包括Si；然後將至少若干的未吸附的薄膜前驅物從已吸附的薄膜前驅物的周圍容積中移除。將未吸附的前驅物移除之後，透過將該已吸附的薄膜前驅物暴露到電漿而使其進行反應，以在該基板上形成SiN薄膜層，其中該電漿包含含N離子及/或自由基。接下來，該方法更包括透過將該SiN薄膜層暴露到He電漿0.5與15秒之間而使其稠化。該He電漿可具有介於約0.035與2.2 W/cm²之間的與基板表面有關之功率密度。然後可重複執行前述步驟以在該基板上形成另外的稠化的SiN薄膜層。

【0004】本文中亦揭露用以將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的設備。該設備可包括一處理腔室；在該處理腔室中的一基板固持器，一或更多的氣體入口，用以使氣體流入該處理腔室中；一真空來源，用以將氣體從該處理腔室中移除；以及一電漿產生器，用以在該處理腔室中產生電漿。該設備可更包括一或更多控制器，其包含機器可讀指令，用以操作一或更多的氣體入口、真空來源、以及電漿產生器，以將SiN薄膜層沉積在基板上。該等指令可包括：用於下列操作之指令：操作該一或更多的氣體入口，使薄膜前驅物流進該處理腔室中，並吸附到半導體基板(被固持在該基板固持器中)上，使得該薄膜前驅物在該基板上形成一吸附限制層，該薄膜前驅物包括Si；用於下列操作之指令：操作該真空來源以將至少若干的未吸附的薄膜前驅物從已吸附的薄膜前

驅物的周圍容積中移除；用於下列動作之指令(在移除未吸附的前驅物之後執行):操作該電漿產生器以產生包含含N離子及/或自由基的電漿，並透過將該已吸附的薄膜前驅物暴露到該電漿而使其進行反應，以在該基板上形成SiN薄膜層；以及用於下列動作之指令(在使已吸附的前驅物進行反應之後執行):操作該電漿產生器以產生包含He且具有介於約0.035與 2.2 W/cm²之間的與基板表面有關之功率密度的電漿，並透過將該SiN薄膜層暴露到該電漿0.5與15秒之間而使其稠化。該等指令可進一步包括重複執行前述指令以在該基板上形成另外的稠化的SiN薄膜層。

【圖式簡單說明】

【0005】 圖1A呈現SiN薄膜之資料，顯示各個薄膜的濕蝕刻速率對於沉積溫度的相依性。

【0006】 圖1B呈現濕蝕刻前與濕蝕刻後之具有在440°C下沉積的SiN薄膜的基板特徵部的穿透式電子顯微鏡影像。

【0007】 圖1C呈現濕蝕刻前與濕蝕刻後之具有在520°C下沉積的SiN薄膜的基板特徵部的穿透式電子顯微鏡影像。

【0008】 圖2為用以形成SiN薄膜的基準原子層沉積處理的流程圖。

【0009】 圖3為改良的原子層沉積處理之流程圖，其使用氮電漿處理作為ALD循環中的附加步驟。

【0010】 圖4A呈現在多種溫度下使用多種ALD型薄膜形成技術而沉積的一組例示性SiN薄膜之濕蝕刻速率結果。結果係針對各個例示性SiN薄膜的半導體基板上的高深寬比特徵部之頂部與側壁而分別地繪製。

【0011】 圖4B呈現與繪製於圖4A之結果對應的剛沉積以及蝕刻後的半導體基板的高深寬比特徵部的穿透式電子顯微鏡(TEM)影像。

【0012】圖4C呈現與在4個逐漸增加的溫度下的基準ALD處理對應的濕蝕刻速率結果，以及與改良ALD處理(使用He電漿處理作為ALD循環中的附加步驟)對應之在有或無處理特定最佳化的情況下的濕蝕刻速率結果。

【0013】圖4D呈現與繪製於圖4C之其中一個處理的最佳化結果對應的剛沉積以及蝕刻後的半導體基板的高深寬比特徵部的穿透式電子顯微鏡(TEM)影像。

【0014】圖5為具有一處理腔室的基板處理設備(其中有單一個處理站)的一剖面示意圖。

【0015】圖6為具有基板搬運機械、旋轉料架、以及控制器的四站基板處理設備的一示意圖，其中該基板搬運機械係用於從2個處理站中裝載及卸載基板，該旋轉料架用以在處理站之間傳送基板，而該控制器係用於操作該設備。

【實施方式】

【0016】為了提供發明之全面性的理解，在接下來的實施方式中提出許多具體的細節。然而本發明毋須一些或全部該等具體細節而可被實施。在一些例子中，為了不必要地混淆本成果之發明觀點，熟知的製程作業或硬體未詳細描述。雖然本發明結合具體的詳細實施例來描述，但應知悉的係，該等具體的詳細實施例不欲限制本文中揭露之發明概念的範疇。

【0017】保形SiN傳統上係在高溫的巨大加熱爐中沉積，而產生適合地抗蝕刻性SiN薄膜。因著次世代的裝置製程中降低沉積溫度之要求，以加熱爐為基礎的熱沉積方法無法符合預期的性能要求。然而，雖然電漿活化ALD處理能夠在某升高溫度下產生抗濕蝕刻性SiN薄膜，但當使用較低溫度且無特殊程序/處理改良的情況下，作為結果的薄膜受高的濕蝕刻速率破壞，且當考量到高深寬比的裝置結構時一般為非均勻的濕蝕刻速率。由ALD形成的SiN薄膜的濕蝕刻速率

(WERs)隨沉積溫度降低之增加，以圖1A所示之資料圖解。呈現和位於基板特徵部的側壁以及頂部區域兩者上的SiN薄膜對應的資料，而當溫度降低時，兩者呈現大致上相同的不樂見的WER提高。濕蝕刻前與濕蝕刻後之具有以440°C ALD處理形成的SiN薄膜的基板特徵部的穿透式電子顯微鏡(TEM)影像呈現於圖1B。此影像顯示在440°C處理溫度下所形成的SiN薄膜被大量蝕刻掉。另一方面，520°C之較高沉積溫度的蝕刻抵抗性圖解於圖1C中的TEM影像，其顯示在較高處理溫度之下形成的SiN薄膜在濕蝕刻前與濕蝕刻後看起來幾乎相同。

● **【0018】** 在某些情況下，可使用高處理溫度之外的技術來達成由ALD形成的SiN薄膜的低WERs。例如，在一些例子中，可透過使用摻雜及/或退火程序來達成低WERs。然而，摻雜通常不相容於常見的使基板經受氧化電漿的製程流程，而該氧化電漿傾向於移除及/或改變摻雜物。相似地，由於前文提及之與目前和次世代的結構製程相關的熱預算限制，退火通常不被接受。

【0019】 因此，吾人尋求替代的低溫度ALD處理，以產生抗蝕刻的保形SiN薄膜。此種處理一般包括對於基礎ALD處理順序的一或更多的改良。

● **【0020】** 應用ALD技術以形成材料薄膜的半導體製程步驟一般應用複數個ALD循環順序。單一次ALD循環僅沉積薄的材料薄膜(通常僅一分子層厚度)。爲了積累看得見的所需厚度之薄膜，可執行複數次ALD循環。因此存在順序地重複執行的「ALD循環」之概念。

基準ALD循環

【0021】 簡而言之，用於在基板上形成單一層的SiN薄膜的基本「ALD循環」可包括下列步驟:(i)薄膜前驅物施加/吸附，(ii)未吸附的薄膜前驅物之施加後移除，(iii)已吸附的薄膜前驅物之電漿活化反應/轉化，以及可取捨地(iv)脫附的前驅物及/或反應副產物之反應後移除。因此操作(i)-(iii)(在一些實施立中還有操

作(iv))構成單一次ALD循環，然後可重複執行該ALD循環一或更多次，以在基板上沉積另外的薄膜層，並且視所需積累具有看得見之厚度的薄膜。

【0022】更深入地，將此種用於SiN沉積之基礎ALD處理順序示意地說明於圖2之流程圖中。如圖所示，單一次ALD循環可始於操作211，其中在一處理腔室中，將薄膜前驅物吸附到一半導體基板上，使得該薄膜前驅物在該基板上形成一吸附限制層。針對沉積SiN薄膜而言，該薄膜前驅物一般包括Si，故因此做為成長SiN薄膜的Si來源。該吸附/施加操作之後接續操作212，其中將至少若干的未吸附的薄膜前驅物從已吸附的薄膜前驅物的周圍容積中移除。接下來，在操作213中，透過將該已吸附的薄膜前驅物暴露到電漿而使其進行反應，其中該電漿包含含N離子及/或自由基。這之後的結果為在該基板上形成SiN薄膜層。最後，在一些實施例中(如圖2中之虛線方框所示)，並根據薄膜形成反應的化學品，操作213之後可接續操作214以將下列至少若干者從SiN薄膜層之周圍容積中移除:含N離子、含N自由基、脫附的薄膜前驅物、及/或反應副產物。

【0023】前述之211到214的操作順序代表單一次ALD循環，其結果為形成單一層的SiN薄膜。然而，因為經由ALD形成的單一層的薄膜一般非常薄(通常僅單分子厚)，所以順序地重複執行複數次ALD循環以積累具有看得見之厚度的SiN薄膜。因此，再次參考圖2，若期望沉積N層的薄膜(或相同地，可說N薄膜層)，則順序地重複執行複數次ALD循環(操作211到214)，並在各個ALD循環以操作214作結束之後，在操作220，判斷是否已經執行N次ALD循環。然後，若已經執行N次循環，則結束此薄膜形成操作。但若未執行N次循環，則此製程順序回到操作211以開啓另一次ALD循環。如此，可沉積具有所需厚度的保形薄膜。

【0024】在所述之ALD循環的步驟(i)期間(即薄膜前驅物施加/吸附)，可將含矽薄膜前驅物以下列速率流動進入反應腔室中:約1與5 sL/m(每分鐘標準公升數)之間、或更具體而言約3與5 sL/m之間、或更具體而言約4與5 sL/m之間、

或約 4.5 sL/m。這些數值對應到設計用以處理300 mm直徑的晶圓的 4站反應腔室。可針對具有較多或較少數量的站的反應腔室、或針對較大或較小直徑的晶圓來按比例地調清流速。當然，即使針對固定數量的站與晶圓尺寸，反應腔室的容量亦會影響流速的選擇。因此，根據實施例，可將含矽薄膜前驅物流動進入反應腔室中，使得該前驅物在該腔室中具有如下之分壓：約1與 50 torr之間、或更具體而言約10與 20 torr之間，或在一些實施例中，約8與12 torr之間、或約 10 torr。流動的持續時間可約 1 與15秒之間、或更具體而言約1 與 5 秒之間、或更具體而言約2 與3秒、或約 2.5 秒。

【0025】 根據實施例，除了含矽之外，在操作(i)期間吸附到基板上的薄膜前驅物，可包括一或更多的鹵素、或二或更多的鹵素(請見如下之鹵素取代矽烷(Halosilane)的描述)。後者之範例包括二氯矽烷、六氯二矽烷、四氯矽烷。在一些實施例中，在操作(i)期間吸附的含矽薄膜前驅物可選自氨基矽烷類。

【0026】 在前述之ALD循環的步驟 (ii) 期間(即未吸附前驅物之施加後移除)，此清洗步驟可應用在介於約10與 40 sL/m之間的流速下流動進入反應腔室中約 1 與 10秒之間、或更具體而言約1 與3 秒之間、或約2 秒的惰性清洗氣體(例如N₂ 或 Ar)。再次，這些數值對應到設計用以處理300 mm直徑的晶圓的 4站反應腔室。可針對具有較多或較少數量的站的反應腔室、或針對較大或較小直徑的晶圓來按比例地再次調清流速。在一些實施例中，此清洗步驟之後可接續泵抽至基礎壓力(PTB, pump-to-base)(即將該腔室泵抽至基礎壓力，通常達到低至合理可行的基礎壓力)，可透過將反應腔室直接地暴露到一或更多的真空泵浦來完成該PTB。在一些實施例中，該基礎壓力一般僅若干毫托(例如介於約 1與20 mTorr之間)。

【0027】 在前述之ALD循環的步驟 (iii) 期間(即吸附的前驅物之電漿活化反應/轉化)，產生電漿(其包括含N離子及/或自由基)，並且暴露到吸附的含矽薄

膜前驅物，而產生形成SiN薄膜層的表面反應。可透過對含氮電漿前驅物施加RF電磁(EM)輻射來形成該電漿，該含氮電漿前驅物可為氨(NH₃)、氮分子氣體(N₂)、胺(例如第三丁基胺)、或前述之組合。

【0028】然而，在一些實施例中，在產生含氮電漿之前，產生含氮電漿前驅物(例如NH₃)之預流動達約0.5與10秒之間、或更具體而言約4與8秒之間、或約6秒。流速可介於約1與10 sL/m之間、或更具體而言介於約4與6 sL/m之間、或約3 sL/m，然而，再次，這些數值對應到設計用以處理300 mm直徑的晶圓的4站反應腔室。因此，根據實施例，將該含氮電漿前驅物流動進入反應腔室中以建立如下之電漿前驅物分壓：約1.5與6 torr之間、或更具體而言約1.5與3 torr之間、或約2 torr。

【0029】仍參考步驟(iii)，在預流動之後，開啓RF功率以產生具有含N離子及/或自由基的電漿。在電漿產生期間用於電漿前驅物的可實行之流量與分壓可同於前述之用於預流動者。用於產生電漿的RF功率可約100與6000 W之間、或更具體而言約400與5100 W之間、或更具體而言約900與4100 W、或更具體而言約2500W與3500W之間、或約3000W，其中頻率為13.56 MHz(雖然根據實施例亦可使用13.56 MHz的正整數倍，例如27.12 MHz、40.68 MHz、或54.24 MHz等，且亦可應用關於13.56 MHz或其倍數的頻率調整，如下詳述)。可將該RF功率維持開啓約0.1與6秒之間，結果為相對應的約0.1與6秒之間的暴露時間(吸附的含矽薄膜前驅物暴露到電漿的含N離子及/或自由基)，導致形成SiN薄膜的表面反應。更具體而言，可將RF功率開啓(吸附的薄膜前驅物暴露到電漿)約0.5與3秒之間、或約0.5與2秒之間、或約1與2秒之間。再一次，應知悉這些功率對應到用以處理300 mm直徑的晶圓之具有4個處理站的腔室。如此，用於步驟(iii)的適當的電漿功率密度可介於約0.035與2.2 W/cm²之間(因為0.035 ≈

$100/(4*\pi*15^2)$ ，且 $2.2 \approx 6000/(4*\pi*15^2)$ ，且用於前述之其他電漿功率的數值與範圍亦相似。

【0030】 在一些實施例中，發現電漿暴露時間與電漿功率之間有一權衡關係，即長的暴露時間和低電漿功率一起使用效果較佳、短的暴露時間和高電漿功率一起使用效果較佳、而中間值的暴露時間和中間值的電漿功率一起使用效果較佳。

【0031】 針對前述之ALD循環的可取捨步驟 (iv) (脫附前驅物即/或反應副產物之反應後移除)而言，移除之步驟可藉由下列動作而完成:以流速介於約10與40 sL/m之間的惰性清洗氣體(例如N₂ 或 Ar)來清洗腔室約 1 與 10秒之間、或更具體而言約1 與3 秒之間、或約2 秒。再次，這些流速對應到用以處理300 mm直徑的晶圓的4站腔室，且可針對較大或較小腔室、處理具有較大或較小直徑的較多或較少數量的晶圓，來按比例地調整。就壓力而言，在清洗期間的腔室內的壓力可約2與10 torr之間、或更具體而言約4與 8 torr之間、或約 6 torr。如同移除步驟(ii)，在一些實施例中亦可在步驟 (iv) 期間應用PTB來幫助移除。

【0032】 因此，操作(ii)與 (iv)可大致上透過清洗、透過泵抽至基礎壓力 (pump-to-base)而排空基板周圍的容積等來達成。在一些實施例中，這些清洗可邏輯上分為本文中所稱的「一次清洗」或「突發(burst)清洗」、以及「二次清洗」。(一次/突發以及二次清洗的使用詳細記載於美國專利申請案第14/447203號，申請日為2014年7月30日，案名為「METHODS AND APPARATUSES FOR SHOWERHEAD BACKSIDE PARASITIC PLASMA SUPPRESSION IN A SECONDARY PURGE ENABLED ALD SYSTEM」，該案以全文及其所有用途加入本案之參考資料。

改良的ALD循環

【0033】如前文指出，吾人尋求對於基礎ALD循環順序的多種改良，以嘗試提高由ALD形成的SiN薄膜的抗蝕刻性。在一技術中，在電漿活化反應/轉化步驟(前文之步驟(iii))中可使用脈衝電漿模式(使用脈衝式RF電場以維持電漿)，導致沉積SiN薄膜時的SiN薄膜之稠化作用，而降低其濕蝕刻速率。(稠化作用以及與濕蝕刻速率的關聯進一步詳述如下，但簡而言之，稠密的SiN薄膜傾向於更具抗蝕刻性)。此脈衝電漿模式詳述記載於美國專利申請案第14/144107號(美國專利公開號第2014/0113457號)，申請日為2013年12月30日，案名為「Plasma enhanced atomic layer deposition with pulsed plasma exposure」，該案以全文及其所有用途加入本案之參考資料。

【0034】在另一技術中，可在該ALD循環的施加後移除步驟(前述之步驟(ii))之後、但在電漿活化反應步驟(步驟(iii))之前，加入氬電漿處理步驟。該Ar電漿處理步驟包括將Ar流動進入腔室中；施加RF電場以產生Ar電漿；以及在Ar電漿暴露之後將Ar氣體從處理腔室中移除。再次，這在電漿活化反應/轉化步驟(iii)(涉及不同的電漿，如前述)之前結束。加入ALD循環中的此階段之Ar電漿處理促進Si-Si鍵結，因此使SiN薄膜稠化。

【0035】在更另一技術中，可使用混合方法以使薄膜稠化，該混合方法以ALD為基礎，但在前驅物吸附/施加步驟(前述之步驟(i))的尾端應用CVD(化學氣相沉積)階段。這可透過下列方式實施：在下一步驟(前述之步驟(iii))中將未吸附的薄膜前驅物從處理腔室中移除之前，對施加中的氣相薄膜前驅物施加RF輻射持續一段短暫時間。(在一般的ALD中，當以電漿活化轉化反應時，僅吸附的薄膜前驅物留在處理腔室中)。藉由氣相CVD反應而幫助Si併入薄膜中，此亦產生所沉積之SiN薄膜的稠化作用。

【0036】最後，設計用以使SiN薄膜在沉積時稠化的第四個技術應用氬電漿處理(如下詳述)，其增加作為附加步驟(v)，在反應轉化步驟(iii)以及取捨性移

除步驟(iv)之後將所沉積之SiN薄膜層稠化。業已發現在正確的製程條件(如下詳述)下，此第四個技術(涉及做為ALD循環期間之附加步驟(v)的週期性He電漿處理)可產生較低濕蝕刻速率的全面性SiN薄膜，且更重要的係，在圖案化基板特徵部的每一側上皆具有較低的濕蝕刻速率。此外，業已發現此改良的ALD技術能夠在比先前認為合理的沉積溫度更低的沉積溫度下，達到實施上均勻的濕蝕刻速率(在特徵部之頂部與底部者與在側壁上者比較)。

【0037】 不限於特定理論，一般認為改良ALD循環之He電漿處理步驟的濕蝕刻速率(WER)減少效果之原因，為從電漿中的激發態的氮所發射出來的真空紫外光(VUV)輻射。實驗證實WER與所沉積之SiN薄膜中的氮的稠密度有緊密的關聯性，而稠密度一般係透過初始反應物種(作為SiN薄膜的氮的來源)中剩下的N-H鍵結來表示。一般認為由He電漿中發射出來的VUV輻射打破這些N-H鍵結，造成這些鍵結被N-Si鍵結取代，而使SiN薄膜稠化並使其更具抗蝕刻性。此外，再次不限於特定理論，一般認為壽命較長的激發態的He物種提供足夠的時間，讓這些物種可在其VUV發射(並且降階到基態)之前向下擴散進入高深寬比的3D結構，因此在整個高深寬比特徵部的所有表面(包括該特徵部的側壁以及頂部區域)上實質上均勻地驅動N-H鍵結轉化成N-Si鍵結(以及薄膜稠化作用)。

【0038】 再次參考改良的ALD循環之說明，注意為完成該ALD循環，前述之稠化作用步驟(v)(涉及使用He電漿的處理)之後可取捨地接續步驟(vi)，將He氣體從現已稠化的SiN薄膜層之周圍容積中移除。

【0039】 圖3呈現此改良的ALD技術之詳細範例。如圖3所示，此改良的ALD處理順序300(涉及經由He電漿處理的稠化作用)之起始步驟相似於圖2所示之基礎ALD處理順序200(即操作311、312、313、以及314分別地對應到圖2所示之基礎處理200的操作211、212、213、以及214)。然而，該處理在操作214/314(假設應用取捨性的操作214/314)之後不同。也就是說，圖3所示之改良的ALD處理

在此時應用操作315，透過將該SiN薄膜層暴露到含He電漿而使其稠化。在此具體實施例中，此電漿暴露步驟之持續時間約0.5與15秒之間。此外，在此具體實施例中，所使用之He電漿具有約0.035與2.2 W/cm²之間的與基板表面有關之功率密度，如圖中指出。電漿暴露時間/期間以及電漿功率密度的其他範圍如下詳述。在稠化作用操作315之後，可執行操作316，將至少若干的He從該SiN薄膜層之周圍容積中移除(再次，可取舍的，如圖3中之虛線方框所示)。因此，在此改良方案中，操作311-316構成單一次ALD循環，且可使用複數次ALD循環以沉積另外的SiN層，而積累具有看得見之厚度的薄膜。因此，相似於圖2，若期望沉積N個SiN層的薄膜(或相同地，可說N個SiN薄膜層)，則順序地重複執行複數次ALD循環(操作311到316)，並在各個ALD循環以操作316作結束之後，在操作320，判斷是否已經執行N次ALD循環。然後，若已經執行N次循環，則結束此SiN薄膜形成操作。但若未執行N次循環，則此製程順序回到操作311以開啓另一次ALD循環。

【0040】 在前述之ALD循環的步驟(v)(在圖3中亦稱為操作315)(即透過將所沉積之SiN薄膜層暴露到含He電漿而使其稠化)期間，產生暴露到所沉積之SiN薄膜層的含He電漿，造成所沉積之SiN薄膜層之稠化作用。該電漿透過將RF電磁(EM)輻射施加到He氣體(或與例如惰性氣體之其他氣體混合的He)而形成。

【0041】 然而，在一些實施例中，在產生He電漿之前，產生He氣體(或與例如惰性氣體之其他氣體混合的He)之預流動達約0.5與15秒之間、或更具體而言約2與8秒之間、或約5秒。流速可約1與10 sL/m之間、或更具體而言約4與6 sL/m之間、或約5 sL/m，然而，再次，這些數值對應到用以處理300 mm直徑的晶圓的4站腔室。因此，根據實施例，可以說，將He氣體流動進入反應腔室中使得在處理腔室中建立如下之He分壓：約2與6 torr之間、或更具體而言約3與5 torr之間、或約4 torr。

【0042】仍參考步驟(v)，在He的預流動之後，開啓RF功率以產生用以使SiN薄膜層稠化的He電漿。在電漿產生期間用於He氣體的可實行之流量與分壓可相同於前述之用於預流動者。用於產生電漿的RF功率可在約100與6000 W之間、或更具體而言介約400與5100 W之間、或更具體而言約900與4100 W，其中頻率為13.56 MHz (雖然根據實施例亦可使用13.56 MHz的正整數倍，例如27.12 MHz、40.68 MHz、或54.24 MHz等，且亦可應用關於13.56 MHz或其倍數的頻率調整，如下詳述)。可將該RF功率維持開啓約0.5與15秒之間，結果為相對應的所沉積之SiN薄膜層的暴露時間，以使其稠化。再一次，應知悉這些電漿功率對應到用以處理300 mm直徑的晶圓之具有4個處理站的腔室。如此，用於步驟(v)的適當的電漿功率密度可介於約0.035與2.2 W/cm²之間 (因為 $0.035 \approx 100/(4*\pi*15^2)$ ，且 $2.2 \approx 6000/(4*\pi*15^2)$)，且對於前述之其他電漿功率數值與範圍亦相似。

【0043】和反應轉化步驟(iii)相同，在一些實施例中，發現在電漿暴露時間與電漿功率之間有一權衡關係，即短的暴露時間和高電漿功率一起使用效果較佳、長的暴露時間和低電漿功率一起使用效果較佳、且中間值的暴露時間和中間值電漿功率一起使用效果較佳。例如，在一些電漿功率較低的實施例中，含He電漿(在步驟(v)中SiN層暴露於其)可具有約0.070與0.28 W/cm²之間的功率密度，且電漿暴露時間(所沉積之SiN薄膜層暴露到該電漿用以稠化作用)可介於約4與8秒之間。(注意 $0.070 \approx 200/(4*\pi*15^2)$ 且 $0.28 \approx 800/(4*\pi*15^2)$ ，故200-800 W係較低的瓦特數範圍)。相似地，在一些電漿功率較高的實施例中，含He電漿(在步驟(v)中SiN層暴露於其)可具有介於約0.88與1.2 W/cm²之間的功率密度，且電漿暴露時間(所沉積之SiN薄膜層暴露到該電漿用以稠化作用)可介於0.5與2秒之間 (注意 $0.88 \approx 2500/(4*\pi*15^2)$ 且 $1.2 \approx 3500/(4*\pi*15^2)$ ，故2500-3500 W係較高的瓦特數範圍)。最後，在電漿功率為中間值的實施例中，含He電漿(在步驟

(v)中暴露於SiN層者)可具有約0.28與0.88 W/cm²之間的功率密度，且電漿暴露時間(所沉積之SiN薄膜層暴露到該電漿用以稠化)可介於2與4秒之間(注意0.28 ≈ 800/(4*π*15²) 且 0.88 ≈ 2500/(4*π*15²)，故800-2500 W係較低的瓦特數範圍。)

【0044】 在一些實施例中，業已發現在稠化作用步驟(v)中對He電漿使用與反應轉化步驟(iii)中使用的功率密度相同或較低的電漿功率密度，效果較佳，並產生濕蝕刻速率(WERs)低的薄膜(請見如下範例)。因此，在一些實施例中，在步驟(v)中的He電漿功率密度比上在步驟(iii)中的含N離子及/或自由基電漿功率密度之比例可小於1，或更具體而言約0.1與0.9之間、或更具體而言約0.1與0.5之間、或更具體而言約0.1與0.3之間。例如請見下方討論之圖4C與4D。相似地，在一些實施例中，業已發現在步驟(v)中使用與於步驟(iii)的電漿暴露時間相同、或較長的電漿暴露時間，產生低WERs的SiN薄膜之效果較佳。因此，在一些實施例中，在步驟(v)中的電漿暴露時間比上在步驟(iii)中的電漿暴露時間之比例可大於1，或更具體而言約1與10之間、或更具體而言約2與8之間、或更具體而言約5與7之間。例如再請次見下方討論之圖4C與4D。此外，在一些實施例中，在步驟(iii)中暴露到含N離子及/或自由基的電漿之基板暴露時間可小於約2秒、或更具體而言小於約1秒。

【0045】 針對前述之ALD循環的可取捨步驟(vi)(將He氣體從現已稠化的SiN薄膜層之周圍容積中移除)，移除之步驟可再次藉由下列動作完成:以流速介於約10與40 sL/m之間的惰性清洗氣體(例如Ar或N₂)清洗腔室約1與10秒之間、或更具體而言約1與3秒之間、或約2秒。再次，這些流速對應到用以處理300 mm直徑的晶圓的4站腔室，且可針對較大或較小腔室、處理具有較大或較小直徑的較多或較少數量的晶圓，來按比例地調整。就壓力而言，在清洗期間的腔室內的壓力可介於約5與15 torr之間、或更具體而言約8與12 torr之間、或約

10 torr。如同移除步驟(ii)與(iv)，在一些實施例中亦可在步驟 (vi) 期間應用PTB來幫助移除。

【0046】業已發現使用圖3所示之操作順序(應用加入He電漿處理的改良ALD處理)所沉積的SiN薄膜，即使在較低的溫度之下形成亦表現良好的抗濕蝕刻性。例如，在一些實施例，可透過應用前述處理，同時(例如在操作311-316期間)將處理腔室中的溫度維持在約或低於550 °C、或約或低於525 °C、或約或低於500 °C、或約或低於485 °C、或甚至約或低於475 °C，來形成具有降低的濕蝕刻速率的SiN薄膜。在前述降低溫度方案下使用這些處理所沉積的SiN薄膜，當在23 °C 以及 760 torr下暴露到莫爾比100:1的HF溶液時，可表現如下之濕蝕刻速率:約或低於100 Å/分、或約或低於75 Å/分、或約或低於50 Å/分、或甚至約或低於25 Å/分。

【0047】再者，當使用這些技術將SiN薄膜沉積在具有高深寬比特徵部的半導體基板上時，吾人發現在此種特徵部的頂部區域以及側壁兩者上皆維持濕蝕刻速率的降低，視選用於SiN沉積之特定製程條件而定。再次，根據實施例，當在23 °C 以及 760 torr下暴露到莫爾比100:1的HF溶液時，可觀察到如下之實質上均勻的濕蝕刻速率(考慮頂部區域、底部區域、以及側壁):約或低於100 Å/分、或約或低於75 Å/分、或約或低於50 Å/分、或甚至約或低於25 Å/分。針對製程參數之各種選擇，此種抗濕蝕刻性SiN的低溫沉積以下列範例說明。

範例

【0048】圖4A與4B呈現使用多種ALD型薄膜形成技術來沉積的第一組例示性SiN薄膜之結果。具體而言，圖4A描繪與半導體基板上的高深寬比特徵部的頂部與側壁分別對應的濕蝕刻速率(WER)，而在該圖式中，使用不同ALD處理所沉積的各例示性SiN薄膜標記為(1)到(7)。在23 °C 以及 760 torr下暴露到莫爾比100:1的HF溶液之後，藉由量測SiN薄膜在各個區域(頂部與側壁)上被蝕刻掉的

量，來判定WER。在該暴露期間未使用該溶液或基板之攪動(即該HF溶液相對於該基板為實質上靜止/不動的)。(若干攪動機制顯然傾向於稍微增加WER)。使用穿透式電子顯微鏡(TEM)來量測SiN薄膜的被蝕刻掉的量，並將處理(1)、(2)、以及(4)到(7)之剛沉積與蝕刻後的高深寬比特徵部的TEM影像呈現於圖4B中。

【0049】從圖4A的最左邊開始，處理(1)為基準ALD處理(在圖中亦標記為「Bsln」)，其結果為沉積在指定的半導體特徵部的頂部與側壁兩者上具有非常高WER的SiN薄膜。如圖中指出，在特徵部的側壁上的WER大於 $163 \text{ \AA}/\text{min}$ ，且同樣在特徵部的頂部，可見WER超過 $161 \text{ \AA}/\text{min}$ 。在圖4B的處理(1)中，相較於剛沉積的薄膜，SiN薄膜從該特徵部中被蝕刻掉的程度亦有顯著的表現。此基準ALD處理係在實質上定值的 $475 \text{ }^\circ\text{C}$ 的支座型晶圓固持器溫度下執行，且在反應轉化步驟(前述之步驟(iii)以及圖2的操作213)中應用設定為 6000 W 的電漿功率來源，其中因為使用4個處理設備(請見如下所述之圖6的設備)，這相當於 1500 W 的單一個基板電漿功率，且就 300 mm 的晶圓而言，電漿功率密度大約為 $2.12 \text{ W}/\text{cm}^2$ 。將該電漿開啓2秒(如圖4A與4B中指出)，以在電漿活化反應轉化步驟(使用 NH_3 電漿，亦如圖中指出)期間促使SiN薄膜形成。注意雖然應用 $475 \text{ }^\circ\text{C}$ 之較低的支座溫度，但WER仍不合意地大。

【0050】圖4A與4B的處理(2)實質上相同於基準處理(1)，除了支座溫度從 $475 \text{ }^\circ\text{C}$ (基準處理)增加到 $525 \text{ }^\circ\text{C}$ (處理(2))。在圖式中可見，作為結果的SiN薄膜在特徵部的頂部與側壁兩者上的WER實質上改善。更進一步的改善可見於使用處理(3)所沉積的SiN薄膜，處理(3)使用 $550 \text{ }^\circ\text{C}$ 之更高的支座溫度，以及減少的每一基板的電漿功率， $3000 \text{ W} / 4 = 750 \text{ W}$ ；而更進一步的改善表現在使用處理(4)所沉積的SiN薄膜，其中沉積係在 $585 \text{ }^\circ\text{C}$ 之更高溫度下執行，同樣具有 750 W 的每一基板的電漿功率(雖然，此具體實驗僅3個處理站有效，所以總電漿功率為 $3 * 750 \text{ W} = 2250 \text{ W}$ ，如圖4A與4B所示)。(在這四個例子之各者中，轉化步驟期

間(施加RF功率之期間)的時間間隔相同，如圖中指出的2秒。)。因此，就經由ALD所形成之SiN薄膜而言，圖4A與4B所示之資料說明，可藉由將執行ALD處理之溫度提高，來減少在高深寬比之半導體特徵部的頂部區域與側壁兩者上的WERs，(如圖4A中的向下的箭頭指出)。

【0051】然而，因為前述之理由，在SiN薄膜形成技術中不樂見提高的處理溫度，且在一些例子中可能超過分配到給定的製程步驟組的熱預算。因此，為了判斷是否有任何製程及/或一組製程參數可在較低溫度下產生具有較低WERs的SiN薄膜，在475 °C之定值且較低的支座溫度下，使用多種ALD處理形成SiN薄膜，該等ALD處理使用多種氦(He)處理作為各ALD循環的部分。與這些在沉積處理中使用氦而形成的SiN薄膜對應之結果呈現於圖4A與4B中，標記為處理(5)、(6)、以及(7)。

【0052】應用氦(He)的第一個處理，處理(5)，在ALD處理的反應/轉化步驟(iii)期間使用He。在此例子中使用的每一基板電漿功率為 $3000\text{ W} / 4 = 750\text{ W}$ 。在圖4A中可見，在電漿活化反應/轉化步驟(iii)期間使用He確實將特徵部的頂部區域上的WER降低，但在特徵部的側壁上不具有相同之期望效果，在該側壁上的WER維持在 $96\text{ \AA}/\text{min}$ 。幾乎相反的結果顯示在圖4A之處理(6)，其中使用指定的製程條件所沉積的SiN薄膜，達到在側壁上的低WER，但在特徵部的頂部區域上有 $94\text{ \AA}/\text{min}$ 的不樂見的高WER。如圖4A與4B指出，產生此相反結果的處理利用以He電漿處理作為各ALD循環之附加步驟(v)的改良ALD處理。然而，可見在此具體範例中，未達到所需的WER均勻降低。

【0053】然而，圖4A的最後範例，處理(7)，其使用相似於處理(6)的改良的ALD循環(即應用He電漿處理作為各ALD循環之附加步驟(v))，且能夠達到前文提及的所需的WER均勻降低。具體而言，所沉積之SiN薄膜表現出 $29\text{ \AA}/\text{min}$ 的側壁WER，以及 $36\text{ \AA}/\text{min}$ 的頂部區域WER。因此，處理(7)能夠達到與側壁

與頂部區域對應的均勻降低之 WERs，在 475 °C 之同樣低的支座溫度下，該 WERs 相較於基準處理(i)幾乎為五分之一。注意圖 4B 中與處理(2)、(5)、(6)、以及(7)對應的 SEM 影像係在前述條件下暴露到 HF 溶液 30 秒之後量測，但與處理(1)與(4)對應的 SEM 影像係在暴露到 HF 60 秒之後量測(如圖中指出)，也因此與處理(1)與(4)對應的 WERs 看起來比其他者「多一倍」。亦須注意的係，在前述範例的三者中均使用 750 W 之相同的每一基板電漿功率，但在最右邊的最後範例中，如圖所指出，電漿暴露時間在轉化步驟(iii)與額外的 He 電漿處理步驟(v)兩者中均減少到 1 秒。不限於特定理論，一般認為在轉化步驟期間的電漿暴露時間愈短，留下的所沉積之 SiN 層愈容易受到稠化作用(其後在步驟(v)的 He 電漿處理)的影響。具體而言，同樣不限於特定理論，一般認為 2 秒的 3000 W He 電漿太劇烈，其衝擊特徵部的頂部到使得頂部上的 WER 明顯較高的程度。另一方面，有 NH₃ 一起流動的 He 處理在頂部區域之效果較佳，但在側壁區域上不夠有效，而不足以減少側壁區域上的 WERs。然而，可見 1 秒的 3000W He 電漿處理在頂部區域上夠「溫和」，同時在側壁區域上仍有效，而產生在特徵部的頂部區域與側壁兩者上相當均勻的 WER。

【0054】 更多結果呈現於圖 4C 與 4D 中。圖 4C 繪出與在 4 個逐漸增加的基板溫度下的基準 ALD 處理對應的側壁 WERs，並表現出側壁 WERs 隨著溫度增加而下降，如前述。(使用如前述之相同的 HF 濕蝕刻條件，即 23 °C 與 760 torr 下莫爾比 100:1 的 HF 溶液，且無攪動。然而，注意圖 4C 與 4D 所示之溫度為實際的基板/晶圓溫度，而非支座(基板固持器)溫度(前文中參考圖 4A 與 4B 指出者)。例如，約 475 °C 的支座溫度對應到大約 440 °C 的實際晶圓溫度。) 描繪於基準處理旁邊者，為與改良 ALD 處理(應用 He 電漿處理作為各 ALD 循環中的附加步驟)對應的側壁 WER 結果，在圖式中可見同樣達到較低的側壁 WERs。圖 4C 將此種改良 ALD 處理在有或無處理特定最佳化的情況下的結果區分開來。在有或無最佳化

的情況下，與這些改良的處理相關之側壁 WER 結果皆顯著地低於基準處理。例如，可見在 495 °C 的晶圓基板溫度下，改良但非最佳化的 ALD 處理(應用 He 電漿處理)能夠達到 24 Å/min、或接近在基準處理中觀察到的 43 Å/min 的一半的側壁 WER。更可觀的係，在 475 °C 的晶圓基板溫度下，最佳化改良的 ALD 處理相較於基準處理中觀察到的性能增加，其中在最佳化的處理中可達到 17 Å/min 的低的側壁 WER、或對應到基準處理的 WER 的 76 Å/min 的約五分之一的改良。與此結果對應的穿透式電子顯微鏡 (TEM) 影像顯示於圖 4D，且可觀察到在濕蝕刻前與濕蝕刻後，在以此種最佳化處理來沉積的 SiN 薄膜中幾乎沒有變化。產生圖 4C 與 4D 所示之結果的應用 He 的最佳化 ALD 技術的製程條件和前文中用於圖 4A 與 4B 者相同，除了在此處之 He 電漿處理持續期間約 6 秒，且應用 125 W 的每基板電漿功率(4站總共 500 W)，或同樣地，與基板表面面積相關之電漿功率密度約 0.18 W/cm^2 (例如用於 300 mm 的晶圓， $0.18 \approx 500/(4*\pi*15^2)$)。相反的，圖 4C 所示之同樣應用 He 電漿處理的未最佳化/初始的 ALD 處理為：He 電漿處理持續期間為 2 秒，且應用 750 W 的每基板電漿功率(4站總共 3000 W)，或同樣地，與基板表面面積相關之電漿功率密度約 1.1 W/cm^2 (例如用於 300 mm 的晶圓， $1.1 \approx 3000/(4*\pi*15^2)$)。

關於 ALD 技術與操作之其他細節

【0055】 如前述，隨著裝置持續微型化，且 ICs 朝向應用 3-D 電晶體與其他 3-D 結構邁進，沉積精確的量(厚度)的保形薄膜(例如 SiN 薄膜或例如其他介電質)的能力變得逐漸重要。如本文提及，原子層沉積(ALD)為一種達成保形薄膜沉積的技術，其一般涉及複數次沉積循環，以得到所需厚度的薄膜。

【0056】 與化學氣相沉積(CVD)處理(使用活化的氣相反應來沉積薄膜)相比，ALD 處理使用表面介導的(surface-mediated)沉積反應來一層一層地沉積薄膜。例如，在 ALD 處理的一類型中，將第一薄膜前驅物(P1)以氣體的型態引入一

處理腔室中、將其暴露到基板、然後使其吸附在該基板之表面上(一般聚集(population)在表面活化位置上)。P1的一些分子在該基板表面的頂上形成凝態(包括P1的化學吸附物種與物理吸附分子)。然後將該基板表面的周圍容積排空，以將氣態與物理吸附的P1移除，使得僅化學吸附物種被留下。之後將第二薄膜前驅物(P2)引入該處理腔室中，使得P2的一些分子吸附在該基板之表面上。再次將該基板(在該處理腔室之中)的周圍容積排空，而這次係爲了將未結合的P2移除。接續地，提供給該基板的能量(例如熱或電漿能)將P1與P2的已吸附的分子之間表面反應活化，而形成一薄膜層。最後，再次將該基板的周圍容積排空，以將未反應的P1及/或P2、及/或反應副產物(若存在)移除，結束ALD的單一個循環。

【0057】 用於沉積保形薄膜的ALD技術可包括多種化學品，且有根據基礎ALD處理順序的許多可能變化，可視所需的反應化學品以及沉積薄膜的特性與性質來使用該等變化。許多此種變化詳細地記載於美國專利申請案第13/084399號，申請日爲4/11/2011，案名爲「PLASMA ACTIVATED CONFORMAL FILM DEPOSITION」(代理人案號 NOVLP405)；美國專利申請案第13/242084號，申請日爲9/23/2011，案名爲「PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION」，現爲美國專利案第8637411號(代理人案號 NOVLP427)；美國專利申請案第13/224240號，申請日爲9/1/2011，案名爲「PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION」(代理人案號 NOVLP428)；以及美國專利申請案第13/607386號，申請日爲9/7/2012，案名爲「CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION」(代理人案號 NOVLP488)，該等案以全文以及其各種用途加入本案之參考資料。

【0058】 如該等先前申請案中所記載的，用於將單一個材料層沉積在基板上的基礎ALD循環包括：(i) 使薄膜前驅物吸附在基板上，使得其形成一吸附限

制層，(ii) 將未吸附的前驅物從已吸附的前驅物之周圍容積中移除，(iii) 使已吸附的前驅物起反應，以在該基板上形成一薄膜層，以及(iv) 將已脫附的薄膜前驅物及/或反應副產物從該薄膜層(形成在該基板上)之周圍容積中移除。可藉由將該基板的周圍容積清洗、排空、泵抽至基礎壓力(pump-to-base)等來達成操作(ii)與(iv)中的移除。應注意的係，操作(i)到(iv)的基礎ALD順序，不需如前述之範例般包括兩個化學吸附反應物種P1與P2，且其甚至不需要包括第二個反應物種，但可根據所涉及的期望的沉積化學品來應用這些可能性/選擇。如前文指出，可能有許多變化。例如(且如前文指出)，針對沉積SiN薄膜而言，含矽前驅物一般為化學吸附性(稱為P1)，且與其反應而形成SiN薄膜的物種為含氮物種，在其中形成用於促成步驟(iii)中的反應的電漿。因此，在一些實施例中，使用含N離子/自由基的電漿以提供所沉積之SiN薄膜的氮原子，並用以提供能量來活化表面反應。在其他實施例中，可以想見含矽前驅物為第一個化學吸附的物種(P1)，而含氮物種為第二個化學吸附的物種(P2)，然後在此種ALD循環的步驟(iii)中施加上兩個化學吸附物種的電漿，可用以提供活化能量，而未必提供所沉積之SiN薄膜的N原子。當然，如前述，此種ALD循環可另外地包括步驟(v)，視所需將所沉積之SiN層稠化，在一些例子中，步驟(v)的前面為步驟(iv)，將任何剩餘的電漿物種、已脫附的反應物、及/或反應副產物等移除。

【0059】然而，因為ALD受吸附作用限制的特性，單一次ALD循環僅沉積一材料薄膜，且通常僅係單一個材料薄膜單分子層。例如，根據薄膜前驅物施加操作的暴露時間、以及薄膜前驅物的黏附係數(對於基板表面)，各ALD循環僅沉積厚度約0.5到3Å的一薄膜層，因此，通常將一般的ALD循環的操作順序(前述之操作(i)到(iv))重複多次，以形成具有所需厚度的保形薄膜。因此，在一些實施例中，連續地重複操作(i)到(iv)，至少1次、或連續地至少2次、或至少3次、或至少5次、或至少7次、或至少10次。沉積一ALD薄膜的速率可為每一

ALD循環大約或介於0.1 Å 與2.5 Å、或每一ALD循環大約或介於0.2 Å 與2.0 Å、或每一ALD循環大約或介於0.3 Å 與1.8 Å、或每一ALD循環大約或介於0.5 Å 與1.5 Å、或每一ALD循環大約或介於0.1 Å 與1.5 Å、或每一ALD循環大約或介於0.2 Å 與1.0 Å、或每一ALD循環大約或介於0.3 Å 與1.0 Å、或每一ALD循環大約或介於0.5 Å 與1.0 Å。

【0060】 在一些用於形成薄膜的化學品中，除了稱為「薄膜前驅物」者之外，亦可使用輔助反應物或共反應物。在某些此種實施例中，可在步驟(i)到(iv)的子集期間、或步驟(i)到(iv)中之各者的整個期間(當重複該者時)連續地流動該輔助反應物或共反應物。在一些實施例中，此另外的反應性化學物種(輔助反應物或共反應物等)，在其與薄膜前驅物的反應之前，吸附在具有薄膜前驅物的基板之表面上(如同上述之包含前驅物P1與P2的範例)，然而在其他實施例中，該另外的反應性化學物種與已吸附的薄膜前驅物進行反應(當兩者接觸時)，本質上毋須先前的吸附作用(吸附在基板之表面上)。此外，在一些實施例中，使已吸附的薄膜前驅物起反應的操作(iii)可包括將該已吸附的薄膜前驅物與電漿接觸，根據實施例，除了提供活化能量之外，該電漿可提供輔助反應物或共反應物。例如，在前述之處理(涉及藉由ALD的SiN薄膜形成)中，該輔助反應物或共反應物可視為含N物種，其用於形成步驟(iii)中的電漿。

【0061】 在一些實施例中，由多層沉積而得的薄膜，可包括組成交替的區域/部分，其係透過(例如)下列動作形成：保形地沉積複數個層(該等複數個層依序地具有一種組成)，然後保形地沉積複數個層(該等複數個層依序地具有另一種組成)，然後可能地重複並交替此兩個順序。一些所沉積之ALD薄膜的此等態樣，記載於(例如)美國專利申請案第13/607386號，申請日為9/7/2012，案名為

「CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION」(代理人案號為

第22頁，共46頁(發明說明書)

NOVLP488)，該案以全文以及其各種用途加入本案之參考資料。具有組成交替的部分的保形薄膜(包括用於摻雜下層的目標IC結構或基板區的薄膜)、以及形成該等薄膜之方法的更多範例，詳細地記載於：美國專利申請案第13/084399號，申請日為4/11/2011，且案名為「PLASMA ACTIVATED CONFORMAL FILM DEPOSITION」(代理人案號為NOVLP405);美國專利申請案第13/242084，申請日為9/23/2011，且案名為「PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION」，現為美國專利案第8637411號(代理人案號為NOVLP427);美國專利申請案第13/224240，申請日為9/1/2011，且案名為「PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION」(代理人案號為NOVLP428);美國專利申請案第13/607386，申請日為9/7/2012，且案名為「CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION」(代理人案號為NOVLP488);以及美國專利申請案第14/194549號，申請日為2/28/2014，且案名為「CAPPED ALD FILMS FOR DOPING FIN-SHAPED CHANNEL REGIONS OF 3-D IC TRANSISTORS」;各個該等案以全文以及其各種用途加入本案之參考資料。

【0062】如前文引註之說明書中所詳述的，ALD處理通常用於沉積保形矽氧化物(SiO_x)薄膜、矽碳化物(SiC)薄膜、矽氮化物(SiN)薄膜、矽碳氮化物(SiCN)薄膜、或該者之組合。在透過ALD所形成的薄膜的一些變化中，亦可形成矽-碳-氧化物、及矽-碳-氮氧化合物、及矽-碳-氮化物。用於沉積該等類型的薄膜的方法、技術、及操作，詳細地記載於美國專利申請案第13/494836號，申請日為12/6/2012，案名為「REMOTE PLASMA BASED DEPOSITION OF SiOC CLASS OF FILMS」。代理人案號為NOVLP466/NVLS003722;美國專利申請案第13/907699，申請日為3/15/2013，案名為「METHOD TO OBTAIN SiC CLASS OF

FILMS OF DESIRED COMPOSITION AND FILM PROPERTIES」，代理人案號為LAMRP046/3149; 美國專利申請案第14/062648，案名為「GROUND STATE HYDROGEN RADICAL SOURCES FOR CHEMICAL VAPOR DEPOSITION OF SILICON-CARBON-CONTAINING FILMS」; 以及美國專利申請案第14/194549，申請日為2/28/2014，且案名為「CAPPED ALD FILMS FOR DOPING FIN-SHAPED CHANNEL REGIONS OF 3-D IC TRANSISTORS」; 各個該等案以全文以及其各種用途加入本案之參考資料。

【0063】可重複多次ALD循環，以積累保形層的疊層。在一些實施例中，各層具有實質上相同的組成，然而在一些實施例中，透過ALD而依序地沉積的層，可具有相異的組成，或在某些此種實施例中，組成可一層一層地交替、或具有不同組成的層級有重複的順序，如前文所述。因此，根據實施例，可使用特定的疊層工程概念以調變薄膜中的硼、磷、或砷的濃度，例如前文列出與加入參考資料的專利申請案(美國專利申請案第13/084399號、第13/242084號、及第13/224240號)中所揭露的。

形成薄膜的ALD化學品

【0064】SiN 薄膜沉積可利用一或更多的含矽薄膜前驅物，其可選自各種化合物。合適的前驅物可包括有機矽反應物，其選擇並供應以提供所需的組成性質、以及在一些例子中的物理或電子性質。含矽反應物/薄膜前驅物之範例可包括矽烷類、烷基矽烷類、矽氧烷類、烷氧基矽烷類、鹵素取代矽烷類、以及氨基矽烷類等。

【0065】就矽烷類而言，在一些實施例中可用以形成 SiN 薄膜的非限制性範例包括矽烷(SiH_4)、二矽烷(Si_2H_6)、三矽烷、及更高階的矽烷。

【0066】烷基矽烷類(具有與一或更多烷基基團及/或氫原子鍵結的一或更多矽原子的含矽化合物)在一些實施例中亦可用於形成 SiN 薄膜。根據實施例，

第 24 頁，共 46 頁(發明說明書)

矽原子(或複數個矽原子)可與下列鍵結: 4 個烷基基團、或 3 個烷基基團與 1 個氫、或 2 個烷基基團與 2 個氫、或 1 個烷基基團與 3 個氫。可選擇的合理烷基基團包括(但不限於): Me、Et、i-Pr、n-Pr、及 t-butyl 官能基團。適合作為薄膜前驅物的烷基矽烷類的具體範例可包括(但不限於): 甲基矽烷 (H_3SiCH_3)、乙基矽烷、異丙基矽烷、第三丁基矽烷、二甲基矽烷 ($\text{H}_2\text{Si}(\text{CH}_3)_2$)、三甲基矽烷 ($\text{HSi}(\text{CH}_3)_3$)、四甲基矽烷 ($\text{Si}(\text{CH}_3)_4$)、二乙基矽烷、三乙基矽烷、二第三丁基矽烷、烯丙基矽烷、第二丁基矽烷、第三己基矽烷(hexylsilane)、異戊基矽烷、第三丁基二矽烷、以及二第三丁基二矽烷。

【0067】此外可使用更高階的矽烷類代替甲矽烷。在具有複數個矽原子的矽化合物中(其中一矽原子與矽原子結合),在各個矽原子上的其他取代基的數目減少 1。烷基矽烷族類中的此種二矽烷的一範例為六甲基二矽烷(HMDS)。烷基矽烷族類中的二矽烷的另一範例可包括五甲基二矽烷(PMDS),其可用於形成 SiC 薄膜。在一些實施例中,其中一個矽原子可具有僅與其接附的含碳或含烷氧基基團,且其中一個矽原子可具有僅與其接附的氫原子。其他類型的烷基矽烷可包括烷基碳矽烷類。烷基碳矽烷類可具有分支聚合結構,帶有與矽原子結合的碳以及與矽原子結合的烷基基團。範例包括二甲基三甲基矽基甲烷(DTMSM)、以及雙二甲基矽基乙烷(BDMSE)。其他類型的烷基矽烷可包括矽氮烷類以及烷基二矽氮烷類。烷基二矽氮烷類包括與兩個矽原子結合的矽氮烷類以及烷基基團。一範例包括 1,1,3,3-四甲基二矽氮烷(TMDSN)。在一些實施例中, TMDSN 可形成 SiCN 薄膜。

【0068】鹵素取代矽烷類(具有與一或更多鹵素原子鍵結的一或更多矽原子的含矽化合物)在一些實施例中亦可用於形成 SiN 薄膜。根據實施例,矽原子(或複數個矽原子)可與下列鍵結:4 個鹵素原子、或 3 個鹵素原子、或 2 個鹵素原子、或 1 個鹵素原子。碘矽烷類、溴矽烷類、氯矽烷類、及氟矽烷類適合作

為薄膜前驅物。雖然鹵素取代矽烷類(尤其氟矽烷類)可能形成會侵蝕矽材料的反應性鹵化物物種，但在本文所述之某些實施例中，該含矽反應物在引燃電漿時不存在。適合作為薄膜前驅物的氯矽烷類的具體範例可包括(但不限於):四氯矽烷(SiCl_4)、三氯矽烷(HSiCl_3)、二氯矽烷(H_2SiCl_2)、一氯矽烷(ClSiH_3)、六氯二矽烷、氯烯丙基矽烷、氯甲基矽烷、二氯甲基矽烷($\text{SiHCH}_3\text{Cl}_2$)、氯二甲基矽烷、氯乙基矽烷、第三丁基氯矽烷、二第三丁基氯矽烷、氯異丙基矽烷、氯第二丁基矽烷、第三丁基二甲基氯矽烷、以及乙基二甲基氯矽烷。碘矽烷類、溴矽烷類、及氟矽烷類的具體範例可包括(但不限於)分子結構與這些含氯化合物相似的化合物，但分別具有替代氯原子的碘、溴、及氟原子。例如，對應到三氯矽烷(HSiCl_3)的溴矽烷為三溴矽烷(HSiBr_3)。

【0069】 氨基矽烷類(具有與一或更多氨基基團鍵結的一或更多矽原子的含矽化合物)在一些實施例中亦可用於形成 SiN 薄膜。根據實施例，矽原子(或複數個矽原子)可與下列鍵結: 4 個氨基基團、或 3 個氨基基團、或 2 個氨基基團、或 1 個氨基基團。例如，具有與中央矽原子鍵結的 2 個氨基基團以及 2 個氫原子的特定薄膜前驅物為 BTBAS (雙第三丁基氨基矽烷 $\text{SiH}_2(\text{NHC}(\text{CH}_3)_3)_2$)。適合作為薄膜前驅物的氨基矽烷類的其他具體範例可包括(但不限於):一、二、三、及四氨基矽烷(分別為 H_3SiNH_2 、 $\text{H}_2\text{Si}(\text{NH}_2)_2$ 、 $\text{HSi}(\text{NH}_2)_3$ 、及 $\text{Si}(\text{NH}_2)_4$)。被取代的一、二、三、及四氨基矽烷亦可作為適當的薄膜前驅物，其包括(但不限於)氨基基團被 Me、Et、i-Pr、n-Pr、及 t-butyl 官能基團取代的此種化合物。具體範例包括第三丁基氨基矽烷、甲基氨基矽烷、第三丁基矽烷胺、n-第三丁基三甲基矽烷基胺、第三丁基矽烷基氨基甲酸酯、 $\text{SiHCH}_3(\text{N}(\text{CH}_3)_2)_2$ 、 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ 、 $\text{SiHCl}(\text{N}(\text{CH}_3)_2)_2$ 、 $\text{Si}(\text{CH}_3)_2(\text{NH}_2)_2$ 、 $(\text{Si}(\text{CH}_3)_2\text{NH})_3$ 、 $(\text{NR})_2\text{Si}(\text{CH}_3)_2$ (其中 R 為氫，或選自 Me、Et、i-Pr、n-Pr、及 t-butyl 官能基團)、及三矽烷基胺($\text{N}(\text{SiH}_3)_3$)。其他具體範例包括二甲基胺、雙-二甲胺基甲基矽烷 (BDMAMS)、以及三-二甲

胺基甲基矽烷(TDMAS)、2,2-雙(二甲胺基)-4,4-二甲基-2,4-二矽雜戊烷(2,2-bis(dimethylamino)-4,4-dimethyl-2,4-disilapentane)、2,2,4-三甲基-4-二甲胺基-3,4-二矽雜戊烷、二甲胺基二甲基矽烷、雙(二甲胺基)甲基矽烷、以及三(二甲胺基)矽烷。矽氮烷的一非限制性範例為1,1,3,3-四甲基二矽氮烷。

【0070】 為沉積 SiN 薄膜，合適的含矽反應物/薄膜前驅物(例如前述者)可與含氮共反應物一起使用。可使用的含氮共反應物的非限制性範例包括氨、聯氨、胺類，例如甲基胺、二甲基胺、乙基胺、異丙基胺、第三丁基胺、二第三丁基胺、環丙胺、第二丁基胺、環丁基胺、異戊胺、2-甲基-2-丁基胺、三甲基胺、雙異丙基胺、雙乙基異丙基胺、雙第三丁基聯氨、以及含芳香族的胺類，例如苯胺類、吡啶類、及苯甲基胺類。胺類可為一級、二級、三級、或四級(例如，四烷基銨化合物)。含氮共反應物包含至少一個氮，但亦可包含氮以外的雜原子。因此，例如羥基胺、第三丁基氧羰基胺、及 N 第三丁基羥基胺可視為含氮反應物。在一些實施例中，含氮反應物可為 N₂。在一些實施例中，含氮共反應物可作為離子化或無自由基電漿中的物種，以活化形成薄膜的表面反應。在應用以含 N 共反應物為主的電漿的某些此種實施例中，所稱之含 N 共反應物包括 NH₃、N₂、以及胺類，特別係第三丁基胺。

【0071】 最後，應注意的係，因為可重複多次ALD循環，以積累保形層的疊層。在一些實施例中，各層具有實質上相同的組成，然而在一些實施例中，透過ALD而依序地沉積的層，可具有相異的組成，或在某些此種實施例中，組成可一層一層地交替、或具有不同組成的層級有重複的順序。

基板處理設備

【0072】 本文中描述之方法可藉由任何適當的半導體基板處理設備來執行。適當的設備包括用於完成處理操作的硬體、以及具有指令的系統控制器，而該指令用於根據本文中揭露之多種SiN薄膜形成ALD方法以及稠化技術來控

制處理操作。在一些實施例中，該硬體可包括一或更多的處理站，該等處理站被包括在一多站基板處理工具中；以及具有(或可獲得)機器可讀指令的一控制器，該控制器用於根據本文中揭露之薄膜形成技術來控制該等處理操作。

【0073】因此，在一些實施例中，適合用於在半導體基板上沉積抗濕蝕刻性SiN薄膜的設備可包括：一處理腔室；在該處理腔室中的一基板固持器，一或更多的氣體入口，用以使氣體流入該處理腔室中；一真空來源，用以將氣體從該處理腔室中移除；一電漿產生器，用以在該處理腔室中產生電漿；以及一或更多控制器，其包含機器可讀指令，用以操作一或更多的氣體入口、真空來源、以及電漿產生器，以將SiN薄膜層沉積在半導體基板上。由該控制器執行的該等指令可包括用以執行如前述之ALD操作(i)到(vi)的指令、以及重複執行ALD操作(i)到(vi)多次的指令，以形成複數層的稠化的SiN薄膜。適當的系統控制器進一步描述如下。

【0074】因此，圖5示意地描繪用以執行本文所述之ALD技術的基板處理設備500的一實施例。將處理設備500描繪具有用以維持低壓環境的處理腔室本體502，為了簡單化，將處理腔室本體502描繪成利用獨立的處理站。然而，應知悉的係，在一共同的處理工具環境中(例如在一共同的反應腔室中)可包括多個處理站，如本文所述。例如，圖6描繪多站處理工具之一實施例。再者，應知悉的係，在一些實施例中，可透過一或更多的系統控制器而程式化地調整處理設備500/600的一或更多的硬體參數(包括前文詳細討論者)。

【0075】再次參考圖5，設備500的處理腔室502具有位於由真空幫浦518維持在真空狀態下的一內側容積中的單一基板固持器508。氣體輸送系統501與噴淋頭506亦與腔室流體地連接，用以輸送(例如)薄膜前驅物、載氣及/或沖洗及/或處理氣體、次/共反應物等。用於在處理腔室中產生電漿的配備亦呈現於圖5

中且進一步描述如下。無論如何，如下詳述般，示意地描繪於圖5中的設備500提供一基礎配備，用於執行半導體基板上的薄膜沉積操作，例如ALD。

【0076】處理設備500與反應物輸送系統501流體連通，以將處理氣體輸送至分配的噴淋頭506。反應物輸送系統501包括混合容器504，其用於混合及/或調節輸送至噴淋頭506的處理氣體。一或更多的混合容器入口閥520可控制處理氣體進到混合容器504中的引入。

【0077】一些反應物在被汽化並接續地被輸送到處理腔室502之前，以液體型態儲存。圖5中的實施例包括汽化點503，其用於將待供應到混合容器504的液態反應物汽化，在一些實施例中，汽化點503可為一加熱液體注入模組。在一些實施例中，汽化點503可為一加熱汽化器。若沒有適宜的控制(例如在將液態反應物汽化/霧化時未使用氮氣)，由此種模組/汽化器所產生的飽和的反應物蒸氣可能在下游的輸送配管系統中凝結。不相容的氣體暴露到已凝結的該反應物，可能產生微粒。該等微粒可能阻塞配管系統、妨礙閥操作、汙染基板等。解決該等問題的一些方法，包括將該輸送配管系統淨化及/或排空，以移除殘留的反應物。然而，淨化該輸送配管系統增加處理站的循環時間，造成處理站的產出量下降。因此，在一些實施例中，將汽化點503下游的輸送配管系統進行熱處理。在一些範例中，亦將混合容器504進行熱處理。在一非限制性的範例中，汽化點503下游的配管系統具有增加的一溫度分布，從大約100°C延伸到在混合容器504的大約150°C。

【0078】如前文提及的，在一些實施例中，汽化點503可為一加熱液體注入模組(簡稱為「液體注入器」)。此種液體注入器可在混合容器的上游將液態反應物的脈衝注入一載氣氣流中。在一方案中，該液體注入器可藉由將液體從高壓急驟至低壓來汽化反應物。在另一方案中，該液體注入器可將液體霧化為分散的微液滴，然後該等微液滴接續地在加熱的輸送配管系統中被汽化。應知悉

的係，較小的液滴比較大的液滴汽化得更快，故而將液體注入與完成汽化之間的延遲時間縮短。更快的汽化可將汽化點503下游的配管系統的長度縮短。在一方案中，液體注入器可直接地架設於混合容器504上。在另一方案中，液體注入器可直接地架設於噴淋頭506上。

【0079】 在一些實施例中，在汽化點503上游提供一液體流量控制器(LFC)，來控制用以汽化並輸送到處理腔室502中的液體的質流。例如，LFC可包括位在該LFC下游的熱質量流量計(MFM)。由與該MFM電性連接的比例-積分-微分(PID)控制器提供回饋控制訊號，然後可調整該LFC的柱塞閥以回應該回饋控制訊號。然而，使用回饋控制將液流安定化需要1秒鐘或更長的時間。這會延長攪入液態反應劑的時間。因此，在一些實施例中，該LFC可在回饋控制模式與直接控制模式之間動態地轉換。在一些實施例中，該LFC透過使LFC的感測管路與該PID控制器停止作用，而從回饋控制模式動態地轉換到直接控制模式。

【0080】 噴淋頭 506將處理氣體及/或反應物(例如薄膜前驅物)分配至處理站中的基板512上，而處理氣體及/或反應物的流量係由在噴淋頭上游的一或更多的閥(例如閥520、520A、505)來控制。在圖5所示之實施例中，基板 512 位在噴淋頭506的下方並呈現為放置在支座508上。應知悉的係，噴淋頭可具有任何適當形狀，且可具有埠口的任何適當數量與配置，以將處理氣體分配至基板上。

【0081】 在一些實施例中，微容積(microvolume)507位在噴淋頭506的下方。在處理站的一微容積中，靠近基板來執行ALD處理(而非在處理腔室的整個容積中)，可縮短反應物暴露與淨化的時間、可縮短改變製程條件(例如壓力、溫度等)的時間、可限制處理站機器暴露到處理氣體的時間等。例示性微容積尺寸包括(但不限於)介於0.1L與2L的容積。

【0082】 在一些實施例中，可將支座 508升起或降下，以將基板暴露到微容積507中、及/或改變微容積的507的容積。例如，在基板傳送階段時，可將支

座降下，以允許將基板裝載到支座上。在基板上的沉積處理階段時，可將支座升起，以將基板定位在微容積 507 中。在一些實施例中，該微容積可完全地圍繞基板以及一部份的支座，以在沉積處理期間建立高流阻抗(flow impedance)的區域。

【0083】 取捨性地，可在部分的沉積處理期間將支座 508 降下及/或升起，以調變微容積 507 內的處理壓力、反應物濃度等。在處理腔室本體 502 於處理期間維持在基礎壓力的一方案中，將支座降下以允許將微容積排空。微容積比處理腔室容積的例示性比例包括(但不限於)介於 1:500 與 1:10 的容積比例。應知悉的係，在一些實施例中，可透過適宜的系統控制器來程式化地調整支座高度。

【0084】 在另一方案中，調整支座的高度可允許在電漿活化及/或處理循環(包含在例如一 ALD 或 CVD 處理中)期間改變電漿密度。在沉積處理階段結束時，可在另一基板傳送階段期間將支座降下，以允許將基板從支座上移開。

【0085】 雖然本文中描述之例示性微容積改變涉及高度可調整的一支座，但應知悉的係，在一些實施例中，可相對於支座 508 而調整噴淋頭 506 的位置來改變微容積 507 的容積。再者，應知悉的係，可透過本發明領域內之任何適宜的機制來改變支座 508 及/或噴淋頭 506 的垂直位置。在一些實施例中，支座可包括一旋轉軸，其用以旋轉基板的方向。應知悉的係，在一些實施例中，可藉由一或更多適宜的系統控制器來程式化地執行一或更多的此種例示性調整，而該等系統控制器具有可用於執行前述操作之全部或子集的機器可讀指令。

【0086】 回到圖 5 所示之實施例，噴淋頭 506 與支座 508，和 RF 功率供應器 514 與匹配網路 516 電性地連接，以對在處理腔室中產生的電漿施加功率。在一些實施例中，藉由控制處理站壓力、氣體濃度、RF 功率位準、RF 功率頻率、及電漿功率脈衝時程中之一或更多者，來控制電漿的能量(例如，經由具有合適的機器可讀指令的一系統控制器)。例如，RF 功率供應器 514 與匹配網路 516 可在任

何適當功率下操作，以形成具有自由基種類之期望組成的電漿。適當的電漿功率的多種範例(關於電漿功率產生器中的RF功率位準設定以及腔室中的電漿能量密度)如前述，且因此取決於所應用的特定方法。根據實施例，RF功率供應器514可針對所執行的處理方法來提供具有任何適當頻率的RF功率。在一些實施例中，RF功率供應器514可配置用以控制高頻(HF)與低頻(LF)功率來源(兩個功率來源彼此獨立)。由RF功率來源產生的低頻範圍可介於50 kHz與500 kHz之間，取決於實施例。由RF功率來源產生的高頻範圍可介於1.8 MHz與2.45 GHz之間，取決於實施例。應知悉的係，可不連續或連續地調變任何適宜的參數，以將電漿能量提供給表面反應。在一些實施例中，使電漿功率斷續地脈衝(相對於連續地對電漿施加功率)，以減少和基板表面發生離子轟擊(ion bombardment)。

【0087】 在一些實施例中，可藉由一或更多的電漿偵測器來對電漿進行原位偵測。在一方案中，藉由一或更多的電壓、電流感測器(例如VI探針)來偵測電漿功率。在另一方案中，藉由一或更多的光放射光譜(OES)感測器來量測電漿的密度及/或處理氣體的濃度。在一些實施例中，可根據來自此種原位電漿偵測器的量測值而程式化地調整一或更多的電漿參數。例如，可用回饋迴路的方式使用OES感測器以提供電漿功率的程式化控制。應知悉的係，在一些實施例中，可使用其他偵測器來偵測電漿與其他製程特性。此種偵測器可包括(但不限於)紅外線(IR)偵測器、聲波偵測器、以及壓力計。

【0088】 在一些實施例中，可藉由輸入/輸出控制(IOC)連續指令來控制電漿。在一範例中，用於設定電漿活化階段的電漿狀態的指令，可包括在一製程配方的相對應的電漿活化配方階段中。在一些例子中，可時序地安排製程配方階段，使得針對一製程階段的所有指令與該製程階段同時地進行。在一些實施例中，用於設定一或更多的電漿參數的指令，可包括在先於電漿處理階段的一配方階段中。例如，第一配方階段可包括設定惰性(例如氬)及/或反應氣體(例如

NH₃)的流速的指令、將電漿產生器設定到功率設定值的指令、以及針對第一配方階段的延遲時間指令。接續的第二配方階段可包括使電漿產生器運作的指令、以及針對第二配方階段的延遲時間指令。第三配方階段可包括使電漿產生器停止運作的指令、以及針對第三配方階段的延遲時間指令。應知悉的係，該等配方階段可透過任何在本發明領域內的適宜方式，來進一步細分及/或重複。

【0089】 在一些沉積處理中，電漿可引燃並維持大約幾秒鐘或更長的時間。在一些沉積處理中，電漿可引燃並維持更短的持續時間。所選擇的持續時間取決於被產生的電漿的特性與用途。適當的電漿持續時間以及基板暴露時間如前文中參考本文所揭露之具體薄膜沉積技術所指出的。應注意的係，非常短暫的RF電漿持續時間可能因此需要非常快速的電漿安定化。爲了達成快速的電漿安定化，該電漿產生器可配置以使得將阻抗匹配值預設至特定電壓值，但允許頻率浮動。習慣上，高頻電漿係在約13.56 MHz的RF頻率下產生，然而在一些配置中，允許將頻率浮動到異於此標準值的數值。透過允許頻率浮動，同時將阻抗匹配值固定在一預設電壓值，可更快地將電漿安定化，這結果對於在使用與ALD循環相關的非常短暫的電漿持續時間時係重要的。

【0090】 在某些實施例中，可使用標準HF數值之13.56 MHz的倍數以產生更高頻的電漿。與使用標準數值之13.56 MHz時相同，在高頻的13.56 MHz的倍數下產生的HF輻射亦允許在此倍數的精確數值附近浮動。根據實施例，可使用的13.56 MHz的倍數包括 27.12 MHz (= 2*13.56 MHz)、40.68 MHz (= 3*13.56 MHz)、54.24 MHz (= 4*13.56 MHz)等。關於13.56 MHz的倍數之頻率調整可包括約 +/- 1 Mhz的頻率變化、或更具體而言約 +/- 0.5 MHz。更高的RF頻率產生密度更高的更高能量的電漿、較低的板電壓、以及較少的離子轟擊與方向性(當在高深寬比的3D結構上進行沉積時傾向於有利)。

【0091】 在一些實施例中，支座508可透過加熱器510來控制溫度。再者，在一些實施例中，透過一或更多的閥傳動真空來源(例如蝶形閥518)，對處理設備500提供壓力控制。如圖5之實施例所示，蝶形閥518對於由下游的真空幫浦(未顯示)所提供的真空進行節流控制。然而，在一些實施例中，亦可透過改變被引入處理腔室502中的一或更多的氣體的流速，來調節處理設備500的壓力控制。在一些實施例中，可使用一或更多的閥傳動真空來源(例如蝶形閥518)，以在合適的ALD操作性階段期間將薄膜前驅物從處理站之周圍容積中移除。

【0092】 雖然在一些情況下，如同圖5中的一基板處理設備係足夠的，但當涉及耗時的薄膜沉積操作時，同時在複數個半導體基板上透過平行地執行複數個沉積操作而提高基板處理產出量係有優勢的。為此目的，可應用多站基板處理設備，如示意地描繪於圖6中者。圖6的基板處理設備600仍應用單一個基板處理腔室614，然而，在由處理腔室的腔壁所界定之單一個內部容積中的係複數個基板處理站，而每一個基板處理站可用於在一基板(固持於該處理站中的晶圓固持器上)上執行處理作業。注意在一些實施例中，透過將複數個站維持在相同的低壓環境下，可避免真空破壞(在執行於許多站的薄膜沉積處理之間)造成的缺陷。

【0093】 在此具體實施例中，多站基板處理設備600顯示為具有四個處理站601、602、603、及604。該設備亦應用一基板裝載裝置(在此例中為基板搬運機器626)，其配置以將基板從透過容器628而裝載的卡匣、移動經過大氣埠620、進入到處理腔室614中、並最終放上一或更多的處理站，具體而言，在此例子中，處理站601、602中。亦描繪基板旋轉料架690，其作為基板傳送裝置，在此例子中用以在多個處理站601、602、603、及604之間傳送基板。

【0094】 在圖6所示之實施例中，基板裝載裝置被描繪成具有2個手臂(用於基板的操控)的基板搬運機器626，故如所描繪般，其可將基板裝載到站601與

602兩者上(可能同時地、或可能依序地)。接下來，在基板裝載於站601與602後，基板傳送裝置(圖6中描繪之旋轉料架690)可180度旋轉(沿著其中心軸，該中心軸實質上垂直於基板的平面(凸出紙面)且實質上與該等基板等距離)，以將2個基板從站601與602傳送到站603與604中。此時，搬運機器626可將2個新的基板裝載到站01與602上，而完成此裝載處理。可反向進行這些步驟以卸載，除此之外，若要處理複數組的4個晶圓，則在將傳送旋轉料架690旋轉180度之前，每次透過搬運機器626的2個基板的卸載，會伴隨2個新的基板的裝載。相似地，在4步驟的裝載處理中，可使用單臂的搬運機器(其配置係用以僅在1站，比如站601，放置基板)，伴隨旋轉料架690的4次90度旋轉，以將基板裝載到全部4個站中。應注意雖然圖6中描繪2個手臂的基板搬運機器626作為基板裝載裝置之範例、並將旋轉料架690作為基板傳送裝置之範例，但已知可同樣使用其他類型的基板裝載與傳送裝置。

【0095】 其他相似的多站基板處理設備可具有更多或更少的處理站，取決於實施例、以及(舉例來說)平行晶圓處理所期望之等級、尺寸/空間的限制等。圖6(將於下文進一步詳述)中亦顯示一控制器650，其控制基板處理設備之操作，以完成本文所述之各種ALD薄膜形成方法。

【0096】 應注意的係，就設備成本與操作性花費兩者而言，透過使用如圖6所示之多站處理設備，可達到多樣的效果。例如，在全部4個處理站方面，單一的真空幫浦(圖6中未顯示，但例如圖5中的真空幫浦518)可用於為全部4個處理站建立單一個高真空環境，且可用於將失效的處理氣體排空等。同樣的，在一些實施例中，單一個噴淋頭可在單一個處理腔室中的所有處理站之中共用。

【0097】 然而，在其他實施例中，各個處理站可具有其本身專屬的噴淋頭(例如請見圖5的噴淋頭506)用以氣體輸送，但在某些此種實施例中使用相同的一氣體輸送系統(例如圖5的氣體輸送系統501)。在每一處理站具有專屬的噴淋頭

的實施例中，各處理站可具有其獨立調整及/或控制的溫度。例如，各噴淋頭可相對於基板(其將氣體輸送到基板)、或相對於與其相關的基板固持器等而調整溫度。在基板固持器被主動控制/調整溫度的實施例中，藉由相同方法，例如透過加熱及/或冷卻，可獨立地調整各基板固持器的溫度。

【0098】 可在處理站之中共用或存在多次、以及每一處理站各自專屬的其他硬體元件包括電漿產生裝置的某些元件。例如，所有處理站可共用相同的功率供應器，但另一方面，若存在專屬的噴淋頭，且若將噴淋頭用於施加產生電漿的電位，則噴淋頭代表產生電漿之硬體元件，而各自專屬於不同的處理站。再次，這些處理站特定的噴淋頭之各者可具有其獨立調整的溫度，例如特定處理站的熱性質的差異，以及使用中的ALD處理的細節。

【0099】 當然，應知悉的係，如此效果可透過在每一個處理腔室中使用較多或較少的處理站的數量而達到較大或較小之程度。因此，雖然所繪之處理腔室614具有4個處理站，但應之係根據本發明之一處理腔室可具有任何適當數量的站。例如，在一些實施例中，一個處理腔室可具有1、2、3、5、6、7、8、9、10、11、12、13、14、15、或16、或更多的處理站(可將或一組實施例描述成每一處理腔室具有一範圍中的一數量的處理站，該範圍由前數數值的任一配對所界定，例如每一處理腔室具有2到6個處理站、或每一處理腔室具有4到8個處理站、或每一處理腔室具有8到16個處理站等)。

【0100】 此外，應知悉在一共同處理腔室中的多個處理站可用於完全相同的平行處理操作、或不同的處理操作，根據實施例而定。例如，在一些實施例中，一些處理站可專門用於ALD處理模式，而其他處理站專門用於CVD處理模式，而還有其他處理站可在ALD處理模式與CVD處理模式之間轉換。

系統控制器

【0101】圖6亦描繪系統控制器650的一實施例，其使用於控制處理工具600以及其處理站的製程條件與硬體狀態。系統控制器650可包括一或更多的記憶體裝置656、一或更多的大量儲存裝置654、以及一或更多的處理器652。處理器652可包括一或更多的CPUs、ASICs、一般用途電腦、及/或特殊用途電腦、一或更多的類比及/或數位的輸入/輸出連接件、一或更多的步進馬達控制板等。

【0102】在一些實施例中，系統控制器650控制處理工具600的一或更多的操作，包括其個別的處理站之操作。系統控制器650可在處理器652上執行機器可讀的系統控制指令658；在一些實施例中，系統控制指令658從大量儲存裝置654載入至記憶體裝置656中。系統控制指令658包括用以控制下列事項之指令：時程、氣態與液態反應物的混合、腔室及/或站的壓力、晶圓溫度、目標功率位準、RF功率位準、RF暴露時間、基板支座、卡盤、及/或承受器的定位、以及其他由處理工具600所執行的特定製程的參數。該等製程包括多種類型的製程，包括(但不限於)與基板上之薄膜沉積相關的製程。

【0103】因此，由控制器650執行的機器可讀的系統控制指令658可包括用以執行如前述之ALD操作(i)到(vi)的指令、以及重複執行ALD操作(i)到(vi)多次的指令，以形成複數層的稠化的SiN薄膜。例如，為完成本文揭露之薄膜形成方法，一或更多系統控制器的指令可包括：

用於下列操作之指令：操作該一或更多的氣體入口，使薄膜前驅物流進該處理腔室中，並吸附到半導體基板(被固持在該基板固持器中)上，使得該薄膜前驅物在該基板上形成一吸附限制層，該薄膜前驅物包括Si；

用於下列操作之指令：操作該真空來源以將至少若干的未吸附的薄膜前驅物從已吸附的薄膜前驅物的周圍容積中移除；

用於下列動作之指令(在移除未吸附的薄膜前驅物之後執行):操作該電漿產生器以產生包含含N離子及/或自由基的電漿，並透過將該已吸附的薄膜前驅物暴露到該電漿而使其進行反應，以在該基板上形成SiN薄膜層；

用於下列動作之指令(在使已吸附的前驅物進行反應之後執行):操作該電漿產生器以產生包含He且具有介於約0.035與 2.2 W/cm²之間的與基板表面有關之功率密度的電漿，並透過將該SiN薄膜層暴露到該電漿0.5與15秒之間而使其稠化；以及

用於下列操作之指令:重複執行前述指令以在該基板上形成另外的稠化的SiN薄膜層。

在一些實施例中，該等指令可進一步包括:

用於下列動作之指令(在執行使吸附的薄膜前驅物進行反應的指令之後、但在執行使所沉積薄膜層稠化的指令之前執行):操作該真空來源以將下列至少若干者從SiN薄膜層之周圍容積中移除:含N離子、含N自由基、脫附的薄膜前驅物、及/或反應副產物；以及

用於下列動作之指令(在使所沉積薄膜層稠化的指令之後執行):操作該真空來源以將至少若干的He從該SiN薄膜層之周圍容積中移除。

【0104】 可以任何適宜的方式來配置系統控制指令658。例如，可寫入許多處理工具元件的子程序或控制物件，以控制對於實現許多處理工具製程所需之處理工具元件之操作。可以任何適宜的電腦可讀程式語言將系統控制指令658編碼。在一些實施例中，以軟體來執行系統控制指令658，在另一些實施例中，以硬體來執行系統控制指令658，例如硬編碼成ASIC(特殊應用積體電路)中的邏輯，或在其他實施例中，實施成軟體與硬體之結合。

【0105】 在一些實施例中，系統控制軟體658可包括輸入/輸出控制(IOC)順序指令，用以控制上述許多參數。例如，沉積處理(或複數處理)的各階段中可

包括一或更多由系統控制器650所執行的指令。例如，用於設定薄膜沉積製程階段之製程條件的指令，可包括在相對應的沉積配方階段之內。在一些實施例中，可依序地安排配方階段，使得針對一製程階段的所有指令與該製程階段同時地被執行。

【0106】 在一些實施例中，可使用其他電腦可讀指令及/或程式，其儲存在與系統控制器650連接的大量儲存裝置654及/或記憶體裝置656中。程式或程式區段之範例包括基板定位程式、處理氣體控制程式、壓力控制程式、加熱器控制程式、以及電漿控制程式。

【0107】 基板定位程式包括對於處理工具元件的指令，其用於將基板裝載到支座(請見圖5之508)上，以及用於控制基板與圖5的處理工具500的其他部件之間間距。該定位程式包括按需要將基板適當地移進或移出反應腔室的指令以在基板上沉積薄膜。

【0108】 處理氣體控制程式包括用於控制氣體組成與流速的指令，以及取捨性地用於在沉積之前使氣體流進一或更多的處理站之周圍容積中，以將該等容積中的壓力安定化。在一些實施例，該處理氣體控制程式包括在基板上的薄膜沉積期間，將某些氣體引入一或更多處理站(位於一處理腔室中)的周圍容積中的指令。該處理氣體控制程式亦包括根據所沉積之薄膜的組成，在相同速率下，以一段相同的時間(或在不同速率下及/或以不同的時間)輸送該等氣體的指令。該處理氣體控制程式亦包括在氮氣或一些其他的載氣存在的情況下，將液態反應物在加熱注入模組中霧化/汽化的指令。

【0109】 壓力控制程式包括用於控制處理站內的壓力的指令，例如，透過調節處理站之排空系統的節流閥、使氣體流動進入處理站之中等。該壓力控制程式包括在許多薄膜類型在基板上的沉積期間，維持相同或不同的壓力的指令。

【0110】加熱器控制程式包括控制通到用以加熱基板的加熱元件的電流的指令。替代地或另外地，該加熱器控制程式控制熱傳送氣體(例如氮氣)到基板的輸送。該加熱器控制程式包括在許多薄膜類型在基板上的沉積期間，在反應腔室及/或處理站之周圍容積中維持相同或不同的溫度的指令。

【0111】電漿控制程式包括根據本文中之實施例，設定在一或更多的處理站中的RF功率位準、頻率、以及暴露時間的指令。在一些實施例中，該電漿控制程式包括在基板上的薄膜沉積期間，使用相同或不同的RF功率位準、及/或頻率、及/或暴露時間的指令。

【0112】在一些實施例中，有一和系統控制器650連接的一使用者介面。該使用者介面包含一顯示螢幕、該設備及/或製程條件的圖示軟體顯示器、以及使用者輸入裝置(例如指標裝置、鍵盤、觸控螢幕、麥克風等)。

【0113】在一些實施例中，被系統控制器650調節的參數，與製程條件有關。非限制性的範例包括:處理氣體的組成與流速、溫度(例如基板固持器與噴淋頭的溫度)、壓力、電漿狀態(例如RF偏壓功率位準與暴露時間)等。可經由配方(可用使用者介面來輸入)的形式將該等參數提供給使用者。

【0114】透過系統控制器650之類比及/或數位輸入連接件，可從多種處理工具之感測器提供用以監控制程的訊號。用以監控制程的訊號可在處理工具600之類比及/或數位輸出連接件上輸出。可被監控的處理工具之感測器的非限制性的範例，包括質流控制器(MFCs)、壓力感測計(例如壓力計)、溫差電偶等。可使用經適當程式化的回饋與控制運算法，和來自該等感測器的資料一起維持製程條件。

【0115】系統控制器650提供機器可讀指令以實施前文所述之沉積處理。該等指令可控制多種製程參數，例如DC功率位準、RF偏壓功率位準、壓力、溫度等。該等指令可控制該等參數，以執行本文所述之薄膜沉積操作。

【0116】 因此，系統控制器典型上包括一或更多的記憶體裝置、以及一或更多的處理器，其配置係用以執行機器可讀指令，俾使設備根據本文中揭露之製程而執行操作。含有用於根據本文中揭露的基板處理操作而控制操作之指令的機器可讀、非暫態之媒介可耦合至該系統控制器。

【0117】 上述之多種該等設備與方法，可連同微影圖案化的工具及/或製程一起使用，例如用於半導體裝置、顯示器、LEDs、太陽能平板以及類似物的加工或製造。典型地但非必要地，可在共同的一製造場所中，一起及/或同時地使用此種工具或執行此種製程。

【0118】 在一些實施例中，控制器為系統的一部分，而系統為前述範例之一部分。此種系統包含半導體處理設備，其包括：處理工具(或複數)、腔室(或複數)、用以處理的工作台(或複數)、及/或特定處理元件(例如晶圓支座、氣流系統等)。這些系統可與電子設備合併，以在處理半導體晶圓或基板之前、期間、與之後，控制系統的操作。該等電子設備可稱為「控制器」，其可控制系統(或複數)的各種元件或子部件。根據製程要求及/或系統的類型，可將控制器編程式，以控制前述之任何處理，包括處理氣體的輸送、溫度設定(例如加熱及/或冷卻)、壓力設定、真空設定、功率設定、射頻(RF)產生器設定、RF匹配電路設定、頻率設定、流速設定、流體輸送設定、定位與操作設定、晶圓進出一工具、以及其他傳送工具的傳送、及/或負載間與特定系統接合或連接。

【0119】 總的來說，控制器可界定為具有各種下列元件的電子設備：積體電路、邏輯、記憶體、及/或軟體，其可接收指令、發出指令、控制操作、使清洗操作據以實現、使端點量測據以實現、以及其他。該積體電路可包括儲存程式指令的韌體形式的晶片、數位訊號處理器(DSPs)、定義為特殊應用積體電路(ASICs)的晶片、及/或執行程式指令(例如軟體)的一或更多的微處理器、或微控制器。程式指令可為以各種個別的設定(或程式檔案)與控制器交流的指令，而針

對半導體晶圓(或在其上)、或對於系統，界定出用以實現特定製程的操作性參數。在一些實施例中，該等操作性參數為配方的一部分，該配方由製程工程師定義以在一或更多的下列各項之產製期間完成一或更多的處理步驟:層、材料、金屬、氧化物、矽、二氧化矽、表面、電路、及/或晶圓的晶片。

【0120】 在一些實施例中，控制器可為電腦之一部分或與其結合，其與系統整合、結合、或建立網路到系統、或其中之組合。例如，控制器可在「雲端」中、或在晶圓廠主電腦系統之全部或部分中，可允許晶圓處理的遠端存取。該電腦能夠遠端存取系統，以監控制程操作之目前進度、檢視先前製程操作之歷史、從大量製程操作檢視趨勢或效能度量指標，用以改變當前處理的參數、用以設定接續當前處理的處理步驟、或用以開啓新的處理。在一些範例中，遠端電腦(例如何伺服器)可利用網路將製程配方提供到系統，該網路可包括區域網路或網際網路。該遠端電腦可包括使用者介面，允許參數及/或設定的輸入或程式化、而之後參數及/或設定從該遠端電腦傳遞到該系統。在一些範例中，控制器接收資料形式的指令，其規定參數，用於在一或更多的操作中待執行的各個處理步驟。應知悉的係，針對欲執行之處理的類型、以及工具的類型來規定該等參數，而控制器係配置以控制、或與該者交流。因此，如上所述，可將控制器分散，例如透過組合一或更多的分散式控制器，該者以網路連結在一起，並針對相同的目的(例如本文中描述之處理與控制項)而運作。用於此種目的之分散式控制器的範例為，一腔室上的一或更多的積體電路與一或更多的分離地放置(例如在平台層級、或為遠端電腦的一部分)的積體電路交流，該者結合以控制該腔室上的處理。

【0121】 不限制地，例示性系統可包括電漿蝕刻腔室或模組、沉積腔室或模組、旋轉沖洗腔室或模組、金屬電鍍腔室或模組、清洗腔室或模組、斜面邊緣蝕刻腔室或模組、物理氣相沉積(PVD)腔室或模組、化學氣相沉積(CVD)腔室

或模組、原子層沉積(ALD)腔室或模組、原子層蝕刻(ALE)腔室或模組、離子植入腔室或模組、軌道腔室或模組、以及使用於半導體晶圓之製造及/或加工或與其相關的任何其他半導體處理系統。

【0122】如上所載，根據欲使用工具執行的單數或複數的處理步驟，控制器可與下列之一或更多者交流：其他工具電路或模組、其他工具組件、叢集工具、其他工具介面、相鄰的工具、附近的工具、坐落在整個工廠的工具、主電腦、另一控制器、或用於材料傳送的工具，其在半導體製程工廠中將晶圓之容器帶進或帶出工具位置、及/或負載埠。

微影圖案化

【0123】薄膜的微影圖案化典型上包括一些或全部下述之操作，每項操作藉由若干合理的工具而促成：(1)塗佈光阻劑於基板(例如有矽氮化物薄膜形成於其上的基板)上，使用旋塗或噴塗工具；(2)使光阻劑硬化，使用熱板或熔爐或其他適宜的硬化工具；(3)將該光阻劑暴露到可見光或UV光或X光，使用如晶圓步進器的工具；(4)使該光阻劑顯影，以選擇性地移除光阻劑並藉此使之圖案化，使用如濕式清潔台或噴塗顯影劑的工具；(5)將該光阻劑圖案轉移到下層的薄膜或基板中，使用乾式或電漿輔助蝕刻工具；以及(6)移除該光阻劑，使用如RF或微波電漿光阻剝離器的工具。在一些實施例，在塗佈光阻劑之前，沉積可灰化(ashable)硬遮罩層(例如非晶碳層)以及其他適宜的硬遮罩(例如抗反射層)。

其他實施例

【0124】雖然前述之技術、操作、製程、方法、系統、設備、工具、薄膜、化學品、以及組成，爲了提升明確性與理解，故已在具體實施例的內文中詳細地描述，但對於本發明領域中具有通常知識者而言，顯然有許多實施前述實施例的替代方式係在本發明之精神與範圍之內。因此，本文揭露之實施例應被視

為發明概念之例示性揭露(而非限制性)，且不允許被做為不當地限制任何申請專利範圍(最終指向本發明標的)的依據。

【符號說明】

200 處理(順序)

211 步驟

212 步驟

213 步驟

214 步驟

220 步驟

300 處理順序

311 步驟

312 步驟

313 步驟

314 步驟

315 步驟

316 步驟

320 步驟

500 處理設備

501 輸送系統

502 腔室(本體)

503 汽化點

504 混合容器

505 閥

- 506 噴淋頭
- 507 微容積
- 508 基板固持器/支座
- 510 加熱器
- 512 基板
- 514 RF 功率供應器
- 516 匹配網路
- 518 真空幫浦/蝶形閥
- 520 閥
- 520A 閥
- 600 處理設備/處理工具
- 601 站
- 602 站
- 603 站
- 604 站
- 614 處理腔室
- 620 大氣埠
- 626 搬運機器
- 628 容器
- 650 控制器
- 652 處理器
- 654 大量儲存裝置
- 656 記憶體裝置
- 658 系統控制指令

690 旋轉料架



201623682

【發明摘要】

104.09.23

申請日: C23C16/455(2006.01)
 C23C16/505(2006.01)
 C23C16/513(2006.01)
 C23C16/517(2006.01)
 IPC分類: C23C16/52(2006.01)
 C23C16/42(2006.01)
 H01L21/318(2006.01)
 H01L21/02(2006.01)

【中文發明名稱】 原子層沉積所形成的氮化矽膜之特徵部內溼蝕刻速率的均勻降低用方法及設備

【英文發明名稱】 METHODS AND APPARATUSES FOR UNIFORM REDUCTION OF THE IN-FEATURE WET ETCH RATE OF A SILICON NITRIDE FILM FORMED BY ALD

【中文】

本文中揭露沉積具有降低的濕蝕刻速率的SiN薄膜的方法。該方法可包括在處理腔室中，將含Si薄膜前驅物吸附到半導體基板上，以形成前驅物之吸附限制層；然後將未吸附的前驅物從已吸附的前驅物的周圍容積中移除。之後透過將該已吸附的前驅物暴露到電漿而使其進行反應，以在該基板上形成SiN薄膜層，其中該電漿包含含N離子及/或自由基；以及透過將該SiN薄膜層暴露到He電漿而使其稠化。然後可重複執行前述步驟以在該基板上形成另外的稠化的SiN薄膜層。本文中亦揭露應用前述之技術而將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的設備。

【英文】

Disclosed herein are methods of depositing a SiN film having a reduced wet etch rate. The methods may include adsorbing a film precursor comprising Si onto a semiconductor substrate in a processing chamber to form an adsorption-limited layer of precursor, and then removing unadsorbed precursor from the volume surrounding the adsorbed precursor. The adsorbed precursor may then be reacted by exposing it to a plasma comprising N-containing ions and/or radicals to form a SiN film layer on the

substrate, and the SiN film layer may then be densified by exposing it to a He plasma. The foregoing steps may then be repeated to form another densified SiN film layer on the substrate. Also disclosed herein are apparatuses for depositing SiN films having reduced wet etch rates on semiconductor substrates which employ the foregoing techniques.

【指定代表圖】:第(3)圖

【代表圖之符號簡單說明】

300 處理順序

311 步驟

312 步驟

313 步驟

314 步驟

315 步驟

316 步驟

320 步驟

【發明申請專利範圍】

【第1項】 一種在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，該方法包括下列步驟：

(a) 在一處理腔室中，將薄膜前驅物吸附到一半導體基板上，使得該薄膜前驅物在該基板上形成一吸附限制層，該薄膜前驅物包括Si；

(b) 將至少若干的未吸附的薄膜前驅物從已吸附的薄膜前驅物的周圍容積中移除；

(c) 在步驟(b)中將未吸附的薄膜前驅物移除之後，透過將該已吸附的薄膜前驅物暴露到電漿而使其進行反應，以在該基板上形成一SiN薄膜層，其中該電漿包含含N離子及/或自由基；

(e) 透過將該SiN薄膜層暴露到含He電漿0.5與15秒之間而使其稠化，該含He電漿具有介於約0.035與 2.2 W/cm²之間的與基板表面有關之功率密度；以及

(g) 重複執行步驟(a)、(b)、(c)及(e)以在該基板上形成另外的稠化的SiN薄膜層。

【第2項】 如申請專利範圍第1項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，更包括：

(d) 將下列至少若干者從該SiN薄膜層之周圍容積中移除：含N離子、含N自由基、脫附的薄膜前驅物、及/或反應副產物，此步驟(d)係在步驟(c)之反應後、並且步驟(e)之稠化前執行；

其中步驟(g)更包括重複執行步驟(d)。

【第3項】 如申請專利範圍第2項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，更包括：

(f) 將至少若干的He從該SiN薄膜層之周圍容積中移除，此步驟(f)係在步驟(e)之稠化後執行；以及

其中步驟(g)更包括重複執行步驟(f)。

【第4項】 如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中該薄膜前驅物更包括一或更多的鹵素。

【第5項】 如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中該薄膜前驅物更包括二或更多的鹵素。

【第6項】 如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中該薄膜前驅物係選自：二氯矽烷、六氯二矽烷、四氯矽烷、及氨基矽烷類。

【第7項】 如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中在步驟(c)暴露到吸附的薄膜前驅物並且包括含N離子及/或自由基之該電漿係透過將RF EM輻射施加到含N電漿前驅物來形成，該含N電漿前驅物選自： NH_3 、 N_2 、及胺類。

【第8項】 如申請專利範圍第7項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中該含N電漿前驅物選自： NH_3 及第三丁基胺。

【第9項】 如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中在步驟(c)暴露到吸附的薄膜前驅物中並且包括含N離子及/或自由基之該電漿具有介於約0.035與2.2 W/cm^2 之間的功率密度，且其中在步驟(c)中透過將該已吸附的薄膜層暴露到該電漿約0.1與6秒之間而使其反應。

第2頁，共5頁(發明申請專利範圍)

【第10項】如申請專利範圍第9項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中在步驟(e)中的該含He電漿之功率密度比上在步驟(c)中的該含N離子及/或自由基電漿之功率密度的比例小於1。

【第11項】如申請專利範圍第10項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中在步驟(e)中的電漿暴露時間比上在步驟(c)中的電漿暴露時間的比例大於1。

【第12項】如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中在步驟(e)暴露到SiN層之該含He電漿具有介於約0.070與0.28 W/cm²之間的功率密度，且其中在步驟(e)中透過將該SiN層暴露到該電漿約4與8秒之間而使其稠化。

【第13項】如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中在步驟(e)期間在該基板之周圍容積中的He的分壓介於約2與6 torr 之間。

【第14項】如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中在步驟(a)、(b)、(c)及(e)期間該處理腔室中的溫度大約或低於500°C。

【第15項】如申請專利範圍第1-3項中之任一項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中當在23 °C 以及760 torr 下暴露到莫爾比100:1 的 HF 溶液時，所沉積的SiN薄膜具有大約或低於50 Å/分鐘的濕蝕刻速率。

【第16項】如申請專利範圍第15項之在處理腔室中將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的方法，其中該半導體基板具有一特徵部，其具有頂部區域以及該特徵部中的側壁，其中該SiN薄膜沉積在該頂部區域以及該特徵部中的側壁上，且其中當在23 °C 以及760 torr 下暴露到莫爾比100:1 的 HF

溶液時，所沉積的SiN薄膜在該頂部區域以及該特徵部中的側壁上具有大約或低於50 Å/分鐘的濕蝕刻速率。

【第17項】一種用以將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的設備，該設備包括：

一處理腔室；

在該處理腔室中的一基板固持器；

一或更多的氣體入口，用以使氣體流入該處理腔室中；

一真空來源，用以將氣體從該處理腔室中移除；

一電漿產生器，用以在該處理腔室中產生電漿；以及

一或更多控制器，其包含機器可讀指令，用以操作該一或更多的氣體入口、真空來源、以及電漿產生器，以將SiN薄膜層沉積在基板上，該一或更多控制器的該等指令包括用於下列操作之指令：

(a)操作該一或更多的氣體入口，使薄膜前驅物流進該處理腔室中，並吸附到被固持在該基板固持器中之半導體基板上，使得該薄膜前驅物在該基板上形成一吸附限制層，該薄膜前驅物包括Si；

(b)操作該真空來源以將至少若干的未吸附的薄膜前驅物從已吸附的薄膜前驅物的周圍容積中移除；

(c)操作該電漿產生器以產生包含含N離子及/或自由基的電漿，並透過將該已吸附的薄膜前驅物暴露到該電漿而使其進行反應，以在該基板上形成SiN薄膜層，操作(c)在操作(b)之移除未吸附的薄膜前驅物之後執行；

(e)操作該電漿產生器以產生具有介於約0.035與2.2 W/cm²之間的與基板表面有關之功率密度的含He電漿，並透過將該SiN薄膜層暴露到該電漿0.5與15秒之間而使其稠化，操作(e)在操作(c)之使已吸附的前驅物進行反應之後執行；以及

(g)重複執行操作(a)、(b)、(c)及(e)以在該基板上形成另外的稠化的SiN薄膜層。

【第18項】如申請專利範圍第17項之用以將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的設備，其中該一或更多控制器的該等指令更包括用於下列操作之指令：

(d)操作該真空來源以將下列至少若干者從該 SiN 薄膜層之周圍容積中移除：含 N 離子、含 N 自由基、脫附的薄膜前驅物、及/或反應副產物，此操作(d)係在操作(c)之反應後、並且在操作(e)之稠化前執行；以及其中操作(g)更包括重複執行操作(d)。

【第19項】如申請專利範圍第18項之用以將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的設備，其中該一或更多控制器的該等指令更包括用於下列操作之指令：

(f) 操作該真空來源以將至少若干的He從該SiN薄膜層之周圍容積中移除，此操作(f)係在操作(e)之稠化後執行；以及其中操作(g)更包括重複執行操作(f)。

【第20項】如申請專利範圍第17-19項中之任一項之用以將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的設備，其中操作該電漿產生器，使得在操作(e)中暴露到SiN層之該含He電漿 具有介於約0.070與 0.28 W/cm²之間的功率密度，且其中在操作(e)中透過將該SiN層暴露到該電漿約4與8秒之間而使其稠化。

【第21項】如申請專利範圍第17-19項中之任一項之用以將具有降低的濕蝕刻速率的SiN薄膜沉積在半導體基板上的設備，其中操作該一或更多的氣體入口以及該真空來源，使得在操作(e)期間在該基板之周圍容積中的He的分壓介於約2與6 torr 之間。

