

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3884266号
(P3884266)

(45) 発行日 平成19年2月21日(2007.2.21)

(24) 登録日 平成18年11月24日(2006.11.24)

(51) Int. Cl.	F I	
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10	3 2 1
HO 1 L 27/108 (2006.01)	G 1 1 C 11/34	3 5 2 C
G 1 1 C 11/404 (2006.01)	G 1 1 C 11/34	3 5 4 D
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34	3 7 1 K
G 1 1 C 11/401 (2006.01)	HO 1 L 29/78	6 1 3 B
請求項の数 19 (全 57 頁) 最終頁に続く		

(21) 出願番号	特願2001-328204 (P2001-328204)	(73) 特許権者	000003078
(22) 出願日	平成13年10月25日(2001.10.25)		株式会社東芝
(65) 公開番号	特開2003-86712 (P2003-86712A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年3月20日(2003.3.20)	(74) 代理人	100075812
審査請求日	平成15年6月5日(2003.6.5)		弁理士 吉武 賢次
(31) 優先権主張番号	特願2001-41828 (P2001-41828)	(74) 代理人	100088889
(32) 優先日	平成13年2月19日(2001.2.19)		弁理士 橘谷 英俊
(33) 優先権主張国	日本国(JP)	(74) 代理人	100082991
(31) 優先権主張番号	特願2001-191781 (P2001-191781)		弁理士 佐藤 泰和
(32) 優先日	平成13年6月25日(2001.6.25)	(74) 代理人	100096921
(33) 優先権主張国	日本国(JP)		弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100107582
			弁理士 関根 毅
最終頁に続く			

(54) 【発明の名称】 半導体メモリ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

1ビットのメモリセルがフローティングの半導体層に形成された一つのM I Sトランジスタにより構成され、

前記M I Sトランジスタのソース、ドレイン間に配置されたチャネル形成のための主ゲートとは別に、前記半導体層の電位を容量結合により制御するための補助ゲートが設けられ、前記主ゲートの電位の上昇及び下降に同期して前記補助ゲートの電位も上昇及び下降し、

前記M I Sトランジスタは、前記半導体層を第1の電位に設定した第1データ状態と、前記半導体層を第2の電位に設定した第2データ状態とを選択的に記憶することを特徴とする半導体メモリ装置。

10

【請求項2】

前記第1データ状態は、前記M I Sトランジスタを5極管動作させ、ドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、

前記第2データ状態は、前記主ゲートからの容量結合により所定電位が与えられた前記半導体層と前記ドレインとの間に順方向バイアス電流を流すことにより書き込まれることを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】

前記半導体層は、半導体基板に絶縁膜を介して形成されたものであり、前記主ゲートと補助ゲートは、前記半導体層の上下面に相対向して配置されている

20

ことを特徴とする請求項 1 の半導体メモリ装置。

【請求項 4】

前記補助ゲートは、前記半導体層に接続された中継用電極に対向して、この中継用電極との間でキャパシタを構成するように形成されていることを特徴とする請求項 3 記載の半導体メモリ装置。

【請求項 5】

前記半導体層は、半導体基板に絶縁膜を介して形成されて素子形成領域毎に区画され、前記主ゲートは前記半導体層の各素子形成領域の側面に対向して配置され、前記補助ゲートは前記半導体層の上面に対向し且つ前記主ゲートと電気的に接続されて配置されていることを特徴とする請求項 1 の半導体メモリ装置。

10

【請求項 6】

前記半導体層は、半導体基板上に形成された柱状半導体であり、この柱状半導体の上部にドレインが、下部にソースが形成され、前記主ゲートと補助ゲートは前記柱状半導体の両側面に相対向して配置されていることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 7】

前記主ゲートと補助ゲートとは同じ材料により形成されて、異なる電位をもって駆動されることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 8】

入力されたロウアドレス信号をデコードするロウデコーダであって、そのデコード結果に応じて、第 1 の制御電位、又は、この第 1 の制御電位より高い第 2 の制御電位を出力する、ロウデコーダと、

20

前記ロウデコーダの出力に応じて、前記第 1 の制御電位より低い第 3 の制御電位、又は、前記第 2 の制御電位よりも高い第 4 の制御電位を、前記主ゲートに出力する、第 1 の出力回路と、

前記ロウデコーダの出力に応じて、前記第 3 の制御電位より低い第 5 の制御電位、又は、前記第 4 の制御電位よりも低い第 6 の制御電位を、前記補助ゲートに出力する、第 2 の出力回路と、

を備えることを特徴とする請求項 7 に記載の半導体メモリ装置。

30

【請求項 9】

前記ロウデコーダは、前記第 1 の出力回路と前記第 2 の出力回路とに対して、個別に設けられている、ことを特徴とする請求項 8 に記載の半導体メモリ装置。

【請求項 10】

前記主ゲートと補助ゲートとは仕事関数の異なる材料により形成されて、同電位で駆動される

ことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 11】

入力されたロウアドレス信号をデコードするロウデコーダであって、そのデコード結果に応じて、第 1 の制御電位、又は、この第 1 の制御電位より高い第 2 の制御電位を出力する、ロウデコーダと、

40

前記ロウデコーダの出力に応じて、前記第 1 の制御電位より低い第 3 の制御電位、又は、前記第 2 の制御電位よりも高い第 4 の制御電位を、前記主ゲート及び前記補助ゲートに出力する、出力回路と、

を備えることを特徴とする請求項 10 に記載の半導体メモリ装置。

【請求項 12】

前記 M I S トランジスタが n チャンネル型であって複数個マトリクス配列され、第 1 の方向に並ぶ M I S トランジスタのドレインがビット線に、第 2 の方向に並ぶ M I S トランジスタの主ゲート及び補助ゲートがそれぞれ第 1 のワード線及び第 2 のワード線に、前記 M I S トランジスタのソースが固定電位線に接続されてメモリセルアレイが構成され、

50

データ書き込み時、前記固定電位線を基準電位として、選択された第1のワード線に前記基準電位より高い第1の制御電位を与え、非選択の第1のワード線に前記基準電位より低い第2の制御電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ前記基準電位より高い第3の制御電位及び前記基準電位より低い第4の制御電位を与え、前記第1のワード線と同時に選択される第2のワード線に前記第1の制御電位以下の第5の制御電位を与え、非選択の第2のワード線に前記第2の制御電位以下の第6の制御電位を与えるようにした

ことを特徴とする請求項1乃至11のいずれかに記載の半導体メモリ装置。

【請求項13】

前記MISトランジスタがpチャネル型であって複数個マトリクス配列され、第1の方向に並ぶMISトランジスタのドレインがビット線に、第2の方向に並ぶMISトランジスタの主ゲート及び補助ゲートがそれぞれ第1のワード線及び第2のワード線に、前記MISトランジスタのソースが固定電位線に接続されてメモリセルアレイが構成され、

10

データ書き込み時、前記固定電位線を基準電位として、選択された第1のワード線に前記基準電位より低い第1の制御電位を与え、非選択の第1のワード線に前記基準電位より高い第2の制御電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ前記基準電位より低い第3の制御電位及び前記基準電位より高い第4の制御電位を与え、前記第1のワード線と同時に選択される第2のワード線に前記第1の制御電位以上の第5の制御電位を与え、非選択の第2のワード線に前記第2の制御電位以上の第6の制御電位を与えるようにした

20

ことを特徴とする請求項1乃至11のいずれかに記載の半導体メモリ装置。

【請求項14】

1ビットのメモリセルがフローティングの半導体層に形成された一つのMISトランジスタにより構成され、前記MISトランジスタは、前記半導体層を第1の電位に設定した第1データ状態と、前記半導体層を第2の電位に設定した第2データ状態とを選択的に記憶する半導体メモリ装置であって、

第1の半導体基板と、

この第1の半導体基板の表面部に、底面及び側面が絶縁膜で覆われた状態で一方向に連続するように形成された、前記MISトランジスタの補助ゲートと、

この補助ゲートの表面に第1のゲート絶縁膜を介して接着された第2の半導体基板と、

30

この第2の半導体基板の表面に第2のゲート絶縁膜を介して前記補助ゲートと並行して連続するように形成された、前記MISトランジスタの主ゲートであって、当該主ゲートの電位の上昇及び下降に同期して前記補助ゲートの電位も上昇及び下降する、主ゲートと

前記第1の半導体基板の前記主ゲート及び補助ゲートの間隙部に形成されたソース及びドレイン拡散層と、

前記ソース拡散層にコンタクトして前記主ゲート及び補助ゲートと並行して連続するように配設されたソース配線と、

このソース配線を覆う層間絶縁膜上に前記主ゲート及び補助ゲートと交差して配設されて前記ドレイン拡散層にコンタクトするビット線とを備えた

40

ことを特徴とする半導体メモリ装置。

【請求項15】

請求項1に記載の半導体メモリ装置の製造方法であって、

第1の半導体基板にゲート絶縁膜を介して対向する補助ゲートを形成する工程と、

前記補助ゲートを覆って平坦化された絶縁膜を形成する工程と、

前記絶縁膜上に第2の半導体基板を貼り合わせる工程と、

前記第1の半導体基板を研磨して所定厚みの半導体層として調整した後、素子分離絶縁膜を形成する工程と、

前記半導体層にゲート絶縁膜を介して対向する主ゲートを形成する工程と、

前記主ゲートをマスクとして前記半導体層に不純物をイオン注入してソース及びドレイ

50

ンを形成する工程と、
を有することを特徴とする半導体メモリ装置の製造方法。

【請求項 16】

請求項 1 に記載の半導体メモリ装置の製造方法であって、
第 1 の半導体基板にゲート絶縁膜を介して対向する主ゲートを形成する工程と、
前記主ゲートを覆って平坦化された第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜上に第 2 の半導体基板を貼り合わせる工程と、
前記第 1 の半導体基板を研磨して所定厚みの半導体層として調整した後、素子分離絶縁膜を形成する工程と、
前記半導体層上に第 2 の絶縁膜を形成する工程と、
前記第 2 の絶縁膜に前記半導体層に達する開口を開けて、この開口を介して前記半導体層と接続される中継電極を形成する工程と、
前記中継電極にゲート絶縁膜を介して対向する補助ゲートを形成する工程と、前記補助ゲートをマスクとして前記半導体層に不純物をイオン注入してソース及びドレインを形成する工程と、
を有することを特徴とする半導体メモリ装置の製造方法。

10

【請求項 17】

請求項 1 に記載の半導体メモリ装置の製造方法であって、
第 1 の半導体基板に第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜に前記第 1 の半導体基板に達する開口を開けて、この開口を介して前記第 1 の半導体基板に接続される中継電極を形成する工程と、
前記中継電極にゲート絶縁膜を介して対向する補助ゲートを形成する工程と、前記補助ゲートを覆って平坦化された第 2 の絶縁膜を形成する工程と、
前記第 2 の絶縁膜上に第 2 の半導体基板を貼り合わせる工程と、
前記第 1 の半導体基板を研磨して所定厚みの半導体層として調整した後、素子分離絶縁膜を形成する工程と、
前記半導体層にゲート絶縁膜を介して対向する主ゲートを形成する工程と、
前記主ゲートをマスクとして前記半導体層に不純物をイオン注入してソース及びドレインを形成する工程と、
を有することを特徴とする半導体メモリ装置の製造方法。

20

30

【請求項 18】

請求項 1 に記載の半導体メモリ装置の製造方法であって、
半導体基板の上に絶縁膜により分離された状態で形成された半導体層を横方向に素子分離された素子形成領域として区画する工程と、
前記素子形成領域の側面にゲート絶縁膜を介して対向する主ゲートを埋め込む工程と、
前記半導体層の上面にゲート絶縁膜を介して対向する補助ゲートを、前記主ゲートと電氣的に接続された状態で且つ前記主ゲートとは仕事関数が異なる材料によって形成する工程と、
前記補助ゲートをマスクとして前記半導体層に不純物をイオン注入してソース、ドレインを形成する工程と、
を有することを特徴とする半導体メモリ装置の製造方法。

40

【請求項 19】

請求項 1 に記載の半導体メモリ装置の製造方法であって、
第 1 の半導体基板の表面に第 1 の絶縁膜を介してゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜上に第 1 のゲート絶縁膜を介して第 2 の半導体基板を接着する工程と、
前記第 2 の半導体基板に素子分離絶縁膜を形成してストライプ状に連続する素子形成領域を区画する工程と、
前記素子形成領域が区画された第 2 の半導体基板上に第 2 の絶縁膜を堆積し、これを前記素子形成領域の長手方向と直交する方向に連続するダミーゲートとしてパターン形成す

50

る工程と、

前記ダミーゲートをマスクとして前記第2の半導体基板、第1のゲート絶縁膜、及びゲート電極材料膜を順次エッチングして、前記ゲート電極材料膜による補助ゲートを前記素子形成領域の長手方向と直交する方向に連続するように形成する工程と、

前記ダミーゲートの間隙に前記第2の半導体基板の厚み方向の途中まで第3の絶縁膜を埋め込む工程と、

前記ダミーゲートの間隙の前記第3の絶縁膜上に側面が前記第2の半導体基板に接するように半導体層を形成する工程と、

前記ダミーゲートを除去して、露出した前記第2の半導体基板の表面に第2のゲート絶縁膜を形成する工程と、

前記半導体層の間隙部に前記補助ゲートと並行して連続する主ゲートを埋め込む工程と

、
前記半導体層に不純物をイオン注入して、ソース及びドレイン拡散層を形成する工程と

、
前記ソース拡散層にコンタクトして前記主ゲート及び補助ゲートと並行して連続するソース配線を形成する工程と、

前記ソース配線を覆う層間絶縁膜を形成し、この層間絶縁膜上に前記ドレイン拡散層にコンタクトして前記主ゲート及び補助ゲートと交差する方向に連続するビット線を形成する工程と、

を有することを特徴とする半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、チャンネルボディを記憶ノードとしてダイナミックにデータ記憶を行う半導体メモリ装置に関する。

【0002】

【従来の技術】

大容量のRAMとして一般的に用いられているDRAMのメモリセルは1つのMOSトランジスタと1つのキャパシタにより形成され、MOSトランジスタを選択スイッチとしてキャパシタに電荷を蓄える。このセルキャパシタに蓄積された電荷をビット線の電荷と再分配することにより、ビット線の電位の変動を見て、データの読み出しを行う。従って、ビット線の初期電荷量に対してセルキャパシタの蓄積電荷量には下限が存在する。

【0003】

DRAMは、微細化に伴いビット線の寄生容量は低下してきたが、消費電力削減と微細化に伴いセルへの書き込み電荷も低下してきているため、セルキャパシタの容量は減るわけではない。キャパシタの容量は面積と誘電体(キャパシタ絶縁膜)の誘電率に比例し、キャパシタ絶縁膜の膜厚に反比例する。キャパシタ絶縁膜の膜厚を薄くするとトンネル電流が流れて絶縁性を維持できなくなるため、薄膜化には限界(2nm程度)があり、2乗に比例して縮小される面積の分を打ち消すほどのシリコン酸化膜の誘電率より大きく構造的に安定で、シリコンCMOSプロセスに合い、実使用において信頼性の高い誘電体膜を探し、開発していくのは時間も費用もかかる。

【0004】

そのため、1980年代半ばから、DRAMのキャパシタには、スタックセル構造やトレンチセル構造等の3次元構造を用いるようになってきている。これらのスタックセル構造、トレンチセル構造においても、平面的なサイズと3次元的な深さとの比が、最近では10を軽く超えるようになり、紙巻タバコの形状を呈するようになり、トレンチセルの場合はシリコン基板に対するエッチング限界、スタックセルの場合はキャパシタ構造物の下方にあるものと上方にあるものとをコンタクトするコンタクト孔の開口とこれへの導体の充填、誘電体の均一な被覆性が問題となり、100nm未満のサイズのさらなる微細化に耐えられないといわれるようになってきている。

10

20

30

40

50

【0005】

MOSのゲインを利用してキャパシタを縮小するという試みは古くからなされており、そのタイプのセルをゲインセルと呼んでいる。読み出しMOSトランジスタのゲートあるいは、バックゲートの電位により、ドレイン電流は変化するため、ゲインセルは、ゲート電極を蓄積ノードとするものと、チャンネルボディを蓄積ノードとするものに大きく2つに分けることができる。読み出しMOSトランジスタのゲート電極を蓄積ノードとするものは、古くは、Intel社が1kビットDRAMに使用した3トランジスタと1キャパシタからなるものや、2トランジスタと1キャパシタからなるものがある。キャパシタについては、積極的に形成するものと、寄生キャパシタを利用するものがある。いずれにせよ、これらのゲインセルは、素子数が2以上で、ゲート(ワード線)、ドレイン(ビット線)は共通ではなく、書き込み用と読み出し用に分かれていたりして、結線数も多く、微細化には不向きな面がある。

10

【0006】

SOI基板を用いて、読み出し用MOS(センス用MOS)のチャンネルボディをストレージノードとして電荷を蓄え、バックゲートバイアス効果を利用するタイプのゲインセルも提案されている。例えば、次のような文献がある。

【0007】

(1) H.Wann and C.Hu, "A Capacitorless DRAM Cell on SOI Substrate," IEDM Digest of Technical Papers, pp.635-638, Dec., 1993

(2) M.R. Tack, et.al, "The Multistable Charge Controlled Memory Effect in SOI MOS Transistors at Low Temperatures," IEEE Transactions on Electron Devices, vol. n o.5, pp. 1371-1382 May 1990)

20

文献(1)は、ゲート電極は1つであり一見1トランジスタ構成に見えるが、実際はゲート下にPMOSTランジスタ領域とNMOSTランジスタ領域を持っており、単純な1トランジスタ構造と比べるとサイズは大きくなる。また、“1”を書く前には“0”を書く必要がある。書き込みスピードとしても、通常のSRAM, DRAMに比べて不利である。同一著者による特表平9-509284号公報には、“1”を書く前に“0”を書く必要のない動作例も示されているが、ゲート下にPMOSTランジスタ領域とNMOSTランジスタ領域を持つことには変わりはない。

【0008】

文献(2)は、ワード線を共有するセルに対して、“1”と“0”を同時に書くことができず、SOI基板を利用した消去動作が必要となる。書き込みスピードも通常のSRAM, DRAMに比べて不利である。

30

【0009】

特開平8-171768号公報にも、チャンネルボディをストレージノードとして電荷を蓄え、バックゲートバイアス効果を利用するタイプのゲインセルが示されている。これは、ビット線に接続しない側のソース/ドレインがビット線方向かまたはワード線方向に分離されている必要があり、セルサイズが大きい。また、“1”を書く前には“0”を書く必要があり、書き込みスピードとしては、通常のSRAM, DRAMに比べて不利である。

【0010】

特開平8-213624号公報のものは、チャンネルボディをストレージノードとして電荷を蓄え、チャンネルボディの電位により寄生バイポーラのコレクタ電流に差があることを利用するタイプのゲインセルである。これも、“0”を書く前には“1”を書く必要があり、書き込みスピードとしては、通常のSRAM, DRAMに比べて不利である。

40

【0011】

【発明が解決しようとする課題】

以上のように、新しいDRAMとして最近提案されているものは、特殊トランジスタ構造を必要とするなど、構造が複雑であるか、或いは構造が比較的単純であっても制御性に難点があり、高集積化と高性能化を図ることが難しい。

【0012】

50

この発明は、単純なトランジスタ構造を用いて、チャンネルボディを記憶ノードとして電荷を蓄え、そのチャンネルボディの電位差によりデータを記憶すると共に、その電位差に応じたバックゲートバイアス効果を利用してデータの弁別を行う半導体メモリ装置とその製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】

本発明に係る半導体メモリ装置は、1ビットのメモリセルがフローティングの半導体層に形成された一つのMISトランジスタにより構成され、前記MISトランジスタのソース、ドレイン間に配置されたチャンネル形成のための主ゲートとは別に、前記半導体層の電位を容量結合により制御するための補助ゲートが設けられ、前記主ゲートの電位の上昇及び下降に同期して前記補助ゲートの電位も上昇及び下降し、前記MISトランジスタは、前記半導体層を第1の電位に設定した第1データ状態と、前記半導体層を第2の電位に設定した第2データ状態とを選択的に記憶することを特徴とする。

10

【0014】

この発明によれば、単純なトランジスタ構造を用いて、そのチャンネルボディを記憶ノードとして電荷を蓄え、その電荷量の差によりデータをダイナミックに記憶する半導体メモリ装置が得られる。特に、主ゲートによるチャンネル制御と同時に補助ゲートによりチャンネルボディの電位制御を行うことにより、“0”データと“1”データのボディ電位差を大きくして、読み出しマージンを大きいものとすることができる。またこれにより、ワード線及びビット線の振幅を小さいものとすることができる。

20

【0015】

この発明において具体的に、第1データ状態は、MISトランジスタを5極管動作させ、ドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、第2データ状態は、主ゲートからの容量結合により所定電位が与えられた半導体層とドレインとの間に順方向電流を流すことにより書き込まれる。

【0016】

この発明における具体的なメモリセル構造としては、次のようなものが挙げられる。

【0017】

(1)半導体層が半導体基板に絶縁膜を介して形成されたものであって、主ゲートと補助ゲートは、その半導体層の上下面に相対向して配置される構造。

30

【0018】

(2)補助ゲートが半導体層に接続された中継用電極に対向して、この中継用電極との間でキャパシタを構成する構造。

【0019】

(3)半導体層が半導体基板に絶縁膜を介して形成されて素子形成領域毎に区画され、主ゲートは半導体層の各素子形成領域の側面に対向して配置され、補助ゲートは半導体層の上面に対向し且つ主ゲートと電気的に接続されて配置される構造。

【0020】

(4)半導体層が半導体基板上に形成された柱状半導体であり、この柱状半導体の上面にドレインが、下部にソースが形成され、主ゲートと補助ゲートは柱状半導体の両側面に相対向して配置される構造。

40

【0021】

この発明において、主ゲートと補助ゲートとは同じ材料を用いて形成することができる。この場合、補助ゲートは、ボディのキャリア蓄積状態を最適に制御するために、主ゲートとは異なる電位をもって、主ゲートと同期的に駆動される。

【0022】

また主ゲートと補助ゲートを同じ電位で駆動する場合、例えば両者が電気的に接続された状態で形成する場合には、両者に仕事関数の異なる材料を用いる。これにより、主ゲートによるチャンネル形成の制御と、補助ゲートによるボディ電位制御を最適化することができる。

50

【0023】

この発明による半導体メモリ装置はより具体的に、M I Sトランジスタが複数個マトリクス配列され、第1の方向に並ぶM I Sトランジスタのドレインがビット線に、第2の方向に並ぶM I Sトランジスタの主ゲート及び補助ゲートがそれぞれ第1のワード線及び第2のワード線に、M I Sトランジスタのソースが固定電位線に接続されてメモリセルアレイが構成される。

【0024】

そして、M I Sトランジスタがnチャネル型の場合には、データ書き込み時、固定電位線を基準電位として、選択された第1のワード線に基準電位より高い第1の制御電位を与え、非選択の第1のワード線に基準電位より低い第2の制御電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ基準電位より高い第3の制御電位及び基準電位より低い第4の制御電位を与え、第1のワード線と同時に選択される第2のワード線に第1の制御電位以下の第5の制御電位を与え、非選択の第2のワード線に第2の制御電位以下の第6の制御電位を与える。

10

【0025】

M I Sトランジスタがpチャネル型の場合には、データ書き込み時、固定電位線を基準電位として、選択された第1のワード線に基準電位より低い第1の制御電位を与え、非選択の第1のワード線に基準電位より高い第2の制御電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ基準電位より低い第3の制御電位及び基準電位より高い第4の制御電位を与え、第1のワード線と同時に選択される第2のワード線に第1の制御電位以上の第5の制御電位を与え、非選択の第2のワード線に第2の制御電位以上の第6の制御電位を与える。

20

【0026】

また、本発明に係る半導体メモリ装置は、1ビットのメモリセルがフローティングの半導体層に形成された一つのM I Sトランジスタにより構成され、前記M I Sトランジスタは、前記半導体層を第1の電位に設定した第1データ状態と、前記半導体層を第2の電位に設定した第2データ状態とを選択的に記憶する半導体メモリ装置であって、第1の半導体基板と、この第1の半導体基板の表面部に、底面及び側面が絶縁膜で覆われた状態で一方向に連続するように形成された、前記M I Sトランジスタの補助ゲートと、この補助ゲートの表面に第1のゲート絶縁膜を介して接着された第2の半導体基板と、この第2の半導体基板の表面に第2のゲート絶縁膜を介して前記補助ゲートと並行して連続するように形成された、前記M I Sトランジスタの主ゲートであって、当該主ゲートの電位の上昇及び下降に同期して前記補助ゲートの電位も上昇及び下降する、主ゲートと、前記第1の半導体基板の前記主ゲート及び補助ゲートの間隙部に形成されたソース及びドレイン拡散層と、前記ソース拡散層にコンタクトして前記主ゲート及び補助ゲートと並行して連続するように配設されたソース配線と、このソース配線を覆う層間絶縁膜上に前記主ゲート及び補助ゲートと交差して配設されて前記ドレイン拡散層にコンタクトするビット線とを備えたことを特徴とする。

30

【0027】

本発明に係る請求項1に記載の半導体メモリ装置の製造方法は、第1の半導体基板にゲート絶縁膜を介して対向する補助ゲートを形成する工程と、前記補助ゲートを覆って平坦化された絶縁膜を形成する工程と、前記絶縁膜上に第2の半導体基板を貼り合わせる工程と、前記第1の半導体基板を研磨して所定厚みの半導体層として調整した後、素子分離絶縁膜を形成する工程と、前記半導体層にゲート絶縁膜を介して対向する主ゲートを形成する工程と、前記主ゲートをマスクとして前記半導体層に不純物をイオン注入してソース及びドレインを形成する工程と、を有することを特徴とする。

40

【0028】

本発明に係る請求項1に記載の半導体メモリ装置の製造方法は、第1の半導体基板にゲート絶縁膜を介して対向する主ゲートを形成する工程と、前記主ゲートを覆って平坦化された第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の半導体基板を貼り合わ

50

せる工程と、前記第1の半導体基板を研磨して所定厚みの半導体層として調整した後、素子分離絶縁膜を形成する工程と、前記半導体層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜に前記半導体層に達する開口を開けて、この開口を介して前記半導体層と接続される中継電極を形成する工程と、前記中継電極にゲート絶縁膜を介して対向する補助ゲートを形成する工程と、前記補助ゲートをマスクとして前記半導体層に不純物をイオン注入してソース及びドレインを形成する工程と、を有することを特徴とする。

【0029】

本発明に係る請求項1に記載の半導体メモリ装置の製造方法は、第1の半導体基板に第1の絶縁膜を形成する工程と、前記第1の絶縁膜に前記第1の半導体基板に達する開口を開けて、この開口を介して前記第1の半導体基板に接続される中継電極を形成する工程と、前記中継電極にゲート絶縁膜を介して対向する補助ゲートを形成する工程と、前記補助ゲートを覆って平坦化された第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第2の半導体基板を貼り合わせる工程と、前記第1の半導体基板を研磨して所定厚みの半導体層として調整した後、素子分離絶縁膜を形成する工程と、前記半導体層にゲート絶縁膜を介して対向する主ゲートを形成する工程と、前記主ゲートをマスクとして前記半導体層に不純物をイオン注入してソース及びドレインを形成する工程と、を有することを特徴とする。

10

【0030】

本発明に係る請求項1に記載の半導体メモリ装置の製造方法は、半導体基板上に絶縁膜により分離された状態で形成された半導体層を横方向に素子分離された素子形成領域として区画する工程と、前記素子形成領域の側面にゲート絶縁膜を介して対向する主ゲートを埋め込む工程と、前記半導体層の上面にゲート絶縁膜を介して対向する補助ゲートを、前記主ゲートと電気的に接続された状態で且つ前記主ゲートとは仕事関数が異なる材料によって形成する工程と、前記補助ゲートをマスクとして前記半導体層に不純物をイオン注入してソース、ドレインを形成する工程と、を有することを特徴とする。

20

【0031】

本発明に係る請求項1に記載の半導体メモリ装置の製造方法は、第1の半導体基板の表面に第1の絶縁膜を介してゲート電極材料膜を形成する工程と、前記ゲート電極材料膜上に第1のゲート絶縁膜を介して第2の半導体基板を接着する工程と、前記第2の半導体基板に素子分離絶縁膜を形成してストライプ状に連続する素子形成領域を区画する工程と、前記素子形成領域が区画された第2の半導体基板上に第2の絶縁膜を堆積し、これを前記素子形成領域の長手方向と直交する方向に連続するダミーゲートとしてパターン形成する工程と、前記ダミーゲートをマスクとして前記第2の半導体基板、第1のゲート絶縁膜、及びゲート電極材料膜を順次エッチングして、前記ゲート電極材料膜による補助ゲートを前記素子形成領域の長手方向と直交する方向に連続するように形成する工程と、前記ダミーゲートの間隙に前記第2の半導体基板の厚み方向の途中まで第3の絶縁膜を埋め込む工程と、前記ダミーゲートの間隙の前記第3の絶縁膜上に側面が前記第2の半導体基板に接するように半導体層を形成する工程と、前記ダミーゲートを除去して、露出した前記第2の半導体基板の表面に第2のゲート絶縁膜を形成する工程と、前記半導体層の間隙部に前記補助ゲートと並行して連続する主ゲートを埋め込む工程と、前記半導体層に不純物をイオン注入して、ソース及びドレイン拡散層を形成する工程と、前記ソース拡散層にコンタクトして前記主ゲート及び補助ゲートと並行して連続するソース配線を形成する工程と、前記ソース配線を覆う層間絶縁膜を形成し、この層間絶縁膜上に前記ドレイン拡散層にコンタクトして前記主ゲート及び補助ゲートと交差する方向に連続するビット線を形成する工程と、を有することを特徴とする。

30

40

【0032】

【発明の実施の形態】

以下、図面を参照して、この発明に関するいくつかの実施の形態を説明する。まず、具体的な実施の形態を説明する前に、後述する実施の形態で用いられるメモリセルの基本原理を説明する。

50

【 0 0 3 3 】

図 1 は、D R A M の単位メモリセルの基本的な断面構造を示している。メモリセル M C は、S O I 構造の n チャネル M I S トランジスタにより構成されている。即ち、シリコン基板 1 0 上に絶縁膜としてシリコン酸化膜 1 1 が形成され、このシリコン酸化膜 1 1 上に p 型シリコン層 1 2 が形成された S O I 基板が用いられている。この S O I 基板のシリコン層 1 2 上に、ゲート酸化膜 1 6 を介してゲート電極 1 3 が形成され、ゲート電極 1 3 に自己整合されて n 型ドレイン拡散層 1 4 と n 型ソース拡散層 1 5 とが形成されている。

【 0 0 3 4 】

ドレイン拡散層 1 4 とソース拡散層 1 5 とは、底部のシリコン酸化膜 1 1 に達する深さに形成されている。従って、p 型シリコン層 1 2 からなるチャンネルボディ領域は、チャンネル幅方向（図の紙面に直交する方向）の分離を酸化膜で行うとすれば、底面及びチャンネル幅方向の側面が他から絶縁分離され、チャンネル長方向は p n 接合分離されたフローティング状態になる。

10

【 0 0 3 5 】

この M I S トランジスタからなる D R A M セルの動作原理は、トランジスタのチャンネルボディ（他から絶縁分離された p 型シリコン層 1 2 ）の多数キャリアであるホールの蓄積状態を利用する。即ち、トランジスタを 5 極管領域で動作させることにより、ドレイン 1 4 から大きな電流を流し、ドレイン 1 4 の近傍でインパクトイオン化を起こす。このインパクトイオン化により生成される多数キャリアであるホールを p 型シリコン層 1 2 に保持させ、そのホール蓄積状態を例えばデータ “ 1 ” とする。ドレイン 1 4 と p 型シリコン層 1 2 の間の p n 接合を順方向バイアスして、p 型シリコン層 1 2 のホールをドレイン側に放出させた状態をデータ “ 0 ” とする。

20

【 0 0 3 6 】

データ “ 0 ” , “ 1 ” は、チャンネルボディの電位の差であり、M I S トランジスタのしきい値電圧の差として記憶される。図 2 は、ゲートに与えられる駆動電位 V_{WL} とボディ電位 V_B の関係を示している。図 2 に示すようにホール蓄積によりボディ電位 V_B の高いデータ “ 1 ” 状態のしきい値電圧 V_{th1} は、データ “ 0 ” 状態のしきい値電圧 V_{th0} より低い。ボディに多数キャリアであるホールを蓄積した “ 1 ” データ状態を保持するためには、ゲート 1 3 には負のバイアス電圧を印加することが必要になる。このデータ保持状態は、逆データの書き込み動作（消去）を行わない限り、読み出し動作を行っても変わらない。即ち、キャパシタの電荷蓄積を利用する 1 トランジスタ / 1 キャパシタの D R A M と異なり、非破壊読み出しが可能である。

30

【 0 0 3 7 】

以上の基本的な D R A M セル構成においては、データ “ 0 ” , “ 1 ” のしきい値電圧差をどれだけ大きくできるかが重要なポイントとなる。上記動作原理から明らかなように、ゲート 1 3 からの容量結合によりボディ電位を制御することで、データの書き込み特性及び保持特性が決まる。しかし、ボディ電位に対してしきい値電圧はほぼ平方根で効いてくるため、“ 0 ” , “ 1 ” データの間の大きなしきい値電圧差を実現することは容易ではない。しかも、上述した書き込み動作では、“ 0 ” 書き込みのメモリセル M C は 3 極管動作し、従ってチャンネルが形成されるとゲート 1 3 とチャンネルボディは容量結合しなくなり、ボディ電位の上昇ができなくなる。

40

【 0 0 3 8 】

そこで以下の実施の形態においては、上記した基本メモリセル構造に対して、チャンネル形成に利用される主ゲート（第 1 のゲート）とは別に、M I S トランジスタのボディに対して容量結合してボディ電位を制御するための補助ゲート（第 2 のゲート）を設ける。そして、第 2 のゲートを第 1 のゲートと同期して駆動することにより、より確実なデータ書き込みを実現し、且つ、しきい値電圧差の大きいデータ “ 0 ” , “ 1 ” の記憶を可能とする。

【 0 0 3 9 】

以下に具体的な実施の形態を説明する。

50

【 0 0 4 0 】

[実施の形態 1]

図 3 は、実施の形態 1 によるメモリセル M C の構造を、図 1 の基本構造と対応させて示している。図 1 と異なる点は、トランジスタのチャネル制御に利用されるフロントゲートである第 1 のゲート (G 1) 1 3 とは別に、ボディ電位を制御するための第 2 のゲート (G 2) 2 0 を設けている点である。第 2 のゲート 2 0 はこの実施の形態の場合、ゲート絶縁膜 1 9 を介してシリコン層 1 2 の底面に容量結合するように対向するバックゲートとして、シリコン層 1 2 の下の酸化膜 1 1 に埋め込まれている。

【 0 0 4 1 】

図 4 は、このようなメモリセル M C を複数、マトリクス配列したメモリセルアレイの等価回路を示している。一方向に並ぶ複数のメモリセル M C の第 1 のゲート (G 1) 1 3 は、第 1 のワード線 W L 1 に接続され、第 2 のゲート (G 2) 2 0 は、第 2 のワード線 W L 2 に接続される。これらのワード線 W L 1 , W L 2 と交差する方向に、メモリセル M C のドレインが接続されるビット線 B L が配設される。全メモリセル M C のソース 1 5 は固定電位線 (接地電位線 V S S) に接続される。

10

【 0 0 4 2 】

図 5 は、メモリセルアレイのレイアウトを示し、図 6 A、図 6 B はそれぞれ図 5 の A - A ' , B - B ' 線断面を示している。p 型シリコン層 1 2 は、シリコン酸化膜 2 1 の埋め込みにより、格子状にパターン形成される。即ちドレイン 1 4 を共有する二つのトランジスタの領域がワード線 W L 1 , W L 2 の方向にシリコン酸化膜 2 1 により素子分離されて配列される。或いはシリコン酸化膜 2 1 の埋め込みに代わって、シリコン層 1 2 をエッチングすることにより、横方向の素子分離を行っても良い。第 1 のゲート 1 3 及び第 2 のゲート 2 0 は、一方向に連続的に形成されて、これらがワード線 W L 1 及び W L 2 となる。ソース 1 5 は、ワード線 W L 1 , W L 2 の方向に連続的に形成されて、これが固定電位線 (共通ソース線) となる。トランジスタ上は層間絶縁膜 1 7 で覆われこの上にビット線 (B L) 1 8 が形成される。ビット線 1 8 は、二つのトランジスタで共有するドレイン 1 4 にコンタクトして、ワード線 W L 1 , W L 2 と交差するように配設される。

20

【 0 0 4 3 】

これにより、各トランジスタのチャネルボディであるシリコン層 1 2 は、底面及びチャネル幅方向の側面が酸化膜により互いに分離され、チャネル長方向には p n 接合により互いに分離されて、フローティング状態に保たれる。

30

【 0 0 4 4 】

そしてこのメモリセルアレイ構成では、ワード線 W L 1 , W L 2 およびビット線 B L を最小加工寸法 F のピッチで形成したとして、単位セル面積は、図 5 に破線で示したように、 $2 F \times 2 F = 4 F^2$ となる。

【 0 0 4 5 】

以上のように、一つの M I S トランジスタを 1 ビットのメモリセル M C として、ダイナミック記憶ができるメモリセルアレイが構成される。

【 0 0 4 6 】

図 7 A 及び図 7 B は、データ書き込み時のワード線 W L 1 , W L 2 及びビット線 B L の電圧波形を示している。対をなす第 1 のワード線 W L 1 と第 2 のワード線 W L 2 は同期して駆動する。図 7 A は、第 1 のゲート 1 3 と第 2 のゲート 2 0 が同じ材料である場合に、第 2 のゲート 2 0 を第 1 のゲート 1 3 より低い電位で制御して、チャネルボディの第 2 のゲート 2 0 側に多数キャリア蓄積を可能とするものである。一方、図 7 B は、第 1 のゲート 1 3 と第 2 のゲート 2 0 に仕事関数の異なる電極材料を用いた場合に、両者に同じ電位を与えて、チャネルボディの第 2 のゲート 2 0 側に多数キャリア蓄積を可能とするものである。

40

【 0 0 4 7 】

図 7 A の場合、“ 1 ” データ書き込み時、選択された第 1 のワード線 W L 1 に基準電位 V S S より高い正の電位 V W L 1 H を与え、同時に選択された第 2 のワード線 W L 2 にはそ

50

れより低い電位 V_{WL2H} (図の例では基準電位 V_{SS} より低い負電位) を与え、選択されたビット線 BL には、基準電位 V_{SS} より高い正の電位 V_{BLH} を与える。これにより、選択されたメモリセル MC において、5 極管動作によるインパクトイオン化が生じ、ホールがチャンネルボディに蓄積される。

【0048】

データ保持は、第1のワード線 $WL1$ に基準電位 V_{SS} より低い負の電位 V_{WL1L} を与え、第2のワード線 $WL2$ にはそれより更に低い電位 V_{WL2L} を与える。これにより、チャンネルボディに過剰ホールを蓄積した状態である“1”データを保持する。

【0049】

“0”データ書き込み時は、選択された第1及び第2のワード線 $WL1$ 及び $WL2$ にそれぞれ“1”書き込み時と同様の電位 V_{WL1H} 及び V_{WL2H} を与え、選択されたビット線 BL には基準電位 V_{SS} より低い負の電位 V_{BLL} を与える。これにより、選択されたメモリセル MC において、ドレイン接合が順バイアスになり、チャンネルボディのホールがドレイン14に排出されて、ボディ電位の低い状態である“0”データが書かれる。

10

【0050】

図7Bの場合、“1”データ書き込み時、選択された第1及び第2のワード線 $WL1$ 及び $WL2$ に基準電位 V_{SS} より高い正の電位 V_{WLH} を与え、選択ビット線 BL には、基準電位 V_{SS} より高い正の電位 V_{BLH} を与える。これにより、選択されたメモリセル MC において、5 極管動作によるインパクトイオン化が生じ、ホールがボディに蓄積される。

【0051】

データ保持は、第1及び第2のワード線 $WL1$ 及び $WL2$ に基準電位 V_{SS} より低い負の電位 V_{WLL} を与える。これにより、チャンネルボディに過剰ホールを蓄積した状態である“1”データを保持する。

20

【0052】

“0”データ書き込み時は、選択された第1及び第2のワード線 $WL1$ 及び $WL2$ に“1”書き込み時と同様の電位 V_{WLH} を与え、選択ビット線 BL には基準電位 V_{SS} より低い負の電位 V_{BLL} を与える。これにより、選択されたメモリセル MC でドレイン接合が順バイアスになり、チャンネルボディのホールがドレインに排出されて、ボディ電位の低い状態である“0”データが書かれる。

【0053】

このように、二つのゲート13及び20に仕事関数の異なる材料を用いれば、第1のワード線 $WL1$ と第2のワード線 $WL2$ を、同じ電位で同期駆動して、チャンネルボディへのホール蓄積を制御することができる。

30

【0054】

以上のようにこの実施の形態では、補助ゲート(第2のゲート)20を主ゲート(第1のゲート)13と共に駆動することにより、しきい値電圧差の大きい“0”, “1”データ書き込みができる。即ち、第2のゲート20をデータ保持状態では負電位にして、“1”データのホール蓄積状態を良好に保持しながら、データ書き込み時にその第2のゲート20の電位を上昇させることにより、容量結合によりボディ電位を上昇させて、データ書き込みを確実にすることができる。“0”データ書き込みの場合に、第1のゲート13側にチャンネルが形成されても、第2のゲート20の駆動によりボディ電位を上昇させることができるから、確実な“0”データ書き込みが可能である。

40

【0055】

以上により、しきい値電圧差の大きい“0”, “1”データ記憶ができる。

【0056】

また、非選択の第1のワード線 $WL1$ の電位を下げることでデータ保持を行うが、このとき対をなす第2のワード線 $WL2$ の電位も下げてボディ電位を低く制御しているから、同じビット線 BL に接続された他のセルで“0”データ書き込みを行う場合に、“1”データを保持する非選択メモリセル MC でのデータ破壊が確実に防止される。更に、“1”書き込みビット線 BL に接続される非選択の“0”データセルでは、サーフェスブレイクダ

50

ウンやGIDL (Gate Induced Drain Leakage) 電流によるデータ破壊の懸念があるが、この実施の形態の場合、第2のワード線WL2によりボディ電位を下げることで、これらの懸念も解消される。

【0057】

更に、“0”書き込み時、ビット線BLの電位を大きく下げると、ソース15からビット線BLに電流が流れてしまうが、この実施の形態の場合、第2のゲート20によりボディ電位を上昇せしめるため、ビット線BLの電位をそれほど下げる必要がない。このため、例えば、ビット線BLの電位をソースの基準電位VSSと同じ程度にすることが可能であり、ソース15からビット線BLに流れる電流を抑制することができる。

【0058】

またデータ読み出し時は、誤まって“1”書き込みにならないように、3極管動作させることが必要である。このため、ビット線BLの電位は“1”書き込み時より低いが、このためドレイン14とチャネルボディとの間の空乏層の伸びは、“1”書き込み時より小さく、従ってビット線BLとチャネルボディと間の容量結合が大きくなる。このことは、書き込み時にチャネルボディに注入されたキャリアが容量再分配されて、ボディ電位の低下の原因となる。この実施の形態においては、第2のゲート20による制御によって、チャネルボディの多数キャリア蓄積状態を良好に保持することができる。

【0059】

次に、この実施の形態におけるロウデコーダとワード線ドライバの具体的な回路構成の一例を説明する。図7Cは、ロウデコーダの一例と、図7Bに示したワード線WL1、WL2の電圧波形を生成するためのワード線ドライバWDDV1の一例を示す図である。

【0060】

この図7Cに示すように、ロウデコーダRDECは、NAND回路C10により構成されており、ワード線ドライバWDDV1は、インバータ回路C11と、レベル変換回路C12と、レベル変換回路C13と、出力バッファ回路C14とにより構成されている。この構成により、ロウデコーダRDECにより選択されたワード線ドライバWDDV1は、ハイレベルの電位を、正の電位VCCより高い電位であるVWLHに変換して、ワード線WL1、WL2に供給する。

【0061】

より具体的には、NAND回路C10には、ロウアドレス信号RADDとワード線イネーブル信号WLENとが、入力される。選択されたワード線WL1、WL2に対応するワード線ドライバWDDV1には、すべてハイレベルのロウアドレス信号RADDと、ハイレベルのワード線イネーブル信号WLENが入力される。したがって、選択されたワード線WL1、WL2に対応するワード線ドライバWDDV1のNAND回路C10の出力は、ローレベル、つまり基準電位VSSになる。NAND回路C10の出力は、インバータ回路C11に入力される。

【0062】

このインバータ回路C11は、入力された信号を反転して出力する。したがって、選択されたワード線ドライバWDDV1においては、インバータ回路C11の出力はハイレベル、つまり正の電位VCCになる。このインバータ回路C11の出力は、レベル変換回路C12とレベル変換回路C13とに入力される。また、レベル変換回路C12とレベル変換回路C13には、NAND回路C10の出力も、入力される。

【0063】

このレベル変換回路C12及びレベル変換回路C13の出力は、出力バッファ回路C14に入力される。レベル変換回路C12と出力バッファ回路C14とにより、インバータ回路C11のハイレベル出力電位であるVCCの出力を、VCCよりも高い正の電位であるVWLHに変換して、ワード線WL1、WL2に供給する。また、レベル変換回路C13と出力バッファ回路C14とにより、インバータ回路C11のローレベル出力電位であるVSSの出力を、VSSよりも低い電位であるVWLLにして供給する。

【0064】

10

20

30

40

50

この実施の形態においては、レベル変換回路C12は、p型MOSトランジスタPM10、PM11と、n型MOSトランジスタNM10、NM11とを、備えて構成されている。p型MOSトランジスタPM10、PM11のソース端子は、それぞれ、電位VWLHの供給線に接続されており、そのドレイン端子は、それぞれ、n型MOSトランジスタNM10、NM11のドレイン端子に接続されている。また、p型MOSトランジスタPM10のゲート端子は、p型MOSトランジスタPM11とn型MOSトランジスタNM11の間のノードに接続されており、p型MOSトランジスタPM11のゲート端子は、p型MOSトランジスタPM10とn型MOSトランジスタNM10の間のノードに接続されている。

【0065】

n型MOSトランジスタNM10のゲート端子には、インバータ回路C11の出力が入力され、n型MOSトランジスタNM11のゲート端子には、NAND回路C10の出力が入力される。これらn型MOSトランジスタNM10、NM11のソース端子は、それぞれ、電位VSSの供給線に接続されている。

【0066】

一方、レベル変換回路C13は、p型MOSトランジスタPM12、PM13と、n型MOSトランジスタNM12、NM13とを、備えて構成されている。p型MOSトランジスタPM12、PM13のソース端子は、それぞれ、電位VCCの供給線に接続されており、そのドレイン端子は、それぞれ、n型MOSトランジスタNM12、NM13のドレイン端子に接続されている。また、p型MOSトランジスタPM12のゲート端子には、インバータ回路C11の出力が入力され、p型MOSトランジスタPM13のゲート端子には、NAND回路C10の出力が入力される。

【0067】

n型MOSトランジスタNM12のゲート端子は、p型MOSトランジスタPM13とn型MOSトランジスタNM13との間のノードに接続されており、n型MOSトランジスタNM13のゲート端子は、p型MOSトランジスタPM12とn型MOSトランジスタNM12との間のノードに接続されている。また、これらn型MOSトランジスタNM12、NM13のソース端子は、それぞれ、電位VWLの供給線に接続されている。

【0068】

出力バッファ回路C14は、p型MOSトランジスタPM14、PM15と、n型MOSトランジスタNM14、NM15とを、直列的に接続することにより、構成されている。

【0069】

p型MOSトランジスタPM14のソース端子は、電位VWLHの供給線に接続されており、そのゲート端子は、レベル変換回路C12におけるp型MOSトランジスタPM11のゲート端子に接続されている。p型MOSトランジスタPM14のドレイン端子は、p型MOSトランジスタPM15のソース端子に接続されている。このp型MOSトランジスタPM15のゲート端子には、電位VSSが入力されている。このため、p型MOSトランジスタPM15は、ノーマリーオンのMOSトランジスタとなる。また、p型MOSトランジスタPM15のドレイン端子は、n型MOSトランジスタNM14のドレイン端子に接続されている。これらp型MOSトランジスタPM15とn型MOSトランジスタNM14との間のノードから、ワード線WL1、WL2を駆動するための電圧が出力される。

【0070】

n型MOSトランジスタNM14のゲート端子には、電位VCCが供給されている。このため、n型MOSトランジスタNM14は、ノーマリーオンのMOSトランジスタとなる。n型MOSトランジスタNM14のソース端子は、n型MOSトランジスタNM15のドレイン端子に接続されている。このn型MOSトランジスタNM15のゲート端子は、レベル変換回路C13におけるn型MOSトランジスタNM13のゲート端子に接続されている。また、n型MOSトランジスタNM15のソース端子は、電位VWLの供給線に接続されている。

10

20

30

40

50

【0071】

以上のような構成のロウデコーダRDECとワード線ドライバWDDV1を用いて、図7Bに示す電位VWLH、VWLLを生成し、ワード線WL1、WL2に供給する。なお、図7Cにおいては、各MOSトランジスタでバックゲート接続がなされているが、これは必ずしも必要なものではない。

【0072】

なお、このワード線ドライバWDDV1の出力バッファ回路C14は、ノーマリーオンのMOSトランジスタPM15、NM14を備えているが、これは、MOSトランジスタPM14、NM15に、直接、電位VWLHと電位VWLLの電位差が印加しないようにするためである。すなわち、ノーマリーオンのMOSトランジスタPM15、NM14により、そのしきい値落ちをする分の電圧だけ、電位差が減少する。したがって、直接この電位差が、MOSトランジスタPM14、PM15に印加されてもよいのであれば、MOSトランジスタPM15、NM14は、図7Dに示すように、省略することも可能である。

10

【0073】

これら図7C又は図7Dに示したロウデコーダRDECとワード線ドライバWDDV1とを、メモリセルアレイMCAに配置したレイアウト図を、図7Eに示す。この図7Eに示すように、ワード線ドライバWDDV1のレイアウトピッチが、ワード線WL1、WL2の配線ピッチと一致する場合は、メモリセルアレイMCAの片側に、ロウデコーダRDECとワード線ドライバWDDV1とを配置することができる。

【0074】

これに対して、ワード線ドライバWDDV1のレイアウト面積が大きくなり、ワード線ドライバWDDV1のレイアウトピッチを、ワード線WL1、WL2の配線ピッチに一致させることができない場合、図7Fに示すようなレイアウトが考えられる。すなわち、メモリセルアレイMCAの両側にロウデコーダRDECとワード線ドライバWDDV1とを配置し、例えば、メモリセルアレイMCAの左側のロウデコーダRDECとワード線ドライバWDDV1で、奇数番目のワード線WL1、WL2のデコードと駆動を行い、メモリセルアレイMCAの右側のロウデコーダRDECとワード線ドライバWDDV1で、偶数番目のワード線WL1、WL2のデコードと駆動を行うようにする。

20

【0075】

次に、図7Aに対応するロウデータとワード線ドライバの回路構成を説明する。図7Gは、ロウデコーダの一例と、図7Aに示したワード線WL1、WL2の電圧波形を生成するためのワード線ドライバWDDV2の一例を示す図である。

30

【0076】

この図7Gに示すように、ロウデコーダRDECは、NAND回路C10により構成されており、ワード線ドライバWDDV2は、インバータ回路C11と、レベル変換回路C22と、レベル変換回路C23と、出力バッファ回路C24と、レベル変換回路C25と、出力バッファ回路C26とにより構成されている。ここでの電圧の高低関係は、図7Aの例に従って、 $VWL1H > VSS > VWL2H > VWL1L > VWL2L$ である。

【0077】

図7Cと異なる点のみ説明すると、レベル変換回路C22は基本的に図7Cのレベル変換回路C12と同様の構成であり、p型MOSトランジスタPM20、PM21と、n型MOSトランジスタNM20、NM21とを備えている。但し、p型MOSトランジスタPM20、PM21のソース端子は、電位VWL1Hの供給線に接続されている。

40

【0078】

レベル変換回路C23も、基本的に図7Cのレベル変換回路C13と同様の構成であり、p型MOSトランジスタPM22、PM23と、n型MOSトランジスタNM22、NM23とを備えている。但し、n型MOSトランジスタNM22、NM23のソース端子は、電位VWL1Lの供給線に接続されている。

【0079】

出力バッファ回路C24も、基本的に図7Cの出力バッファ回路C14と同様の構成であ

50

り、直列的に接続されたp型MOSトランジスタPM24、PM25と、n型MOSトランジスタNM24、NM25とを備えている。但し、p型MOSトランジスタPM24のソース端子は、電位VWL1Hの供給線に接続されており、n型MOSトランジスタNM25のソース端子は、電位VWL1Lの供給線に接続されている。

【0080】

これに加えて、図7Gのワード線ドライバWDDV2は、レベル変換回路C25と出力バッファ回路C26とを備えている。レベル変換回路C25の構成はレベル変換回路C23の構成と同様であり、p型MOSトランジスタPM26、PM27と、n型MOSトランジスタNM26、NM27とを備えている。但し、n型MOSトランジスタNM26、NM27のソース端子は、電位VWL2Lの供給線に接続されている。

10

【0081】

出力バッファ回路C26は、出力バッファ回路C24と同様の構成であるが、p型MOSトランジスタPM28とn型MOSトランジスタNM28の2つのMOSトランジスタにより構成されている。そして、p型MOSトランジスタPM28のソース端子は、電位VWL2Hの供給線に接続されており、n型MOSトランジスタNM28のソース端子は、電位VWL2Lの供給線に接続されている。

【0082】

ノーマリーオンのMOSトランジスタが挿入されていないのは、図7Aからも分かるように、電位VWL2Hと電位VWL2Lとの電位差はそれほど大きくないので、この電位差が直接MOSトランジスタPM28、NM28に印加されても、問題が生じないからである。

20

【0083】

この構成から分かるように、出力バッファ回路C24の出力は、電位VWL1Hと電位VWL1Lとの間で振幅し、これにより、第1のワード線WL1が駆動される。また、出力バッファ回路C26の出力は、電位VWL2Hと電位VWL2Lとの間で、出力バッファ回路C24の出力と同期して振幅し、これにより、第2のワード線WL2が駆動される。なお、図7Gにおいては、各MOSトランジスタでバックゲート接続がなされているが、これは必ずしも必要なものではない。

【0084】

また、図7Dに示したワード線ドライバWDDV1と同様に、図7Hに示すようにワード線ドライバWDDV2においても、p型MOSトランジスタPM25とn型MOSトランジスタNM24とを、省くことも可能である。

30

【0085】

これら図7G又は図7Hに示したロウデコーダRDECとワード線ドライバWDDV2とを、メモリセルアレイMCAに配置したレイアウト図を、図7Iに示す。図7G及び図7Hに示したワード線ドライバWDDV2においては、第1のワード線WL1と第2のワード線WL2を異なる電位で同期的に駆動する関係上、そのレイアウト面積が図7C及び図7Dに示したワード線ドライバWDDV1よりも大きくなってしまふ。したがって、ワード線WL1、WL2の配線ピッチに、ワード線ドライバWDDV2のレイアウトピッチを一致させることは困難であると考えられる。このため、図7Iに示したレイアウトにおいては、メモリセルアレイMCAの両側に、ロウデコーダRDECとワード線ドライバWDDV2とを配置している。すなわち、メモリセルアレイMCAの左側のロウデコーダRDECとワード線ドライバWDDV2で、奇数番目のワード線WL1、WL2のデコードと駆動を行い、メモリセルアレイMCAの右側のロウデコーダRDECとワード線ドライバWDDV2で、偶数番目のワード線WL1、WL2のデコードと駆動を行う。

40

【0086】

また、図7Jに示すように、例えば、第1のワード線WL1用のワード線ドライバWDDV3を、メモリセルアレイMCAの左側に配置し、第2のワード線WL2のワード線ドライバWDDV4を、メモリセルアレイMCAの右側に配置するようにしてもよい。このように配置することにより、電源配線の引き回しを楽にすることができる。すなわち、第1

50

のワード線WL1用のワード線ドライバWDDV3のあるメモリセルアレイMCAの左側にのみ、電位VWL1Hと電位VWL1Lの電位供給線を配線し、第2のワード線WL2用のワード線ドライバWDDV4のあるメモリセルアレイMCAの右側にのみ、電位VWL2Hと電位VWL2Lの電位供給線を配線すればよい。

【0087】

但し、このレイアウトの場合、ワード線ドライバWDDV3とワード線ドライバWDDV4の双方に、個別にロウデコーダRDECが必要になる。そのようなワード線ドライバWDDV3の例を図7Kに示し、ワード線ドライバWDDV4の例を図7Lに示す。

【0088】

図7Kに示すように、第1のワード線WL1用のワード線ドライバWDDV3は、インバータ回路C11を介してロウデコーダRDECに接続されたレベル変換回路C22と、直接ロウデコーダRDECに接続されたレベル変換回路C23と、出力バッファ回路C24とを備えている。これらの構成は上述した図7Gのワード線ドライバWDDV2と同様である。

【0089】

一方、図7Lに示すように、第2のワード線WL2用のワード線ドライバWDDV4は、ロウデコーダRDECと、インバータ回路C11と、レベル変換回路C25と、出力バッファ回路C26とを備えて構成されている。レベル変換回路C25と出力バッファ回路C26の構成は、上述した図7Gのワード線ドライバWDDV2と同様である。但し、ワード線ドライバWDDV4はメモリセルアレイMCAの右側に設けられているため、ロウデコーダRDECをワード線ドライバWDDV3と共用することができないため、独自にロウデコーダRDECとインバータ回路C11とを設けている。

【0090】

ワード線ドライバWDDV3のロウデコーダRDECと、WDD4のロウデコーダRDECとは、ロウアドレス信号RADDとWLENとが同期して入力されるので、結果的に、異なる電圧振幅で同期したワード線駆動電位が出力される。

【0091】

なお、図7K及び図7Lにおいては、各MOSトランジスタでバックゲート接続がなされているが、これは必ずしも必要なものではない。また、図7Kに示したワード線ドライバWDDV3においても、図7Mに示すように、p型MOSトランジスタPM25とn型MOSトランジスタNM24とを、省くことも可能である。

【0092】

図7Nは、上述したメモリセルアレイMCAとロウデコーダRDECとワード線ドライバWDDVとを有するメモリチップMCPの全体レイアウトの一例を示す図である。この図7Nに示すように、低電圧側の供給電圧であるVSSと、高電圧側の供給電圧であるVCCとが入力される。この電位VSSと電位VCCは、昇圧回路群とそれらのドライバからなる回路BSTに供給され、このメモリチップMCPで必要となる各種の電圧が生成される。ここでは、図7Bの電圧波形に対応して、4種類の電位VWLH、VWLL、VBLH、VBLLとを生成する例を示している。図7Aの電圧波形を用いるメモリセルアレイMCAを用いる場合は、6種類の電位VWL1H、VWL1L、VWL2H、VWL2L、VBLH、VBLLを生成することとなる。この回路BSTで生成された各種の電位は、電位供給線により必要な回路に供給される。特に、この図に示した4種類の電位は、上述したように、ロウデコーダRDECとワード線ドライバWDDVとに供給される。

【0093】

また、このメモリチップMCPには、メモリチップMCPに対してデータ書き込み、データ読み出しを行うメモリセルを特定するためのアドレスが入力される。このアドレスは、アドレスシーバADRに入力され、ロウアドレス信号とカラムアドレス信号に分離される。そして、ロウアドレス信号は、ロウアドレスデコーダRDECに供給され、カラムアドレス信号は、カラムアドレスデコーダCDECに供給される。

【0094】

10

20

30

40

50

データI/O端子からは、データの入出力が行われる。すなわち、メモリセルアレイMCAに書き込むデータは、このデータI/O端子から入力され、入力レシーバINRVに入力される。そして、データドライバD TDVを介して、カラム選択ゲートCSGに供給され、メモリセルアレイMCAに対するデータ書き込みが行われる。

【0095】

一方、メモリセルアレイMCAから読み出された信号は、カラム選択ゲートCSGからセンスアンプSAに出力され、このセンスアンプSAでデータの検出が行われる。検出されたデータは、出力ドライバO TDVを介して、データI/O端子から出力される。

【0096】

また、このメモリチップMCPには、各種の制御信号が入力される制御信号レシーバCSR Vを有している。この制御信号レシーバCSR Vは、このメモリチップMCPの外部から入力された制御信号に基づいて、内部で必要な各種の制御信号を生成し、出力する。

10

【0097】

なお、この図7NのメモリチップMCPにおいては、メモリセルアレイMCAの両側にロウデコーダRDECとワード線ドライバWDDVとを設ける場合のレイアウトを例示したが、上述したように、メモリセルアレイMCAの片側にのみロウデコーダRDECとワード線ドライバWDDVとを設ける場合もある。

【0098】

なお、これまで説明したワード線ドライバWDDV1、WDDV2、WDDV3、WDDV4の構成や、メモリチップMCPの構成は、以下に説明する各実施の形態でも、それぞれ適用することが可能である。

20

【0099】

[実施の形態2]

図8は、実施の形態2によるDRAMセル構造を、図3に対応させて示している。この実施の形態では、第1のゲート(G1)13がシリコン層12の下の埋め込み酸化膜11内に埋め込まれている。第2のゲート(G2)20は、シリコン層12の上方に配置されるが、直接的にはシリコン層12に対向しない。即ち、シリコン層12と第2のゲート20との間には、シリコン層12に接続される中継電極25が設けられている。そして、第2のゲート20は、絶縁膜26を介して、中継電極25に対向しており、これによりキャパシタを構成している。

30

【0100】

この実施の形態の場合も、第2のゲート20がシリコン層12に対して容量結合による電位制御を行うことは、先の実施の形態と同様である。そして、メモリセルMCの第1のゲート13、第2のゲート20はそれぞれ第1、第2のワード線WL1、WL2に接続され、ドレイン14はビット線BLに接続されて、図4のようなメモリセルアレイを構成する。

【0101】

この実施の形態によっても、先の実施の形態と同様の効果が得られる。また、第1のゲート20は、チャンネルボディに対して直接対向させず、中継電極25との間でキャパシタを構成するようにしているので、中継電極25の面積を実際のチャンネルボディ領域の面積より大きくすることで、より大きな容量結合を与えることが可能になる。

40

【0102】

[実施の形態3]

図9は、実施の形態3によるDRAMセル構造を、図3に対応させて示している。この実施の形態では、第1のゲート13が、図3と同様に、シリコン層12の上面に対向するように形成され、第2のゲート20が図8と同様のキャパシタ構造を形成するように、シリコン層12の下に、酸化膜11に埋め込まれて作られている。

【0103】

この実施の形態によっても、先の実施の形態と同様の効果が得られる。また実施の形態2と同様の理由で、第2のゲート20のチャンネルボディに対する容量結合を大きくすること

50

ができる。

【0104】

[実施の形態4]

図10Aは、実施の形態4によるDRAMセルアレイのレイアウトを示し、図10BはそのA-A'線断面を示しており、図10CはそのB-B'線断面を示している。

【0105】

この実施の形態の場合、図10Bに示すように、シリコン層12の上面に対向するように第2のゲート(G2)20が形成され、図10A及び図10Cに示すように、シリコン層12の両側面に対向するように、第1のゲート(G1)13が形成されている。即ちシリコン層12の側面をチャンネルとするMISトランジスタが構成されている。このことから分かるように、この実施の形態においては、シリコン層の両側面にチャンネルが形成される。図10Aに示すように、第1のゲート13は、ビット線BLの方向には各メモリセルMC毎に不連続に配置される。そして、第2のゲート20が、これら第1のゲート13を共通接続してワード線WLとして連続的に形成される。従って、第1及び第2のゲート13及び20は同電位で制御されることになる。

10

【0106】

層間絶縁膜17は、第1層17aと第2層17bの二層構造であり、第1層17a上に、ソース15を共通接続する固定電位線23が配設され、第2層17b上にビット線18が配設される。

【0107】

この実施の形態の場合、第1のゲート13によるシリコン層12の側面にチャンネルが形成されるときに同時に、第2のゲート20の直下にチャンネルが形成されることを避けて、第2のゲート20によりその直下のボディの電位制御ができるようにすることが必要である。このため、第1のゲート13と第2のゲート20には仕事関数が異なる材料が用いられる。例えば、この実施の形態のようにメモリセルMCがnチャンネルMISトランジスタの場合であれば、第1のゲート13には、n型ポリシリコンを用い、第2のゲート20には、シリコン層12をp型ボディとして蓄積状態を保持できるように、n型ポリシリコンより仕事関数の大きいp型ポリシリコン或いはプラチナ等の金属を用いる。また、第2のゲート20の下のゲート絶縁膜(キャパシタ絶縁膜)19には例えばシリコン窒化膜を用いる。

20

30

【0108】

メモリセルがpチャンネルの場合であれば、第1のゲート13としてp型ポリシリコンを用い、第2のゲート20として例えばハフニウム等の金属を用いればよい。

【0109】

この実施の形態によっても、先の実施の形態と同様の効果が得られる。

【0110】

[実施の形態5]

図11は、実施の形態5によるDRAMセルの断面構造を示している。この実施の形態では、SOI基板ではなく、シリコン基板10上に形成されたp型柱状シリコン部30に縦型MISトランジスタを構成している。即ち、柱状シリコン部30の上部にn型ドレイン14が形成され、底部にn型ソース15が形成されている。また、柱状シリコン部30の両側面に相対向するように第1のゲート(G1)13と第2のゲート(G2)20が形成されている。従って、SOI基板ではないが、柱状シリコン部30をフローティングのチャンネルボディとする縦型MISトランジスタによりメモリセルMCが構成される。

40

【0111】

この縦型MISトランジスタ構造は、SGT(Surrounding Gate Transistor)として知られている。

【0112】

この実施の形態によっても、先の実施の形態と同様の効果が得られる。

【0113】

50

次に、上記各実施の形態対応の製造工程を説明する。

【0114】

[実施の形態1対応の製造工程]

図12～図18は、図3に示す実施の形態1対応のDRAMセルの製造工程を示している。この実施の形態では、二つのゲート13, 20をシリコン層の上下に配置するために、2枚のシリコン基板を用いる。図12に示すように、第1のシリコン基板101には、セルアレイ領域の外側に合わせマークとして、溝102を加工する。そして図13に示すように、溝102に酸化膜103を埋め込む。溝102の深さは、後にシリコン基板101を削って厚み調整されるSOI層より深くする。より具体的には、後述するように、このシリコン基板101は図3のシリコン層12となるため、このシリコン層12の厚さより

10

【0115】

この後、図14に示すように、シリコン基板101上に、ゲート絶縁膜19を介して第2のゲート20(G2)をワード線WL2として連続するようにパターン形成する。第2のゲート20を形成した面は、シリコン酸化膜106等の絶縁膜で覆って平坦化する。平坦化には、CMP(Chemical Mechanical Polishing)を用いる。その後、図15に示すように、平坦化したシリコン酸化膜106の面に第2のシリコン基板201を貼り合わせる。

【0116】

この後、図16に示すように、第1のシリコン基板101を予定しているSOI層の厚み

20

【0117】

即ち、図17に示すように、シリコン基板101に横方向の素子分離を行う素子分離酸化膜115をSTI法により埋め込み、その後ゲート絶縁膜16を介して第1のゲート(G1)13をワード線WL1として連続するようにパターン形成する。素子分離絶縁膜115は、図ではビット線方向についてのみ示しているが、ワード線方向にも所定間隔で形成して、各メモリセルMC領域毎に他から分離されたシリコン層12を形成する。更にイオン注入を行ってドレイン14及びソース15を形成する。そして、図18に示すように、層間絶縁膜17を形成し、この上にビット線18を形成する。

30

【0118】

[実施の形態2対応の製造工程]

図19～図26は、図8に示す実施の形態2対応のDRAMセルの製造工程を示している。この実施の形態でも、二つのゲート13, 20をシリコン層の上下に配置するために、2枚のシリコン基板を用いる。図19に示すように、第1のシリコン基板101には、セルアレイ領域の外側に合わせマークとして、溝102を加工する。そして図20に示すように、溝102に酸化膜103を埋め込む。溝102の深さは、後にシリコン基板101を削って厚み調整されるSOI層より深くする。より具体的には、後述するように、このシリコン基板101は図8のシリコン層12となるため、このシリコン層12の厚さより

40

【0119】

この後、図21に示すように、シリコン基板101上に、ゲート絶縁膜16を介して第1のゲート13(G1)をワード線WL1として連続するようにパターン形成する。第1のゲート13を形成した面は、シリコン酸化膜106等の絶縁膜で覆って平坦化する。平坦化には、CMP(Chemical Mechanical Polishing)を用いる。その後、図22に示すように、平坦化したシリコン酸化膜106の面に第2のシリコン基板201を貼り合わせる。

【0120】

50

この後、図 2 3 に示すように、第 1 のシリコン基板 1 0 1 を予定している S O I 層の厚みになるまで研磨する。このように研磨されたシリコン基板 1 0 1 が図 8 のシリコン層 1 2 となる。このとき、先に埋め込んだシリコン酸化膜 1 0 3 が突出するため、次の第 2 のゲート 2 0 を形成する工程で、これを既に形成された第 1 のゲート 1 3 に位置合わせするためのマークとして利用することができる。

【 0 1 2 1 】

厚み調整されたシリコン基板 1 0 1 には、図 2 4 に示すように、素子分離酸化膜 1 1 5 を埋め込んだ後、シリコン酸化膜 2 0 3 を堆積し、トランジスタのチャネルボディに対応する位置に開口 2 0 4 を開ける。素子分離絶縁膜 1 1 5 は、図ではビット線方向についてのみ示しているが、ワード線方向にも所定間隔で形成して、各メモリセル M C 領域毎に他から分離されたシリコン層 1 2 を形成する。そして、図 2 5 に示すように、開口を介してチャネルボディに接続される中継電極 2 5 を形成し、この上にキャパシタ絶縁膜 2 6 を介して第 2 のゲート 2 0 (G 2) を形成する。中継電極 2 5 と第 2 のゲート 2 0 とは、キャパシタ絶縁膜 2 6 を挟んで連続的に成膜した後、これらを一体にワード線 W L 2 としてパターンニングすればよい。そして、第 2 のゲート 2 0 をマスクとして、シリコン酸化膜 2 0 3 上からシリコン層 1 2 にイオン注入を行って、ドレイン 1 4 及びソース 1 5 を形成する。その後、図 2 6 に示すように、層間絶縁膜 1 7 を形成し、この上にビット線 1 8 を形成する。

【 0 1 2 2 】

[実施の形態 3 対応の製造工程]

図 2 7 ~ 図 3 3 は、図 9 に示す実施の形態 3 対応の D R A M セルの製造工程を示している。この実施の形態でも、二つのゲート 1 3 , 2 0 をシリコン層の上下に配置するために、2 枚のシリコン基板を用いる。図 2 7 に示すように、第 1 のシリコン基板 1 0 1 には、セルアレイ領域の外側に合わせマークとして、溝 1 0 2 を加工する。そして図 2 8 に示すように、溝 1 0 2 に酸化膜 1 0 3 を埋め込む。溝 1 0 2 の深さは、後にシリコン基板 1 0 1 を削って厚み調整される S O I 層より深くする。より具体的には、後述するように、このシリコン基板 1 0 1 は図 9 のシリコン層 1 2 となるため、このシリコン層 1 2 の厚さよりも深くなるように、溝 1 0 2 を形成する。

【 0 1 2 3 】

この後、図 2 9 に示すように、シリコン酸化膜 2 0 9 を堆積し、トランジスタのチャネルボディに対応する位置に開口 2 0 9 a を形成する。そして、この開口 2 0 9 a を介してチャネルボディに接続される中継電極 2 5 を形成し、この上にキャパシタ絶縁膜 2 6 を介して第 2 のゲート 2 0 (G 2) を形成する。中継電極 2 5 と第 2 のゲート 2 0 とは、キャパシタ絶縁膜 2 6 を挟んで連続的に成膜した後、一体にワード線 W L 2 としてパターンニングすればよい。

【 0 1 2 4 】

第 2 のゲート 2 0 を形成した面は、シリコン酸化膜 2 1 0 等の絶縁膜で覆って平坦化する。平坦化には、C M P (C h e m i c a l M e c h a n i c a l P o l i s h i n g) を用いる。その後、図 3 0 に示すように、平坦化したシリコン酸化膜 2 1 0 の面に第 2 のシリコン基板 2 0 1 を貼り合わせる。

【 0 1 2 5 】

この後、図 3 1 に示すように、第 1 のシリコン基板 1 0 1 を予定している S O I 層の厚みになるまで研磨する。このように研磨されたシリコン基板 1 0 1 が図 9 のシリコン層 1 2 となる。このとき、先に埋め込んだシリコン酸化膜 1 0 3 が突出するため、次の第 1 のゲート 1 3 を形成する工程で、これを既に形成された第 2 のゲート 2 0 に位置合わせするためのマークとして利用することができる。

【 0 1 2 6 】

厚み調整されたシリコン基板 1 0 1 には、図 3 2 に示すように、素子分離酸化膜 1 1 5 を埋め込んだ後、ゲート絶縁膜 1 6 を介して第 1 のゲート 1 3 (G 1) をワード線 W L 1 として連続するようにパターン形成する。素子分離絶縁膜 1 1 5 は、図ではビット線方向に

10

20

30

40

50

ついでのみ示しているが、ワード線方向にも所定間隔で形成して、各メモリセルMC領域毎に他から分離されたシリコン層12を形成する。更にイオン注入により、ドレイン14及びソース15を形成する。その後、図33に示すように、層間絶縁膜17を形成し、この上にビット線18を形成する。

【0127】

[実施の形態4対応の製造工程]

図34A及び図34B～図38A及び図38Bは、図10A乃至図10Cに示した実施の形態4対応のセルアレイの製造工程を、図10B及び図10Cの断面に対応させて示している。

【0128】

図34A及び図34Bに示すように、シリコン基板10上に酸化膜11を形成し、この酸化膜11上に所定の厚さのp型シリコン層12を形成する。このシリコン層12上に、キャパシタ絶縁膜として、例えばシリコン窒化膜19とシリコン酸化膜301とからなる、積層膜を形成する。続いて、この積層膜のシリコン酸化膜301をワード線方向に連続するストライプパターンに形成し、これをマスクとしてシリコン窒化膜19及びシリコン層12を酸化膜11に達するようにエッチングして、素子分離絶縁膜302を埋め込む。これによりシリコン層12は、ビット線の方向に連続する複数のストライプパターンの素子形成領域として区画される。

【0129】

続いて、図35A及び図35Bに示すように、第1のゲート13を埋め込むべき領域のシリコン酸化膜301と302とシリコン窒化膜19をエッチングして、p型シリコン層12のトランジスタ形成領域の側面を露出させる。このときワード線方向に隣接するp型シリコン層12の間では、シリコン酸化膜302を除去し、更に下地の酸化膜11を一部オーバーエッチングする。

【0130】

そして、図36A及び図36Bに示すように、シリコン層12の両側面にゲート絶縁膜16を形成した後、多結晶シリコンの堆積とエッチングにより、第1のゲート(G1)13を、各メモリセルMC領域のシリコン層12の間に埋め込み形成する。

【0131】

次に、図37A及び図37Bに示すように、酸化膜301の間に、第1のゲート13を共通接続してワード線WLとなる第2のゲート20を埋め込む。第2のゲート20には前述のように、第1のゲート13より仕事関数の大きいプラチナ等の金属材料を用いる。なお、第1のゲート13の多結晶シリコンと第2のゲート20のプラチナとの反応をおさえるために、第1のゲート13堆積後に、反応防止用のバリア金属(例えば、TiNやTa₂Nなど)を堆積しておいてもよい。その後、酸化膜301上からシリコン層12にイオン注入を行って、シリコン層12にドレイン14及びソース15を形成する。

【0132】

次に、図38A及び図38Bに示すように、層間絶縁膜17aを堆積し、これにコンタクト孔を開けて、ソース15をワード線方向に共通接続する固定電位線23を形成する。この後、図10B及び図10Cに示すように、層間絶縁膜17bを堆積し、コンタクト孔を開けて、ドレイン14を接続するビット線18を形成する。

【0133】

[実施の形態5対応のセルアレイと製造工程]

図39Aは、図11に示すDRAMセルの具体的なセルアレイのレイアウトを示し、図39BはそのA-A'線断面を示し、図39CはそのB-B'線断面を示している。第1のゲート13と第2のゲート30は同じ材料を用いて柱状シリコン部30の側面に形成される。これらのゲート13、20は、一方向に連続的にパターンニングされて、それぞれ第1のワード線WL1、第2のワード線WL2となる。

【0134】

図40A及び図40B～図44A及び図44Bは、図39B及び図39Cに対応する断面

10

20

30

40

50

を用いた、製造工程を説明する図である。図40A及び図40Bに示すように、シリコン基板10には予めソース15となるn型層が全面に形成されている。そして、このn型層の上に、p型シリコン層400がエピタキシャル成長される。この様なエピタキシャル基板に、シリコン窒化膜401のマスクをパターン形成し、シリコン層400をエッチングしてビット線方向に連続するストライプ状の溝を加工し、その溝に素子分離酸化膜402を埋め込む。

【0135】

なお、別例として、エピタキシャル成長法を使わずに、通常のp型シリコン基板にイオン注入することにより、ソース15となるn型層を形成するようにしてもよい。

【0136】

更に、図41A及び図41Bに示すように、シリコン窒化膜401をビット線方向にも分離したパターンに変形する。そして、このシリコン窒化膜401をマスクとして用いて、ストライプ状になっているシリコン層400を再度、エッチングする。これにより、シリコン層400はビット線方向及びワード線方向に分離され、各メモリセルMC領域毎に分離された柱状シリコン部30が得られる。

【0137】

次いで、素子分離酸化膜402のうち、ワード線を埋め込む領域の部分を選択的にエッチングした後、シリコン窒化膜401を除去し、図42A及び図42Bに示すように、柱状シリコン部30の周囲にゲート絶縁膜403(図11のゲート絶縁膜16,19に対応する)を形成し、多結晶シリコン膜404を堆積する。

【0138】

次に、図43A及び図43Bに示すように、この多結晶シリコン膜404をRIEによりエッチングして、ワード線WL1及びWL2として連続する第1のゲート13及び第2のゲート20を形成する。すなわち、多結晶シリコン膜404を側壁残し技術によりエッチングして、ゲート13,20を形成する。

【0139】

その後、図44A及び図44Bに示すように、イオン注入を行って柱状シリコン部30の上部にn型ドレイン14を形成する。続いて、シリコン酸化膜405を堆積した後、これを平坦化する。この後は、図39B及び図39Cに示すように、層間絶縁膜17を堆積し、これにコンタクト孔を開けてビット線18を形成する。

【0140】

[実施の形態5対応の他のセルアレイとその製造工程]

図39A及び図39Bでは、第1のゲート13と第2のゲート20として同じ電極材料を用いたが、同様のセルアレイ構造で第1のゲート13と第2のゲート20に別の電極材料を用いる場合の構造を、図39A乃至図39Cに対応させて図45A乃至図45Cに示す。

【0141】

柱状シリコン部30の両側にゲート酸化膜16,19を介して第1のゲート(G1)13と第2のゲート(G2)20が形成される点は、図39A乃至図39Cと同じである。但し、これらのゲート13,20に異なる材料を用いる関係で、ビット線BL方向に隣接するメモリセルMCの間で第1のゲート13と第2のゲート20が交互に逆の配置となる点が、相違している。即ち、第1のワード線WL1と第2のワード線WL2が異なる工程で形成され、柱状シリコン部30の間に2本ずつ交互に配置されるようにしている。

【0142】

図46A及び図46B~図53A及び図53Bは、その製造工程を、図45B及び図45Cの断面に対応させて、説明する図である。図46A及び図46Bに示すように、シリコン基板10には予めソース15となるn型層が全面に形成されている。このn型層の上に、p型シリコン層400がエピタキシャル成長される。この様なエピタキシャル基板に、シリコン窒化膜401のマスクをパターン形成し、シリコン層400をエッチングしてビット線方向に連続するストライプ状の溝を加工し、その溝に素子分離酸化膜402を埋め

10

20

30

40

50

込む。

【0143】

なお、別例として、エピタキシャル成長法を使わずに、通常のp型シリコン基板にイオン注入することにより、ソース15となるn型層を形成するようにしてもよい。

【0144】

更に、図47A及び図47Bに示すように、シリコン窒化膜401をビット線方向にも分離したパターンに変形する。そして、このシリコン窒化膜401をマスクとして用いて、ストライプ状になっているシリコン層400を再度、エッチングする。これにより、シリコン層400はビット線方向及びワード線方向に分離され、各メモリセルMC領域毎に分離された柱状シリコン部30として残す。

10

【0145】

次いで、素子分離酸化膜402のうち、ワード線を埋め込む領域の部分を選択的にエッチングした後、シリコン窒化膜401を除去し、図48A及び図48Bに示すように、柱状シリコン部30の周囲にゲート酸化膜16を形成し、多結晶シリコン膜404を堆積する。この多結晶シリコン膜404をRIEによりエッチングして、図49A及び図49Bに示すように、ワード線WL1として連続する第1のゲート13を形成する。すなわち、多結晶シリコン膜404を側壁残し技術によりエッチングして、第1のゲート13を形成する。

【0146】

この段階で、連続的に形成された第1のゲート13からなるワード線WL1が、柱状シリコン部30の両側面に形成される。その後、図50A及び図50Bに示すように、イオン注入を行ってシリコン層30の上部にn型ドレイン14を形成する。そして、シリコン酸化膜405を堆積した後、柱状シリコン部30が露出しないように、このシリコン酸化膜405を平坦化する。

20

【0147】

そして、図51A及び図51Bに示すように、第2のゲート20を埋め込むべき領域で、シリコン酸化膜405に開口を開け、この開口から露出した第1のゲート13及びゲート酸化膜16を除去する。その後、図52A及び図52Bに示すように、露出した柱状シリコン部30の側面にゲート酸化膜19を形成し、第1のゲート13とは異なる材料で、ゲート電極材料膜406を堆積する。

30

【0148】

次に、図53A及び図53Bに示すように、このゲート電極材料膜406をエッチングして、連続的に形成された第2のゲート20からなる第2のワード線WL2を形成する。すなわち、ゲート電極材料膜406を側壁残し技術でエッチングして、第2のゲート20を形成する。この後、図45B及び図45Cに示すように、層間絶縁膜17を介してビット線18を形成する。

【0149】

[実施の形態5対応のさらに他のセルアレイ]

図54Aは、図39Aの実施の形態のセルアレイに、ワード線WL1, WL2を低抵抗化するためのシャント配線を付加した実施の形態のレイアウトを示す図である。図54BはそのC-C'線断面を示しており、図54CはそのD-D'線断面を示している。即ち、図39A乃至図39Cで説明したと同様のセルアレイを形成した後、ビット線18上に層間絶縁膜409を形成し、この層間絶縁膜409上にシャント配線500を形成している。

40

【0150】

シャント配線500は、適当なビット線18の間に、層間絶縁膜409及び17を貫通して第1及び第2のゲート13及び20に達するコンタクト孔501を形成して、このコンタクト孔501を介してゲート13及び20にコンタクトさせる。このとき、ビット線18の間にコンタクト孔501をセルフアラインさせて形成するために、ビット線18はシリコン窒化膜408で覆われている。

50

【 0 1 5 1 】

この様なシャント配線 5 0 0 を形成することにより、ワード線 W L 1 , W L 2 の信号伝搬遅延を小さくすることができる。

【 0 1 5 2 】

さらに図 5 5 A 及び図 5 5 B は、図 5 4 B 及び図 5 4 C において、ワード線 W L 1 (第 1 のゲート 1 3) とワード線 W L 2 (第 2 のゲート 2 0) に対するシャント配線層あるいは配線材料を異ならせた場合を示している。この場合、ビット線 1 8 を覆う層間絶縁膜 5 0 2 a にまず、第 1 のゲート 1 3 に対するコンタクト孔 5 0 1 を形成して第 1 のシャント配線 5 0 0 a を形成する。

【 0 1 5 3 】

次いで、層間絶縁膜 5 0 2 b を堆積し、この層間絶縁膜 5 0 2 b に第 2 のゲート 2 0 に対するコンタクト孔を開けて、第 2 のシャント配線 5 0 0 b を形成する。この場合、第 2 のシャント配線 5 0 0 b を、第 1 のシャント配線 5 0 0 a の間に短絡を生じることなく形成するために、第 1 のシャント配線 5 0 0 a の周囲はシリコン窒化膜 5 0 4 で覆うようにする。

【 0 1 5 4 】

なお、図 4 5 A 乃至図 4 5 C に示したように、ワード線 W L 1 , W L 2 を異なる材料により形成したセルアレイにも、同様のシャント配線を形成するようにしてもよい。その際、ゲート電極材料と同様に、第 1 のゲート 1 3 に対するシャント配線と第 2 のゲート 2 0 に対するシャント配線の材料を異ならせるとすれば、図 5 5 A 及び図 5 5 B のシャント配線構造を適用すればよい。但し、この場合、第 1 のワード線 W L 1 と第 2 のワード線 W L 2 は 2 本ずつ交互に配置されているので、シャント配線についても、2 本ずつ交互に異なる材料でシャント配線を形成することになる。

【 0 1 5 5 】

[実施の形態 1 対応セルのシミュレーション]

次に、図 3 で説明した実施の形態 1 対応の D R A M セルの二次元デバイスシミュレーション結果を説明する。図 6 1 は、デバイスパラメータを示しており、p 型シリコン層 (チャネルボディ) は厚みが $t_{Si} = 50 \text{ nm}$ 、アクセプタ濃度 $N_A = 5 \times 10^{18} / \text{cm}^3$ であり、ソース及びドレイン拡散層はドナー濃度 $N_D = 2 \times 10^{19} / \text{cm}^3$ である。主ゲート G 1 及び補助ゲート G 2 共に、p⁺型多結晶シリコンであり、ゲート長 $L = 0.07 \mu\text{m}$ 、主ゲート G 1 側のゲート酸化膜厚 t_{oxf} 、補助ゲート G 2 側のゲート酸化膜厚 t_{oxb} 共に、 $t_{oxf} = t_{oxb} = 4 \text{ nm}$ である。

【 0 1 5 6 】

図 6 2 は、“ 0 ” 書き込みとその後の読み出し動作のシミュレーション結果である。書き込み時、主ゲート G 1 には、 $V_{WL1} = 0 \sim 2 \text{ V}$ の振幅、補助ゲート G 2 には、 $V_{WL2} = -1.5 \sim 0 \text{ V}$ の振幅を与え、ドレイン (ビット線) には、 $V_{BL} = -1.5 \text{ V}$ を与えている。時刻 $t_0 \sim t_5$ で書き込みが行われ、時刻 t_5 でデータ保持 (ポイントのみ)、その後読み出し動作になる。図 6 2 にはこの動作時の、チャネルボディのホールの擬フェルミレベルを示している。

【 0 1 5 7 】

ホールの擬フェルミレベルをチャネルボディの電位と考えれば、データ保持時 (時刻 t_5)、 -1.6 V になっている。

【 0 1 5 8 】

図 6 3 は、“ 1 ” 書き込みとその後の読み出し動作のシミュレーション結果である。書き込み時、主ゲート G 1 には、 $V_{WL1} = 0 \sim 2 \text{ V}$ の振幅、補助ゲート G 2 には、 $V_{WL2} = -1.5 \sim 0 \text{ V}$ の振幅を与え、ドレイン (ビット線) には、 $V_{BL} = 1.5 \text{ V}$ を与えている。この場合、データ保持時 (時刻 t_5) のチャネルボディ電位は、 -0.6 V になっている。

【 0 1 5 9 】

以上の結果から、データ “ 0 ” と “ 1 ” のチャネルボディの電位差は、 1 V であり、この

10

20

30

40

50

基板バイアス効果によるしきい値の差を利用してデータ読み出しが可能であることがわかる。0、1データの読み出し時のドレイン電流 I_{ds} とゲート電圧 V_{gs} の関係は、図64のようになる。1データのしきい値は $V_{th1} = 1.6V$ 、0データのしきい値は $V_{th0} = 1.9V$ であり、しきい値差 $V_{th} = 300mV$ が得られる。

【0160】

以上のセル動作で重要なことは、0書き込み時、選択ビット線($V_{BL} = -1.5V$)につながる非選択セル(主ゲートが0V、補助ゲートが $-1.5V$ に保持される)の1データを破壊することなく、選択セルのデータを1から0に反転できるかどうかである。その条件は、1データセルのチャネルボディ電位が保持状態で0書き込みデータのセルのチャネルボディ電位と等しいか、より低いことである。上の例では、1データセルのボディ電位は保持状態で $-0.6V$ であるのに対し、0データの書き込み時(時刻 t_4)のボディ電位は $-0.75V$ であり、僅かに($0.15V$)逆転しているものの、データ破壊が生じない程度になっている。

10

【0161】

補助ゲート G_2 を主ゲート G_1 に対して、2Vオフセットの状態同期させて振幅させている理由は、各ゲートとチャネルボディ間の容量カップリングを、主ゲート G_1 だけの場合、或いは補助ゲート G_2 を固定電位とした場合に比べて大きくして、チャネルボディのゲートへの追随性を良くし、選択ビット線に沿った非選択の1データセルのチャネルボディを破壊させないレベルまで下げるためである。これにより、主ゲート G_1 の保持レベルを0Vとし、ワード線振幅を2Vに抑えることができる。

20

【0162】

参考までに、補助ゲート G_2 を固定電位($V_{WL2} = -1.5V$)とした場合の0書き込み及び1書き込みのシミュレーション結果を、それぞれ図62、図63及び図64に対応して、図65、図66及び図67に示す。主ゲート G_1 は、 $V_{WL1} = -2.5V \sim 2V$ の振幅としている。

【0163】

この結果から、補助ゲート G_2 を固定した場合には、データ保持時、主ゲート G_1 を $-2.5V$ まで下げないと、1データのチャネルボディ電位を $-0.7V$ まで下げることができない。従って、補助ゲートを主ゲートと同期させて振幅させることが、低電圧化のために有効であることがわかる。

30

【0164】

ここでは、主ゲート G_1 、補助ゲート G_2 共に p^+ 型多結晶シリコンの場合を説明したが、 n^+ 型多結晶シリコンを用いることもできる。特に、主ゲート G_1 側だけ n^+ 型多結晶シリコンにすることは、一層の低電圧化に好ましい。即ち、主ゲート G_1 を n^+ 型多結晶シリコンにすると、主ゲート G_1 の電位を負側に1Vシフトすることができる。ビット線は0書き込み時、 $-1.5V$ になるから、ゲート・ドレイン間の最大電圧は $2.5V$ になる。0書き込み時のビット線電位を $-1V$ に上げることができれば、ゲート絶縁膜にかかる最大電圧は $2.0V$ となり、低電圧化される。

【0165】

[実施の形態6のセルアレイと製造工程]

40

図3~図6の実施の形態1では、 $4F^2$ のセル面積のセルアレイを簡単に説明したが、これをより具体化した実施の形態6を次に説明する。図68Aは、実施の形態6に係るセルアレイのレイアウトであり、図68BはそのI-I'線断面図であり、図68Cは同じくII-II'断面図である。

【0166】

この実施の形態では、二枚のシリコン基板601、701の貼り合わせ基板を用いて、ダブルゲート構造のMISトランジスタからなるメモリセルアレイを作っている。第1のシリコン基板601の表面に、シリコン酸化膜層の絶縁膜602を介して、補助ゲート(G_2)20が一方方向に連続するワード線 WL_2 として形成される。但し、補助ゲート20のパターン形成は、ゲート電極材料膜が全面に形成された状態でシリコン基板601を貼り

50

合わせた後に行われる。この補助ゲート20を分離しているのが、絶縁膜803, 804である。

【0167】

第2のシリコン基板701は、補助ゲート20の表面にゲート絶縁膜19が形成された状態で貼り合わされる。シリコン基板701は、貼り合わせ後、厚みが調整され、またビット線の方向に連続するストライプ状の素子形成領域が区画される。その各素子形成領域にゲート絶縁膜16を介して主ゲート(G1)13が、補助ゲート20と並行して連続するワード線WL1としてパターン形成されている。具体的な工程は後に詳細に説明するが、基板貼り合わせ後に補助ゲート20を分離する溝を形成し、その分離溝に絶縁膜と半導体層の埋め込みを行い、その後、補助ゲート20とセルフアラインされた主ゲート13の埋め込みを行うことになる。

10

【0168】

主ゲート13の上面及び側面は、層間絶縁膜等に対してエッチング選択比の大きい保護膜であるシリコン窒化膜809, 807で覆われる。そして主ゲート13の間隙部には、ドレイン, ソース拡散層14, 15が形成される。ソース拡散層15には、ワード線WL1, WL2と並行するソース配線902が裏打ちされている。ソース配線902が形成された面にシリコン酸化膜等の層間絶縁膜900が形成され、この上にドレイン拡散層14にコンタクトするビット線(BL)18が形成されている。

【0169】

具体的な製造工程を、図69乃至図91を参照して説明する。以下の説明では、主として、図68Bの断面に対応する断面図を用いる。まず、図69に示すように、第1のシリコン基板601に、シリコン酸化膜等の絶縁膜602を形成し、この上に多結晶シリコン膜等のゲート電極材料膜603を堆積する。ゲート電極材料膜603は、後にパターンングされて補助ゲート20となるものである。

20

【0170】

一方、図70に示すように、第2のシリコン基板701に犠牲酸化膜702を形成し、この状態で、 H^+ イオン注入を第2のシリコン基板701に行い所定深さ位置にイオン注入層703を形成する。そして、第2のシリコン基板701の犠牲酸化膜702を一旦除去して、図71に示すように改めてシリコン酸化膜等のゲート絶縁膜19を形成する。その後、この第2のシリコン基板701のゲート絶縁膜19の面を、第1のシリコン基板601のゲート電極材料膜603の面に、接着する。基板貼り合わせ後、第2のシリコン基板701をイオン注入層703の位置で剥離して、図72に示すように、厚み調整されたシリコン基板701を能動素子領域として残す(M. Bruel: Electronics Letters, Vol. 31, p. 1201, 1995参照)。

30

【0171】

次に、シリコン基板701に、素子分離絶縁膜を形成する。その様子を図73Aと図73Bに示す。図73Aは、平面図であり、図73BはそのII-II'断面図(図68Cの断面に対応する)である。即ち、STI(Shallow Trench Isolation)法により、ゲート絶縁膜19に達する深さに素子分離絶縁膜704を埋め込むことにより、ビット線方向に連続する複数本のストライプ状の素子形成領域が、ワード線方向に所定ピッチで配列された状態で区画される。

40

【0172】

この様に素子分離されたシリコン基板701上に、図74に示すようにシリコン酸化膜等の絶縁膜801を堆積する。そして、図75に示すように、絶縁膜801を、ダミーゲート(ダミーワード線)としてパターン形成し、更にこれをマスクとして、シリコン基板701、ゲート絶縁膜19、ゲート電極材料膜603を順次エッチングして、分離溝802を形成する。この分離溝エッチングは、絶縁膜602の途中で止まるようにする。これにより、ゲート電極材料膜603は、ワード線WL2として連続する補助ゲート20として、パターンングされる。

【0173】

50

この後、図 7 6 に示すように、全面に薄くシリコン窒化膜 8 0 3 を堆積した後、図 7 7 に示すように、分離溝 8 0 2 内にシリコン酸化膜 8 0 4 を埋め込む。これは、シリコン酸化膜を堆積し、全面エッチングすることにより、得られる。埋め込まれるシリコン酸化膜 8 0 4 の表面位置は、シリコン基板 7 0 1 の厚みの途中に位置するようにする。

【 0 1 7 4 】

その後、図 7 8 に示すように、埋め込まれたシリコン酸化膜 8 0 4 より上にあるシリコン窒化膜 8 0 3 をエッチング除去し、シリコン基板 7 0 1 の側面を分離溝 8 0 2 に露出させた状態とする。この状態で、図 7 9 に示すように、分離溝 8 0 2 内にシリコン層 8 0 5 をエピタキシャル成長させる。シリコン層 8 0 5 は、シリコン基板 7 0 1 の側面から結晶成長して、良質の結晶性を有するものとなる。シリコン層 8 0 5 は、ワード線と平行の方向即ち、ストライプ状の素子形成領域の長手方向と直交する方向に連続的に形成され、シリコン窒化膜 8 0 7 で覆われた状態とする。

10

【 0 1 7 5 】

なお、シリコン層 8 0 5 は、ソース及びドレイン拡散層として用いられるものであり、必ずしも良質の結晶である必要はなく、例えば多結晶シリコン層を埋め込んで良い。

【 0 1 7 6 】

次に、図 8 0 に示すように、ダミーワード線として用いたシリコン酸化膜 8 0 1 をエッチング除去する。そして、図 8 1 に示すように、シリコン層 8 0 5 の側壁にもシリコン窒化膜を形成した後、シリコン酸化膜 8 0 1 を除去して底部に露出したシリコン基板 7 0 1 の表面にシリコン酸化膜等によるゲート絶縁膜 1 6 を形成する。そして、多結晶シリコン膜等のゲート電極材料膜の堆積とエッチングにより、図 8 2 に示すように、シリコン層 8 0 5 の間にワード線 W L 1 として連続する主ゲート (G 1) 1 3 を埋め込み形成する。これにより、シリコン基板 7 0 1 の上面の主ゲート 1 3 と下面の補助ゲート 2 0 とがセルフアラインされて、素子形成領域の長手方向と直交する方向にそれぞれワード線 W L 1 , W L 2 として連続するようにパターン形成されたことになる。

20

【 0 1 7 7 】

この後、図 8 3 に示すように、シリコン窒化膜 8 0 9 を全面に堆積し、平坦化する。そして、このシリコン窒化膜 8 0 9 , 8 0 7 を、シリコン層 8 0 5 が露出するまで全面エッチングする。図 8 4 A はこの状態の平面図であり、図 8 4 B はその I - I ' 断面図である。これにより、主ゲート 1 3 の上面及び側面をシリコン窒化膜 8 0 9 , 8 0 7 で覆った状態でシリコン層 8 0 5 が露出した状態が得られる。

30

【 0 1 7 8 】

この段階でシリコン層 8 0 5 は、図 8 4 A に示すように、ワード線 (主ゲート 1 3 及び補助ゲート 2 0) の間隙にストライプ状に連続している。シリコン層 8 0 5 は前述のようにドレイン及びソース拡散層の領域であり、少なくともドレイン拡散層は、ワード線方向に分離されることが必要である。そこで、S T I 法によって、図 8 5 に示すように、シリコン層 8 0 5 のうちドレイン拡散層を形成する領域について、素子分離絶縁膜 9 0 5 を埋め込み形成する。素子分離絶縁膜 9 0 5 は、先に図 7 3 A で説明した素子分離絶縁膜 7 0 4 と等ピッチで埋め込まれる。

【 0 1 7 9 】

この後 n 型不純物をイオン注入して、図 8 6 に示すようにシリコン層 8 0 5 の底部のシリコン酸化膜 8 0 4 に達する深さに n 型のドレイン , ソース拡散層 1 4 , 1 5 を形成する。ドレイン拡散層 1 4 は、ワード線方向には飛び飛びに形成され、ソース拡散層 1 5 はワード線方向に連続して共通ソース線となる。但し、上述の素子分離絶縁膜 9 0 5 をソース拡散層 1 5 の領域にも同様に形成して、ソース拡散層 1 5 がドレイン拡散層 1 4 と同様にワード線方向に飛び飛びになるようにしてもよい。

40

【 0 1 8 0 】

次に、図 8 7 に示すように、シリコン酸化膜等の層間絶縁膜 9 0 0 a を堆積する。そして、リソグラフィとエッチングにより、図 8 8 に示すように、層間絶縁膜 9 0 0 a のソース拡散層 1 5 に対応する位置に、ワード線方向に連続するストライプ状の配線溝 9 0 1 を開

50

ける。次いで、多結晶シリコン膜の堆積とエッチングにより、図 8 9 に示すように、配線溝 9 0 1 にソース配線 9 0 2 を埋め込み形成する。このソース配線 9 0 2 により、ソース拡散層 1 5 が連続に形成されている場合にはその低抵抗化が図られ、飛び飛びに形成されている場合にはこれらが共通接続されることになる。

【 0 1 8 1 】

この後再度、図 9 0 に示すように、シリコン酸化膜等の層間絶縁膜 9 0 0 b を堆積する。そして、図 9 1 に示すように、デュアルダマシーン (Dual Damascene) 法により、ビット線の埋め込み用溝とコンタクト孔 9 0 3 を形成した後、図 6 8 B に示すようにビット線 1 8 を埋め込む。

【 0 1 8 2 】

以上のようにこの実施の形態によれば、貼り合わせによる S O I 基板を用いて、しかも M I S トランジスタの上下の主ゲート 1 3 と補助ゲート 2 0 をセルフアラインされた状態でワード線 W L 1 , W L 2 としてパターン形成することができる。ワード線 W L 1 , W L 2 とビット線 B L を最小加工寸法 F の幅とピッチで形成すれば、図 6 8 A に一点鎖線で示したように、 $4 F^2$ の単位セル面積のセルアレイが得られる。また、主ゲート 1 3 の上面及び側面はシリコン窒化膜 8 0 9 , 8 0 7 で覆われているから、層間絶縁膜 9 0 2 a に埋め込まれるソース配線 9 0 2 は、シリコン窒化膜で覆われた主ゲート 1 3 にセルフアラインされて、ソース拡散層 1 5 にコンタクトさせることができる。ビット線コンタクトも同様に、主ゲート 1 3 にセルフアラインされる。従って、微細トランジスタ構造を持つ信頼性の高い D R A M セルアレイが得られる。

【 0 1 8 3 】

図 6 8 B に示すように、この実施の形態では、ソース配線 9 0 2 は保護膜で覆われていない。主ゲート 1 3 は、シリコン窒化膜 8 0 9 , 8 0 7 で覆われているため、層間絶縁膜にビット線コンタクト孔を形成する時、シリコン酸化膜からなる層間絶縁膜とシリコン窒化膜のエッチング選択比により、ビット線コンタクト孔を主ゲート 1 3 にセルフアラインさせることができる。しかし、コンタクト孔を大きくとった場合には、合わせずれによりビット線とソース配線 9 0 2 との短絡が生じる可能性がある。これを防止するためには、ソース配線 9 0 2 についても、シリコン窒化膜等の保護膜で覆うことが好ましい。

【 0 1 8 4 】

その様な好ましい構造を、図 6 8 B に対応させて図 9 2 に示す。ソース配線 9 0 2 の上面及び側面がシリコン窒化膜 9 0 5 により覆われている。具体的にこの構造を得るためには、図 8 7 ~ 図 8 9 で説明したソース配線 9 0 2 の埋め込み法に代わって、次のようにすればよい。即ち、図 8 6 の状態で、多結晶シリコン膜とシリコン窒化膜の積層膜を堆積し、この積層膜をパターン形成してソース配線 9 0 2 を形成する。次いでソース配線 9 0 2 の側壁にシリコン窒化膜を形成する。これにより、シリコン窒化膜で覆われてソース配線 9 0 2 を得ることができる。

【 0 1 8 5 】

図 9 2 では、ビット線形成工程も上の実施の形態とは異なる例を示している。即ち、層間絶縁膜 9 0 0 を堆積し、これにビット線コンタクト孔を形成して、多結晶シリコン等によるコンタクトプラグ 9 0 6 を埋め込み形成する。その後、ビット線 1 8 を形成する。

【 0 1 8 6 】

この様に、ソース配線 9 0 2 をシリコン窒化膜 9 0 5 で覆うことにより、コンタクトプラグ 9 0 6 の埋め込み工程で、多少のビット線コンタクト孔の位置ずれがあったとしても、ソース配線 9 0 2 との短絡が防止される。従って、ビット線コンタクト孔を大きくして、ビット線 1 8 を確実にドレイン拡散層 1 4 に対して低抵抗コンタクトさせることができる。

【 0 1 8 7 】

[上述した実施の形態の変形例]

ここまでの実施の形態は、D R A M セルを n チャネル型 M I S トランジスタにより構成したが、p チャネル型 M I S トランジスタを用いることもできる。例えば、図 3 に対応して

10

20

30

40

50

、pチャネル型MISトランジスタを用いた場合のセル構造を示すと、図56のようになる。p型シリコン層12の部分がn型シリコン層12aとなり、これにp型のドレイン拡散層14aおよびソース拡散層15aが形成される。同様に、図8、図9、図10B及び図10C、図11対応のpチャネルDRAMセル構造を示すと、それぞれ、図57、図58、図59A及び図59B、図60Aとなる。

【0188】

pチャネル型のDRAMセルを用いた場合の書き込み、読み出し等の電位関係は、ソースが接続される固定電位線を基準電位として、nチャネル型の場合とは逆にすればよい。具体的な電圧波形の一例を、上述した図7A及び図7Bに対応して示すと、図60B及び図60Cのようになる。

10

【0189】

すなわち、図60Bに示すように、第1のワード線WL1と第2のワード線WL2を同じ材料で形成した場合、“1”データ書き込みの際には、選択された第1のワード線に基準電位VSSより低い電位VWL1Lを与え、選択された第2のワード線WL2にはこの電位VWL1Lより高い電位VWL2L(図の例では、基準電位VSSより高い正電位)を与える。また、選択されたビット線BLには、基準電位VSSより低い電位VBLLを与える。これにより選択されたメモリセルMCにおいて、5極管動作によるインパクトイオン化が生じ、多数キャリアであるエレクトロンがチャンネルボディに蓄積される。

【0190】

データ保持は、第1のワード線WL1に基準電位VSSより高い正の電位VWL1Hを与え、第2のワード線WL2にはこの電位VWL1Hよりも更に高い電位VWL2Hを与える。これにより、チャンネルボディに過剰エレクトロンを蓄積した状態である“1”データを保持する。

20

【0191】

“0”データ書き込み時は、選択された第1及び第2のワード線WL及びWL2に、それぞれ、“1”データ書き込みの際と同様の電位VWL1L及びVWL2Lを与える。そして、選択されたビット線BLには、基準電位VSSより高い正の電位VBLHを与える。これにより、選択されたメモリセルMCにおいて、ドレイン接合が順バイアスになり、チャンネルボディのエレクトロンがドレインに排出されて、ボディ電位が高い状態である“0”データが書き込まれる。

30

【0192】

一方、図60Cは、第1のゲート13と第2のゲート20に仕事関数の異なる材料を用いて、これら第1のゲート13と第2のゲート20に同じ電位を与えて駆動する場合を示している。この図60Cに示すように、“1”データ書き込みの際には、選択された第1及び第2のワード線WL1及びWL2に、基準電位VSSより低い負の電位VWLLを与え、選択されたビット線BLにも、基準電位VSSより低い負の電位VBLLを与える。これにより、選択されたメモリセルMCにおいて、5極管動作によるインパクトイオン化が生じ、エレクトロンがチャンネルボディに蓄積される。

【0193】

データ保持は、第1及び第2のワード線WL1及びWL2に、基準電位VSSより高い正の電位VWLHを与える。これにより、チャンネルボディに過剰エレクトロンを蓄積した状態である“1”データを保持する。

40

【0194】

“0”データ書き込み時は、選択された第1及び第2のワード線WL1及びWL2に、“1”書き込み時と同様の電位VWLLを与え、選択されたビット線BLには基準電位VSSより高い正の電位VBLHを与える。これにより、選択されたメモリセルMCでドレイン接合が順バイアスになり、チャンネルボディのエレクトロンがドレインに排出されて、ボディ電位の高い状態である“0”データが書き込まれる。

【0195】**【発明の効果】**

50

以上述べたようにこの発明によれば、単純なトランジスタ構造を用いて、チャンネルボディを記憶ノードとして電荷を蓄え、そのチャンネルボディの電位の差によりデータを記憶する半導体メモリ装置であって、第1のゲートによるチャンネル制御と同時に第2のゲートによりボディ電位制御を行うことにより、読み出しマージンを大きいものとすることができる。

【図面の簡単な説明】

【図1】各実施形態で用いるDRAMセルの基本構造を示す図である。

【図2】同DRAMセルの動作原理を説明するためのボディ電位とゲートバイアスの関係を示す図である。

【図3】この発明の実施の形態1によるDRAMセルの断面構造を示す図である。

10

【図4】同DRAMセルを用いたセルアレイの等価回路である。

【図5】同セルアレイのレイアウトである。

【図6A】図5のA-A'線断面図である。

【図6B】図5のB-B'線断面図である。

【図7A】第1のゲートと第2のゲートとを同じ材料で形成した場合における、同DRAMセルの書き込み動作を示す波形図である。

【図7B】第1のゲートと第2のゲートとを異なる仕事関数を持つ材料で形成した場合における、同DRAMセルの書き込み動作を示す波形図である。

【図7C】図7Bの書き込み動作波形を生成するためのワード線ドライバとロウデコーダの回路構成の一例を示す図である。

20

【図7D】図7Cに示したワード線ドライバの変形例を示す図である。

【図7E】図7C又は図7Dに示したロウデコーダとワード線ドライバとを、メモリセルアレイに対して配置した場合のレイアウトの一例を示す図である(片側配置)。

【図7F】図7C又は図7Dに示したロウデコーダとワード線ドライバとを、メモリセルアレイに対して配置した場合のレイアウトの一例を示す図である(両側配置)。

【図7G】図7Aの書き込み動作波形を生成するためのワード線ドライバとロウデコーダの回路構成の一例を示す図である。

【図7H】図7Gに示したワード線ドライバの変形例を示す図である。

【図7I】図7G又は図7Hに示したロウデコーダとワード線ドライバとを、メモリセルアレイに対して配置した場合のレイアウトの一例を示す図である(第1のワード線と第2のワード線とからなる対のワード線に対して、左右交互にロウデコーダとワード線ドライバとを設けた場合)。

30

【図7J】図7G又は図7Hに示したロウデコーダとワード線ドライバとを、メモリセルアレイに対して配置した場合のレイアウトの一例を示す図である(片側に第1のワード線のロウデコーダとワード線ドライバとを設け、もう片側に第2のワード線のロウデコーダとワード線ドライバとを設けた場合)。

【図7K】図7Jに示したレイアウトを採用する場合における、第1のワード線用のロウデコーダとワード線ドライバの回路構成の一例を示す図である。

【図7L】図7Jに示したレイアウトを採用する場合における、第2のワード線用のロウデコーダとワード線ドライバの回路構成の一例を示す図である。

40

【図7M】図7Kに示したワード線ドライバの変形例を示す図である。

【図7N】各実施の形態におけるメモリセルを用いて構成されたメモリセルアレイと、そのロウデコーダとワード線ドライバとを配置した、メモリチップのレイアウトの一例を示す図である。

【図8】実施の形態2によるDRAMセルの断面構造を示す図である。

【図9】実施の形態3によるDRAMセルの断面構造を示す図である。

【図10A】実施の形態4によるDRAMセルアレイのレイアウトである。

【図10B】図10AのA-A'線断面図である。

【図10C】図10AのB-B'線断面図である。

【図11】実施の形態5によるDRAMセルの断面構造を示す図である。

50

【図12】図3に示した実施の形態1に係るメモリセルの製造工程におけるマーク形成工程を示す図である。

【図13】同製造工程のマーク形成工程を示す図である。

【図14】同製造工程のゲート(G2)形成工程を示す図である。

【図15】同製造工程の基板貼り合わせ工程を示す図である。

【図16】同製造工程の基板研磨工程を示す図である。

【図17】同製造工程のゲート(G1)形成工程を示す図である。

【図18】同製造工程のビット線形成工程を示す図である。

【図19】図8に示した実施の形態2に係るメモリセルの製造工程におけるマーク形成工程を示す図である。

10

【図20】同製造工程のマーク形成工程を示す図である。

【図21】同製造工程のゲート(G1)形成工程を示す図である。

【図22】同製造工程の基板貼り合わせ工程を示す図である。

【図23】同製造工程の基板研磨工程を示す図である。

【図24】同製造工程の絶縁膜形成工程を示す図である。

【図25】同製造工程のゲート(G2)形成工程を示す図である。

【図26】同製造工程のビット線形成工程を示す図である。

【図27】図9に示した実施の形態3に係るメモリセルの製造工程におけるマーク形成工程を示す図である。

【図28】同製造工程のマーク形成工程を示す図である。

20

【図29】同製造工程のゲート(G2)形成工程を示す図である。

【図30】同製造工程の基板貼り合わせ工程を示す図である。

【図31】同製造工程の基板研磨工程を示す図である。

【図32】同製造工程のゲート(G1)形成工程を示す図である。

【図33】同製造工程のビット線形成工程を示す図である。

【図34A】図10A乃至図10Cに示した実施の形態4に係るメモリセルの製造工程における素子分離工程を示す図である(図10AにおけるA-A'線断面図)。

【図34B】図10A乃至図10Cに示した実施の形態4に係るメモリセルの製造工程における素子分離工程を示す図である(図10AにおけるB-B'線断面図)。

【図35A】同製造工程のゲート埋め込み部形成工程を示す図である(図10AにおけるA-A'線断面図)。

30

【図35B】同製造工程のゲート埋め込み部形成工程を示す図である(図10AにおけるB-B'線断面図)。

【図36A】同製造工程のゲート(G1)埋め込み工程を示す図である(図10AにおけるA-A'線断面図)。

【図36B】同製造工程のゲート(G1)埋め込み工程を示す図である(図10AにおけるB-B'線断面図)。

【図37A】同製造工程のゲート(G2)形成工程を示す図である(図10AにおけるA-A'線断面図)。

【図37B】同製造工程のゲート(G2)形成工程を示す図である(図10AにおけるB-B'線断面図)。

40

【図38A】同製造工程の固定電位線形成工程を示す図である(図10AにおけるA-A'線断面図)。

【図38B】同製造工程の固定電位線形成工程を示す図である(図10AにおけるB-B'線断面図)。

【図39A】図11の実施の形態対応のセルアレイのレイアウトである。

【図39B】図39AのA-A'線断面図である。

【図39C】図39AのB-B'線断面図である。

【図40A】図39のセルアレイの製造工程における柱状シリコン形成工程を示す図である(図39AにおけるA-A'線断面図)。

50

【図40B】図39のセルアレイの製造工程における柱状シリコン形成工程を示す図である（図39AにおけるB-B'線断面図）。

【図41A】同製造工程の柱状シリコン形成工程を示す図である（図39AにおけるA-A'線断面図）。

【図41B】同製造工程の柱状シリコン形成工程を示す図である（図39AにおけるB-B'線断面図）。

【図42A】同製造工程のゲート電極材料堆積工程を示す図である（図39AにおけるA-A'線断面図）。

【図42B】同製造工程のゲート電極材料堆積工程を示す図である（図39AにおけるB-B'線断面図）。

【図43A】同製造工程のゲート形成工程を示す図である（図39AにおけるA-A'線断面図）。

【図43B】同製造工程のゲート形成工程を示す図である（図39AにおけるB-B'線断面図）。

【図44A】同製造工程の平坦化工程を示す図である（図39AにおけるA-A'線断面図）。

【図44B】同製造工程の平坦化工程を示す図である（図39AにおけるB-B'線断面図）。

【図45A】図11に示した実施の形態5に係るメモリセルにおける他のセルアレイのレイアウトである。

【図45B】図45AのA-A線断面図である。

【図45C】図45AのB-B'線断面図である。

【図46A】図45のセルアレイの製造工程における柱状シリコン形成工程を示す図である（図45AにおけるA-A'線断面図）。

【図46B】図45のセルアレイの製造工程における柱状シリコン形成工程を示す図である（図45AにおけるB-B'線断面図）。

【図47A】同製造工程の柱状シリコン形成工程を示す図である（図45AにおけるA-A'線断面図）。

【図47B】同製造工程の柱状シリコン形成工程を示す図である（図45AにおけるB-B'線断面図）。

【図48A】同製造工程のゲート電極材料堆積工程を示す図である（図45AにおけるA-A'線断面図）。

【図48B】同製造工程のゲート電極材料堆積工程を示す図である（図45AにおけるB-B'線断面図）。

【図49A】同製造工程のゲート（G1）形成工程を示す図である（図45AにおけるA-A'線断面図）。

【図49B】同製造工程のゲート（G1）形成工程を示す図である（図45AにおけるB-B'線断面図）。

【図50A】同製造工程の平坦化工程を示す図である（図45AにおけるA-A'線断面図）。

【図50B】同製造工程の平坦化工程を示す図である（図45AにおけるB-B'線断面図）。

【図51A】同製造工程のゲート（G2）形成領域の開口工程を示す図である（図45AにおけるA-A'線断面図）。

【図51B】同製造工程のゲート（G2）形成領域の開口工程を示す図である（図45AにおけるB-B'線断面図）。

【図52A】同製造工程のゲート電極材料堆積工程を示す図である（図45AにおけるA-A'線断面図）。

【図52B】同製造工程のゲート電極材料堆積工程を示す図である（図45AにおけるB-B'線断面図）。

10

20

30

40

50

【図53A】同製造工程のゲート(G2)形成工程を示す図である(図45AにおけるA-A'線断面図)。

【図53B】同製造工程のゲート(G2)形成工程を示す図である(図45AにおけるB-B'線断面図)。

【図54A】図39Aの実施の形態にシャント配線を追加した実施の形態のレイアウトである。

【図54B】図54AのA-A'線断面図である。

【図54C】図54AのB-B'線断面図である。

【図55A】他のシャント配線構造を用いた場合の図54AのA-A'線断面図である。

【図55B】他のシャント配線構造を用いた場合の図54AのB-B'線断面図である。

【図56】実施の形態1に係るnチャネル型のMISトランジスタを、pチャネル型に変形した場合における、メモリセル構造を図3に対応させて示す図である。

【図57】実施の形態2に係るnチャネル型のMISトランジスタを、pチャネル型に変形した場合における、メモリセル構造を図8に対応させて示す図である。

【図58】実施の形態3に係るnチャネル型のMISトランジスタを、pチャネル型に変形した場合における、メモリセル構造を図9に対応させて示す図である。

【図59A】実施の形態4に係るnチャネル型のMISトランジスタを、pチャネル型に変形した場合における、メモリセル構造を図10Bに対応させて示す図である。

【図59B】実施の形態4に係るnチャネル型のMISトランジスタを、pチャネル型に変形した場合における、メモリセル構造を図10Cに対応させて示す図である。

【図60A】実施の形態5に係るnチャネル型のMISトランジスタを、pチャネル型に変形した場合における、メモリセル構造を図11に対応させて示す図である。

【図60B】pチャネル型のMISトランジスタを用いた場合における、駆動電圧波形を図7Aに対応させて示す図。

【図60C】pチャネル型のMISトランジスタを用いた場合における、駆動電圧波形を図7Bに対応させて示す図。

【図61】図3の実施の形態のセルのシミュレーションに用いたデバイスパラメータを示す図である。

【図62】同シミュレーションによる“0”書き込みとその後の読み出し動作の電圧波形を示す図である。

【図63】同シミュレーションによる“1”書き込みとその後の読み出し動作の電圧波形を示す図である。

【図64】同シミュレーションによる“0”、“1”データ書き込み時のセルのドレイン電流-ゲート電圧特性を示す図である。

【図65】補助ゲートを固定電位としたシミュレーションによる“0”書き込みとその後の読み出し動作の電圧波形を示す図である。

【図66】同シミュレーションによる“1”書き込みとその後の読み出し動作の電圧波形を示す図である。

【図67】同シミュレーションによる“0”、“1”データ書き込み時のセルのドレイン電流-ゲート電圧特性を示す図である。

【図68A】実施の形態6によるセルアレイの平面図である。

【図68B】図68AのI-I'断面図である。

【図68C】図68AのII-II'断面図である。

【図69】同実施の形態の製造工程における第1のシリコン基板にゲート電極材料膜を形成する工程を示す断面図である。

【図70】同製造工程における第2のシリコン基板に水素イオン注入を行う工程を示す断面図である。

【図71】同製造工程における基板貼り合わせの工程を示す断面図である。

【図72】同製造工程における貼り合わせ基板の厚み調整工程を示す図である。

【図73A】同製造工程における素子分離工程を示す平面図である。

10

20

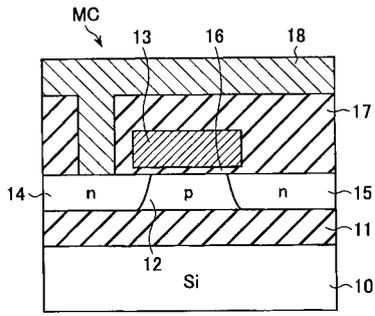
30

40

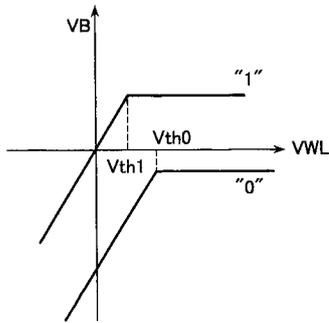
50

- 【図 7 3 B】図 7 3 A の II - II ' 断面図である。
- 【図 7 4】同製造工程におけるダミーワード線用絶縁膜堆積工程を示す断面図である。
- 【図 7 5】同製造工程におけるダミーワード線形成とこれを用いた補助ゲート分離工程を示す断面図である。
- 【図 7 6】同製造工程におけるシリコン窒化膜形成工程を示す断面図である。
- 【図 7 7】同製造工程における分離溝への絶縁膜埋め込み工程を示す断面図である。
- 【図 7 8】同製造工程におけるシリコン窒化膜除去の工程を示す断面図である。
- 【図 7 9】同製造工程におけるシリコン層成長の工程を示す断面図である。
- 【図 8 0】同製造工程におけるダミーワード線除去の工程を示す断面図である。
- 【図 8 1】同製造工程におけるゲート絶縁膜形成工程とシリコン窒化膜形成工程を示す断面図である。 10
- 【図 8 2】同製造工程における主ゲート埋め込み工程を示す断面図である。
- 【図 8 3】同製造工程におけるシリコン窒化膜堆積の工程を示す断面図である。
- 【図 8 4 A】同製造工程におけるシリコン窒化膜エッチングの工程を示す平面図である。
- 【図 8 4 B】図 8 4 A の I - I ' 断面図である。
- 【図 8 5】同製造工程の素子分離工程を示す平面図である。
- 【図 8 6】同製造工程におけるソース、ドレイン拡散層形成工程を示す断面図である。
- 【図 8 7】同製造工程における層間絶縁膜形成工程を示す断面図である。
- 【図 8 8】同製造工程におけるソース配線埋め込み溝形成工程を示す断面図である。
- 【図 8 9】同製造工程におけるソース配線層埋め込み工程を示す断面図である。 20
- 【図 9 0】同製造工程における層間絶縁膜形成工程を示す断面図である。
- 【図 9 1】同製造工程におけるビット線コンタクト孔及び配線溝形成工程を示す断面図である。
- 【図 9 2】他の実施の形態によるセルアレイの図 6 8 B 対応の断面図である。
- 【符号の説明】
- 1 0 シリコン基板
 - 1 1 シリコン酸化膜
 - 1 2 シリコン層
 - 1 3 主ゲート (第 1 のゲート)
 - 1 6 ゲート絶縁膜 30
 - 1 7 層間絶縁膜
 - 1 8 ビット線
 - 1 9 ゲート絶縁膜
 - 2 0 補助ゲート (第 2 のゲート)

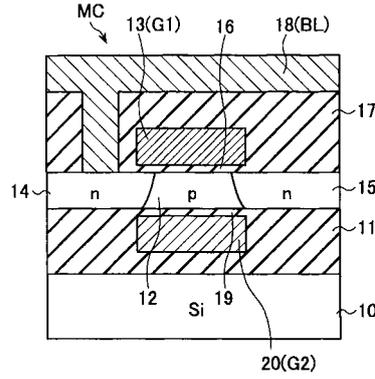
【図1】



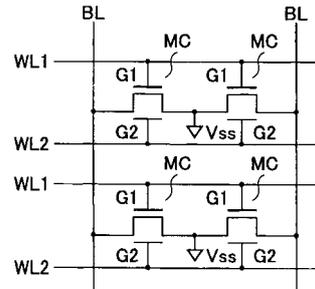
【図2】



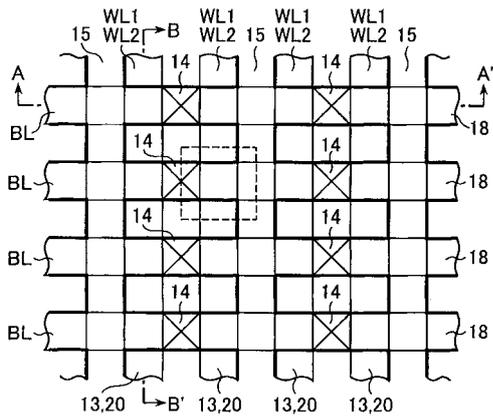
【図3】



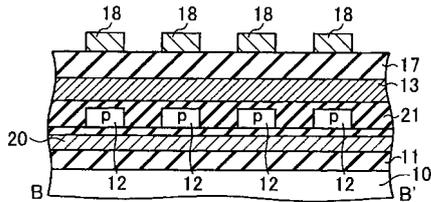
【図4】



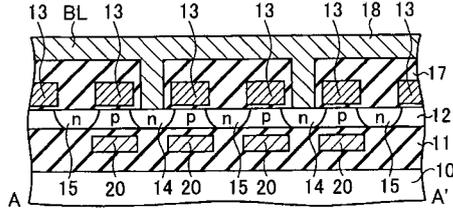
【図5】



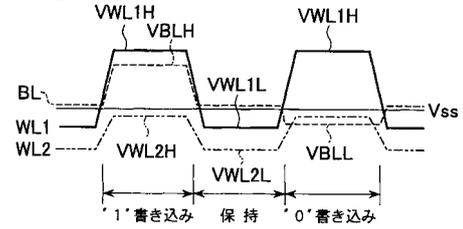
【図6B】



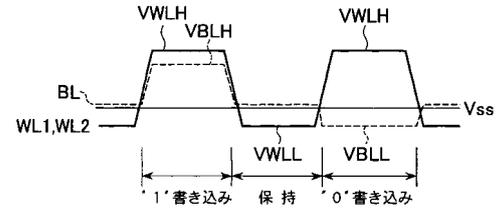
【図6A】



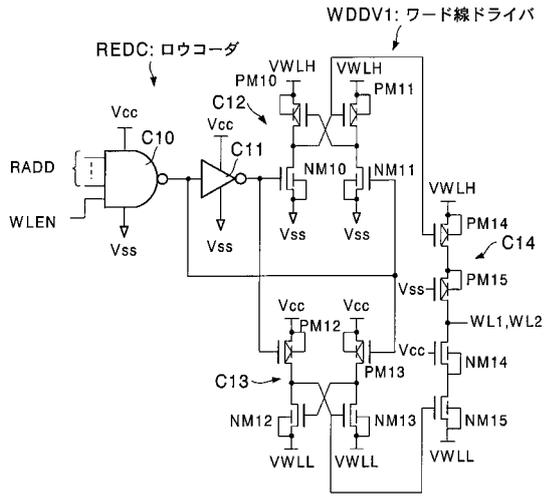
【図7A】



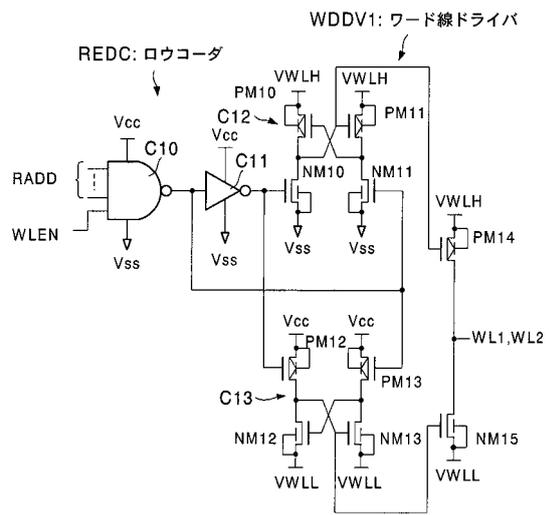
【図7B】



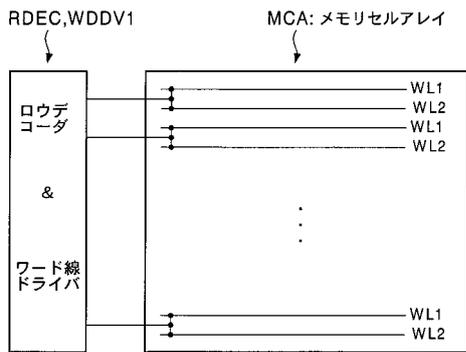
【図7C】



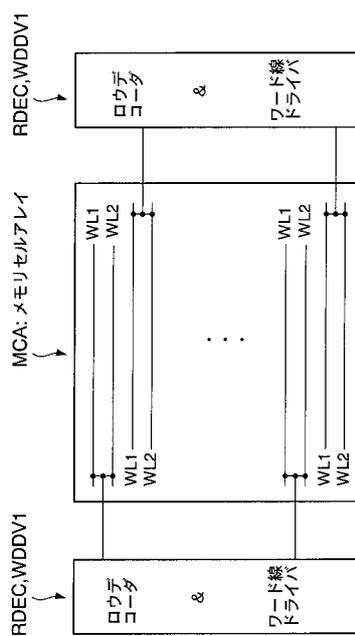
【図7D】



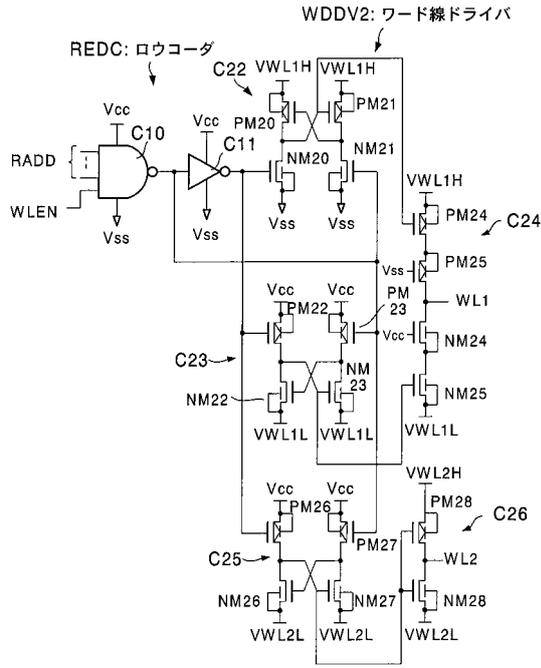
【図7E】



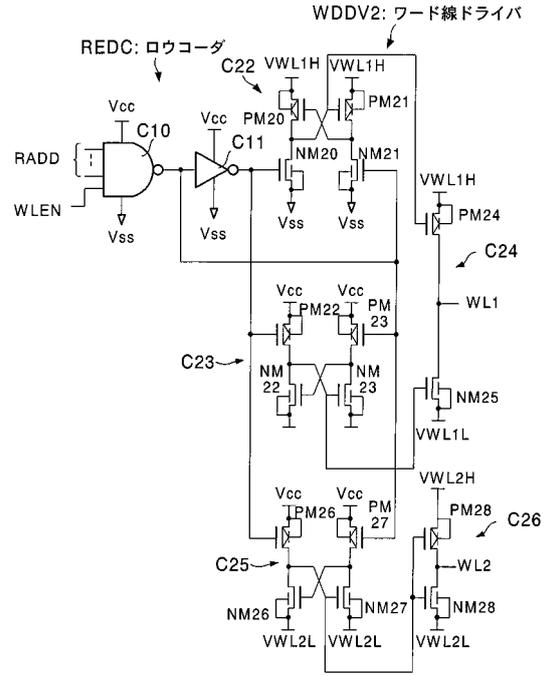
【図7F】



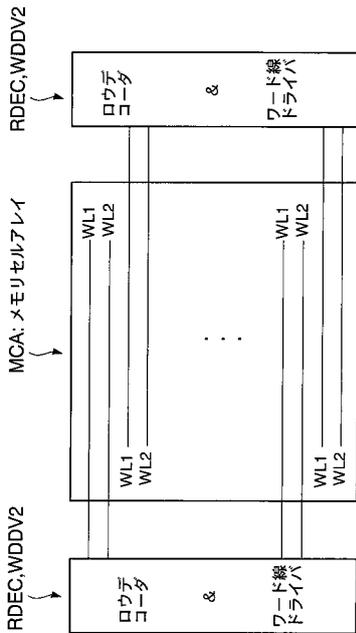
【図7G】



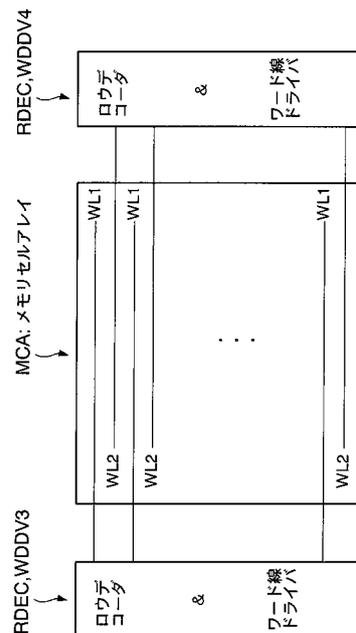
【図7H】



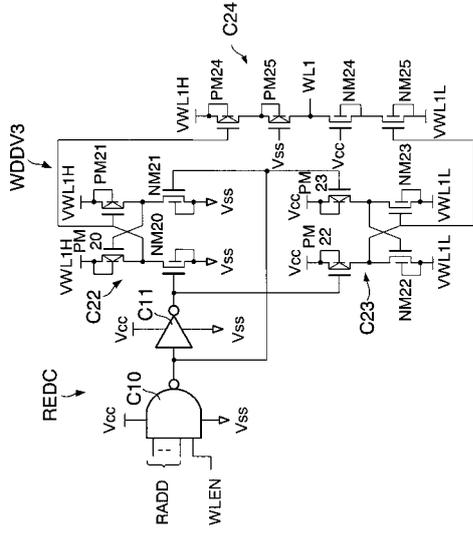
【図7I】



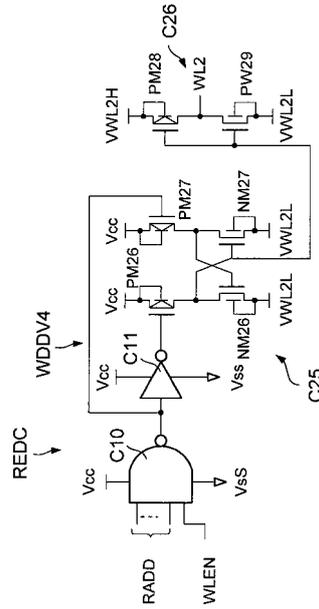
【図7J】



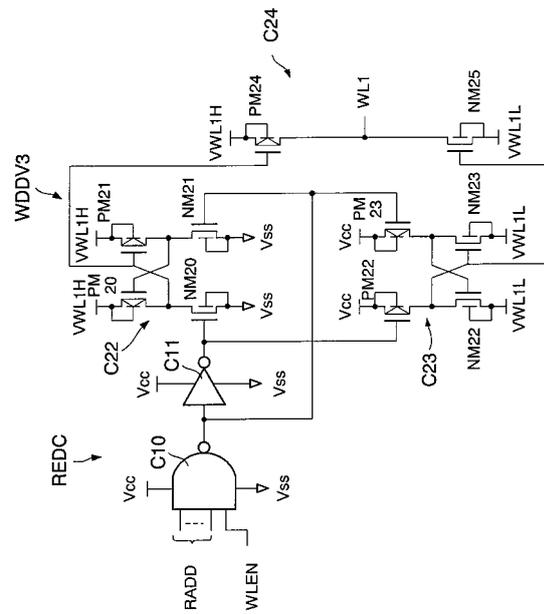
【 図 7 K 】



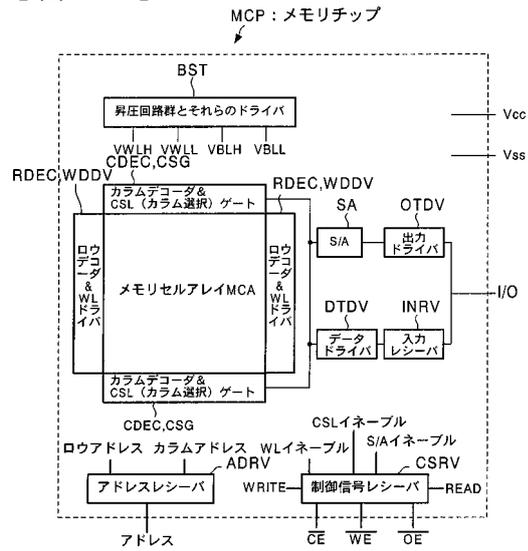
【 図 7 L 】



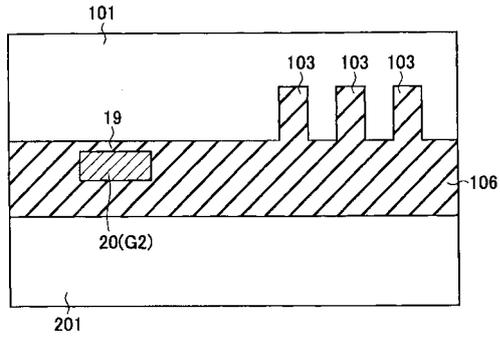
【 図 7 M 】



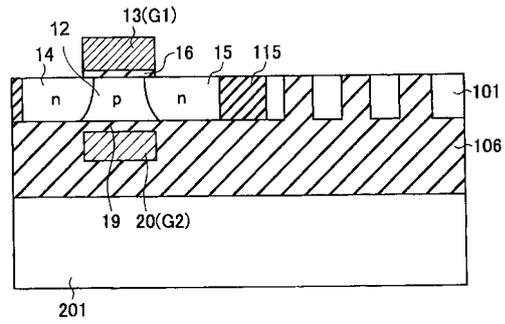
【 図 7 N 】



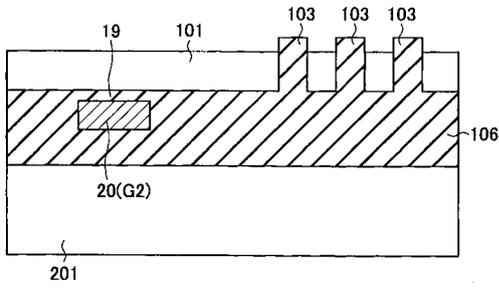
【図15】



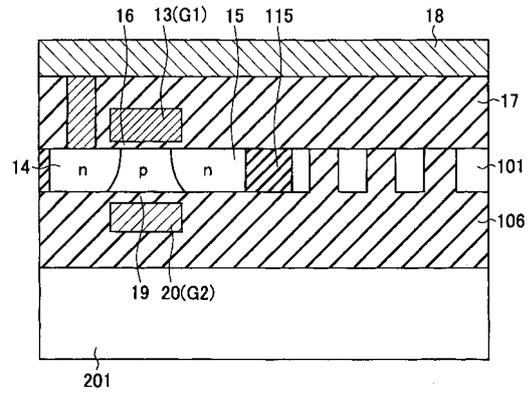
【図17】



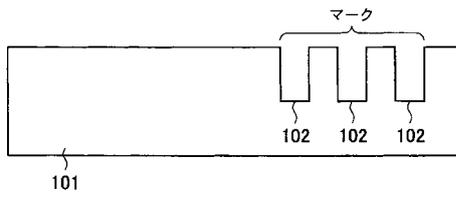
【図16】



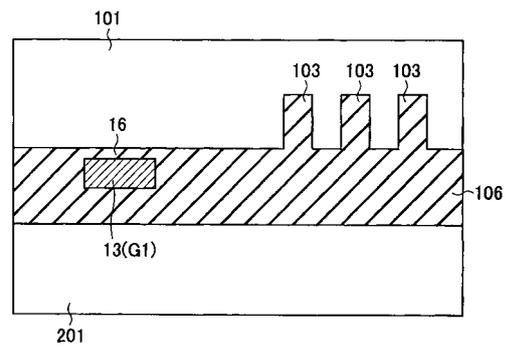
【図18】



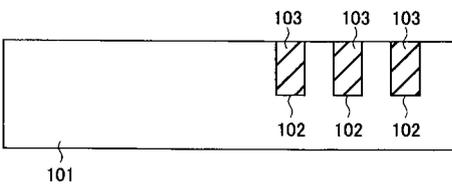
【図19】



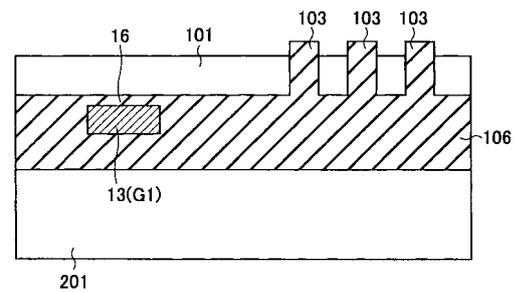
【図22】



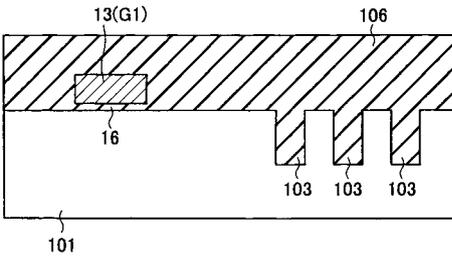
【図20】



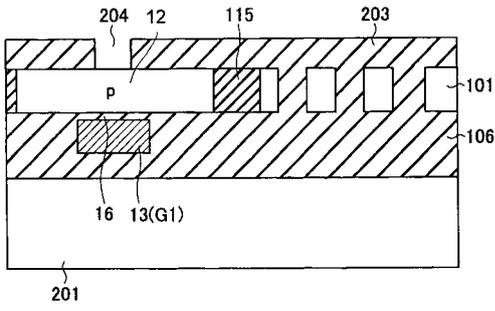
【図23】



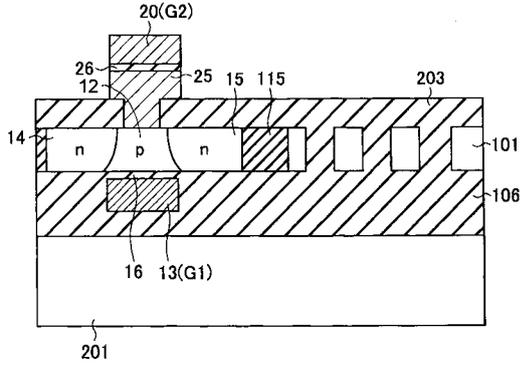
【図21】



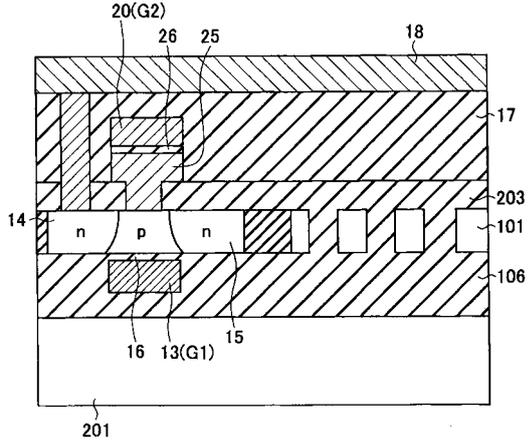
【図 2 4】



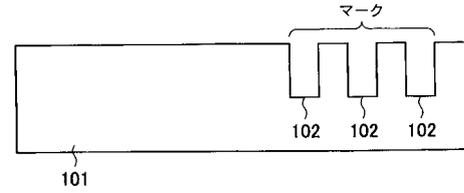
【図 2 5】



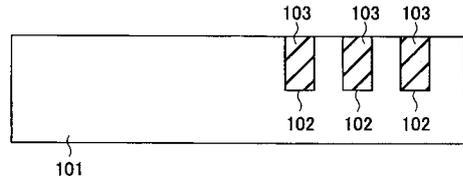
【図 2 6】



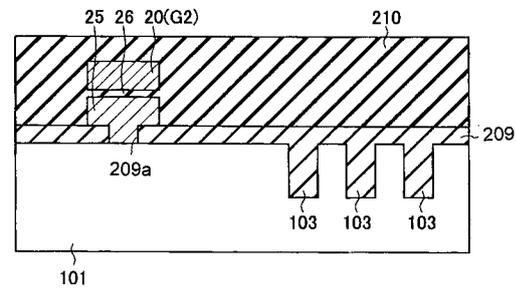
【図 2 7】



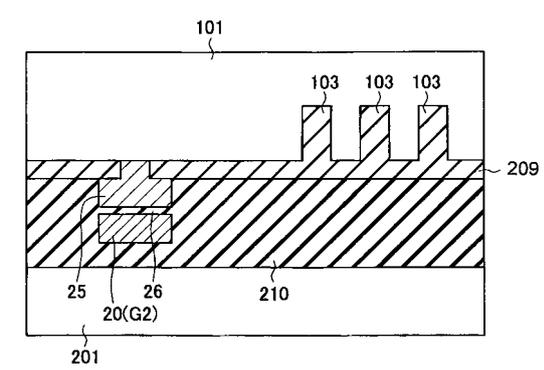
【図 2 8】



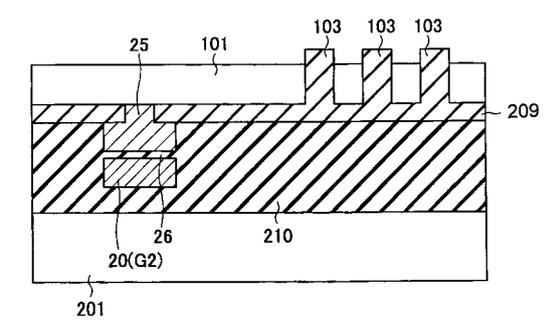
【図 2 9】



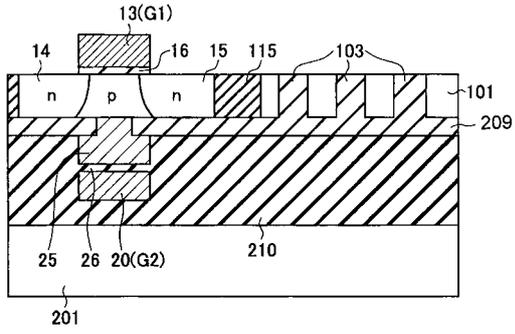
【図 3 0】



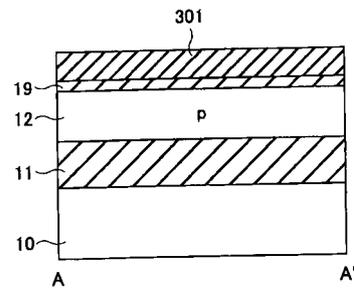
【図 3 1】



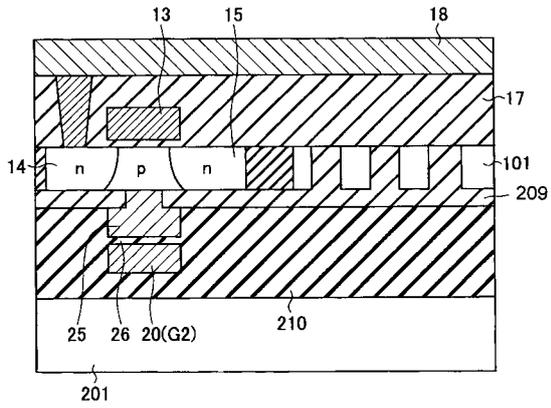
【 3 2 】



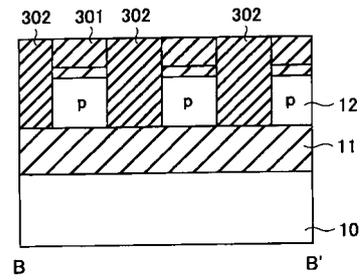
【 3 4 A 】



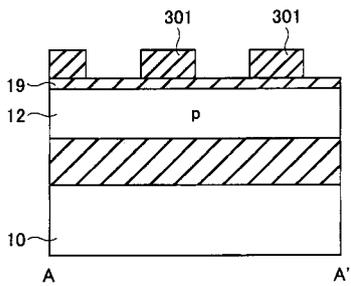
【 3 3 】



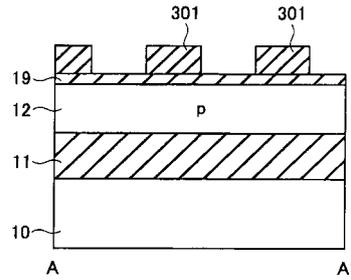
【 3 4 B 】



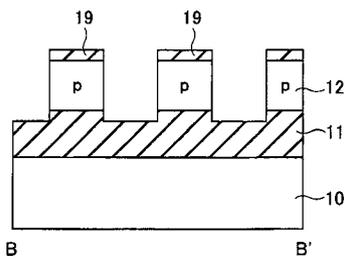
【 3 5 A 】



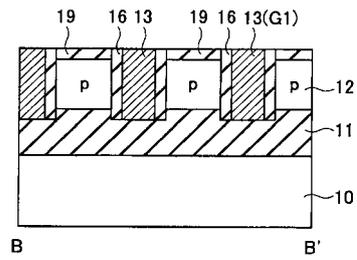
【 3 6 A 】



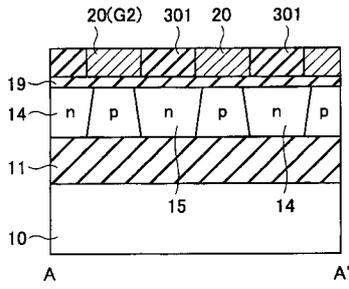
【 3 5 B 】



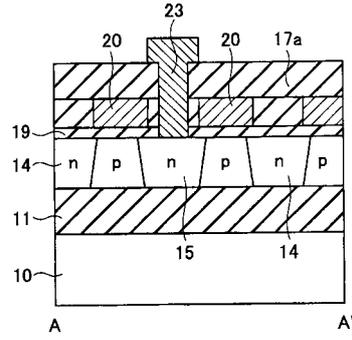
【 3 6 B 】



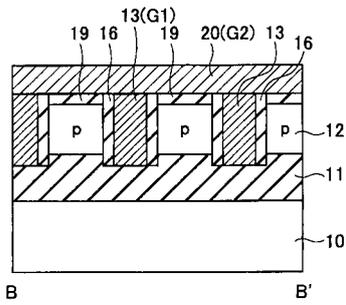
【 図 3 7 A 】



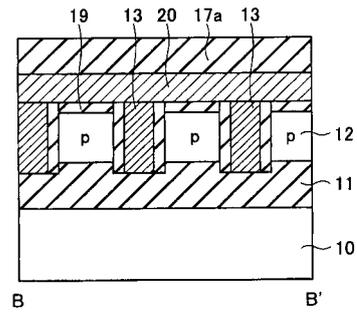
【 図 3 8 A 】



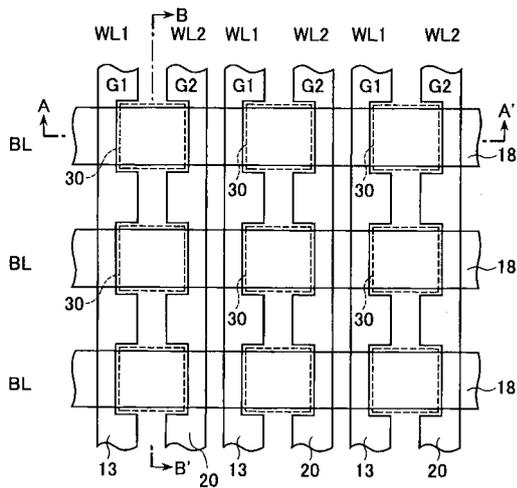
【 図 3 7 B 】



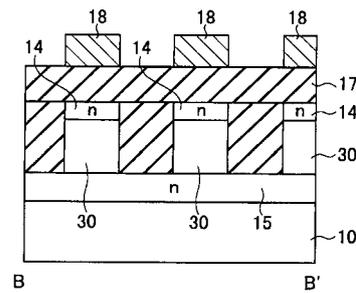
【 図 3 8 B 】



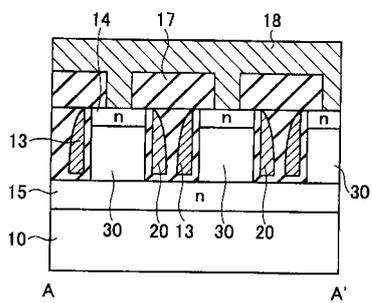
【 図 3 9 A 】



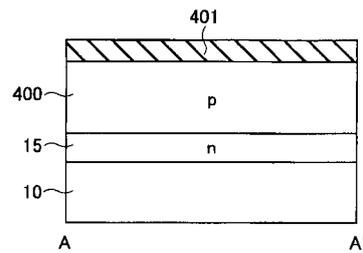
【 図 3 9 C 】



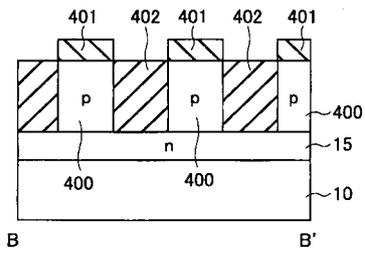
【 図 3 9 B 】



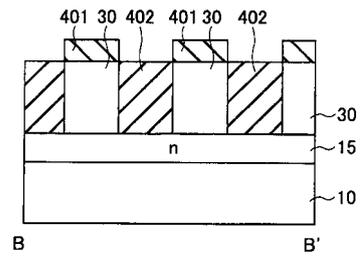
【 図 4 0 A 】



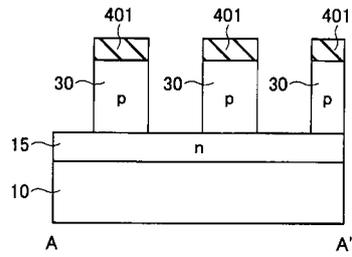
【 図 4 0 B 】



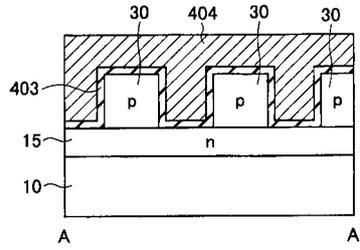
【 図 4 1 B 】



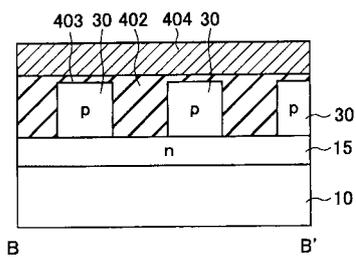
【 図 4 1 A 】



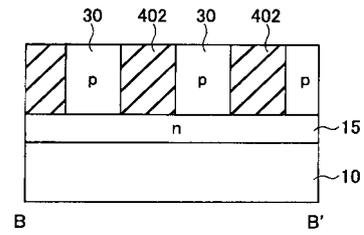
【 図 4 2 A 】



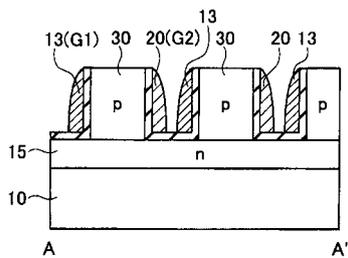
【 図 4 2 B 】



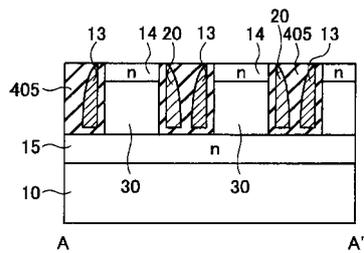
【 図 4 3 B 】



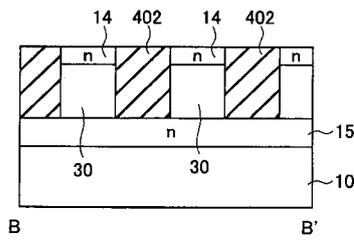
【 図 4 3 A 】



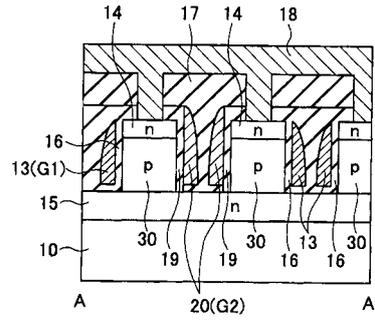
【 図 4 4 A 】



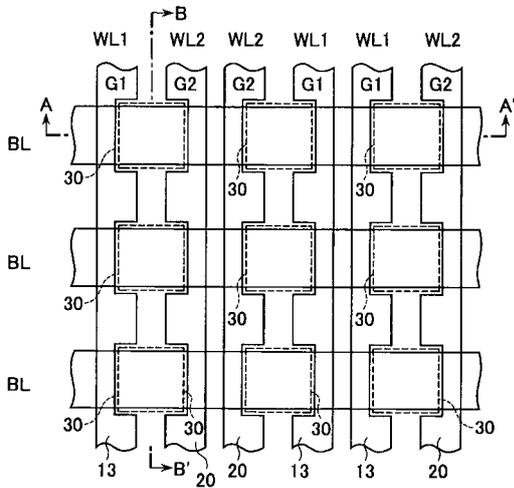
【 図 4 4 B 】



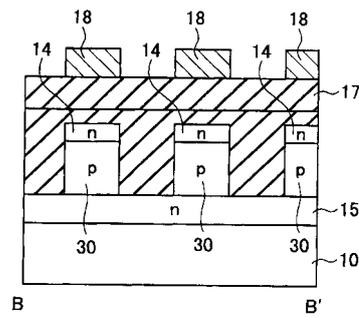
【 図 4 5 B 】



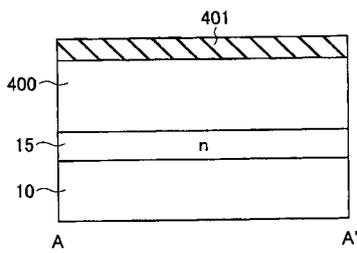
【 図 4 5 A 】



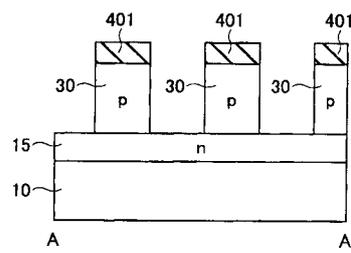
【 図 4 5 C 】



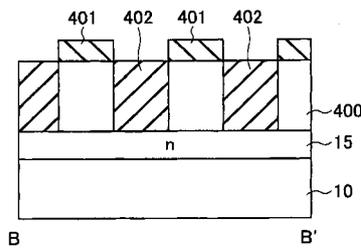
【 図 4 6 A 】



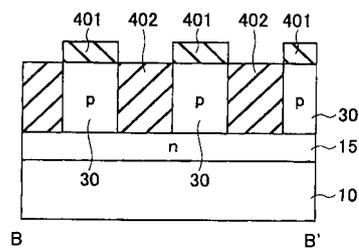
【 図 4 7 A 】



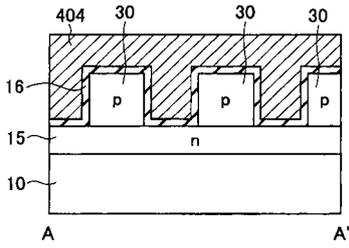
【 図 4 6 B 】



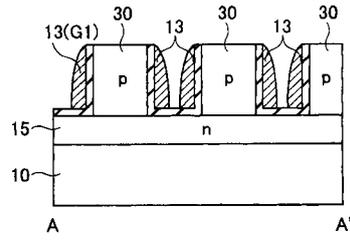
【 図 4 7 B 】



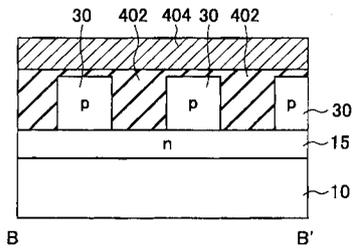
【 図 4 8 A 】



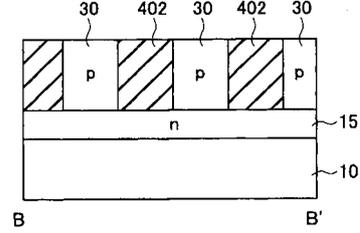
【 図 4 9 A 】



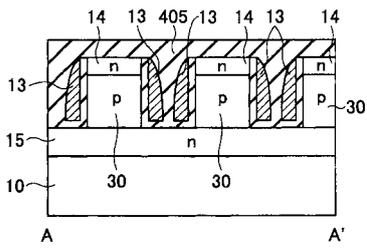
【 図 4 8 B 】



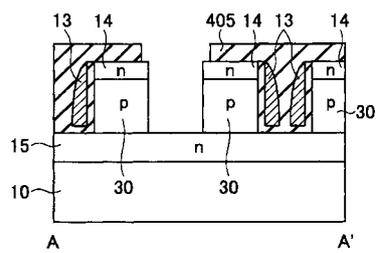
【 図 4 9 B 】



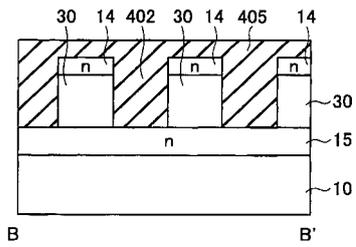
【 図 5 0 A 】



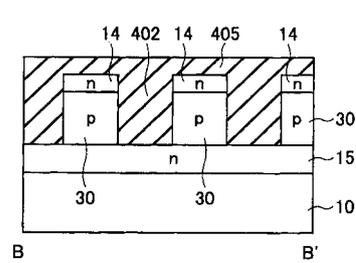
【 図 5 1 A 】



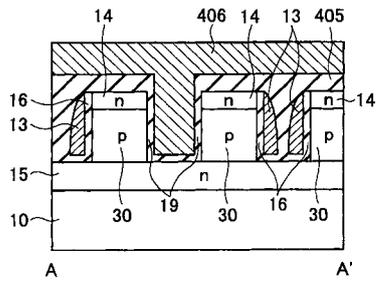
【 図 5 0 B 】



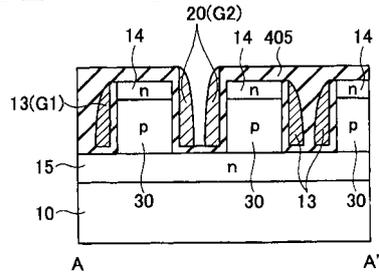
【 図 5 1 B 】



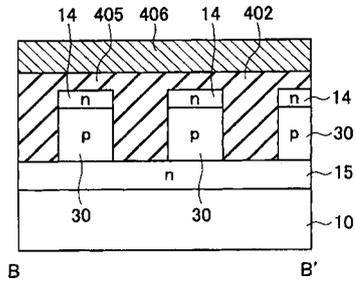
【 5 2 A 】



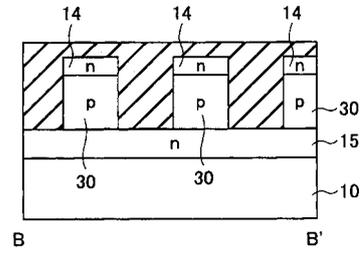
【 5 3 A 】



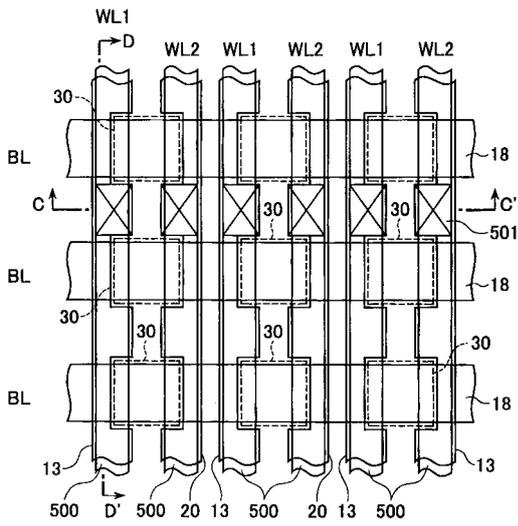
【 5 2 B 】



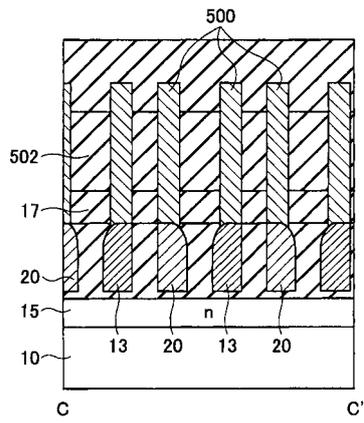
【 5 3 B 】



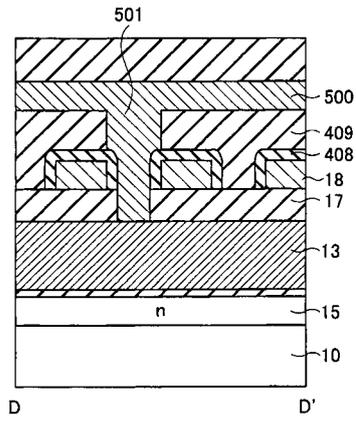
【 5 4 A 】



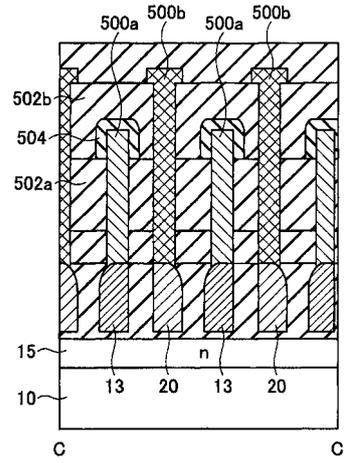
【 5 4 B 】



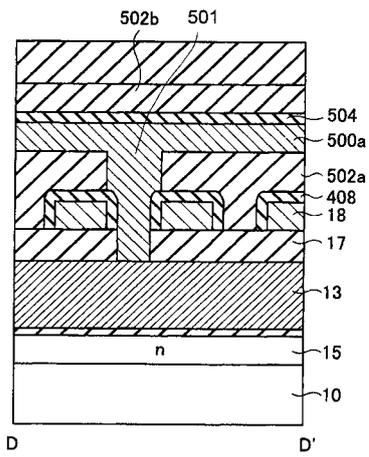
【 図 5 4 C 】



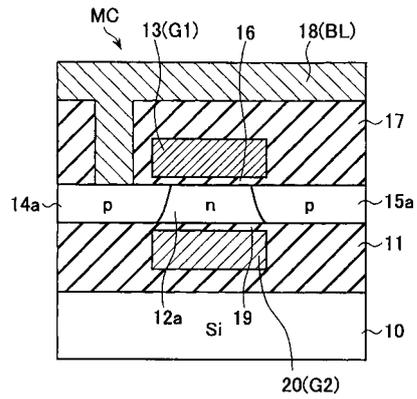
【 図 5 5 A 】



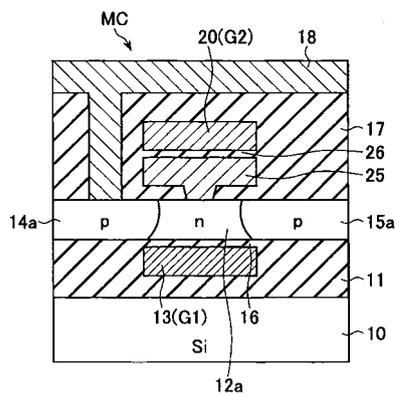
【 図 5 5 B 】



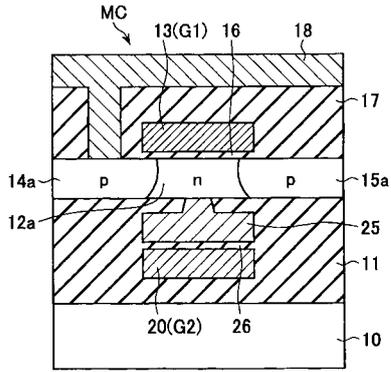
【 図 5 6 】



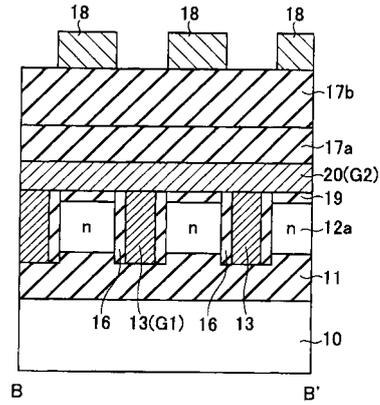
【 図 5 7 】



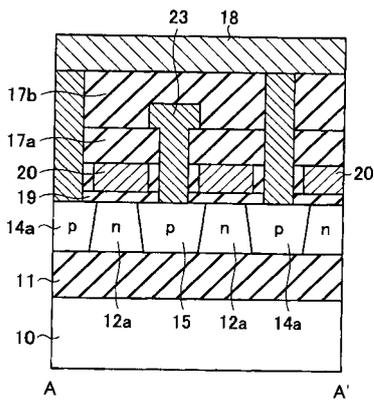
【図58】



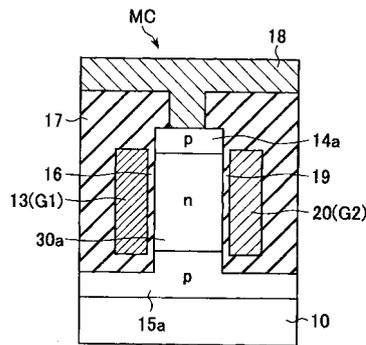
【図59B】



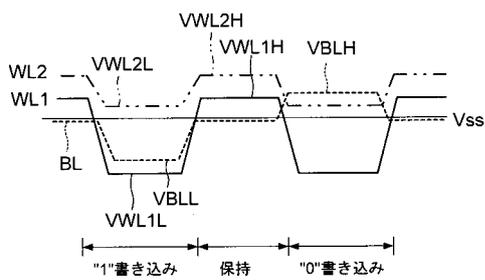
【図59A】



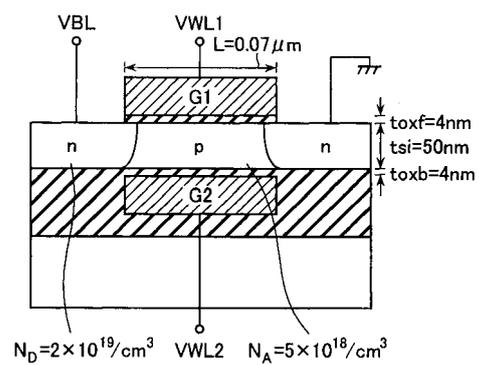
【図60A】



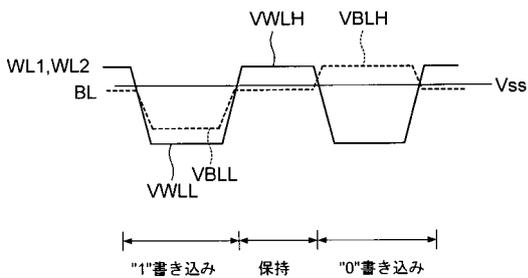
【図60B】



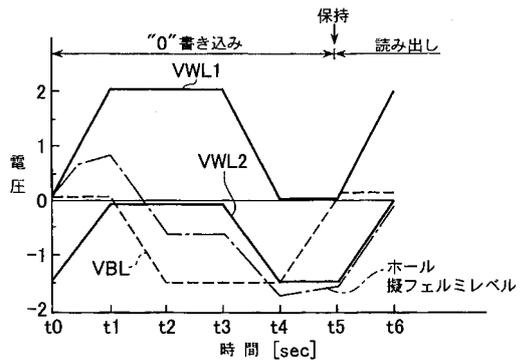
【図61】



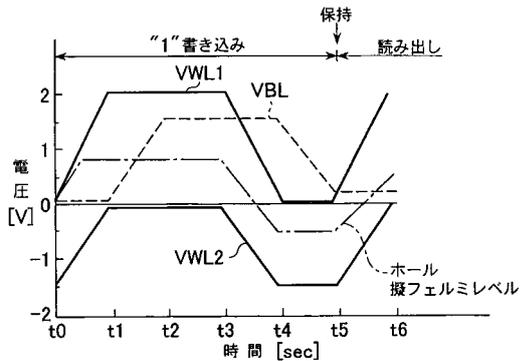
【図60C】



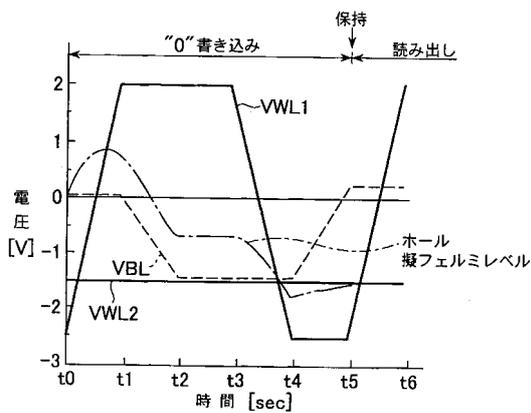
【図62】



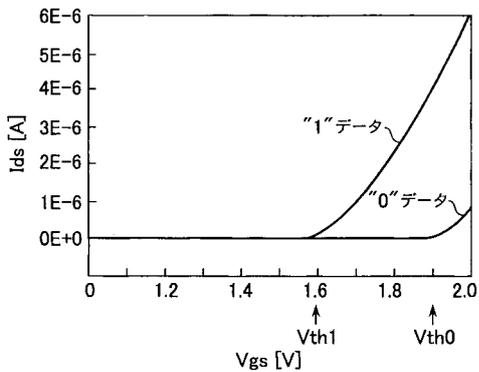
【 図 6 3 】



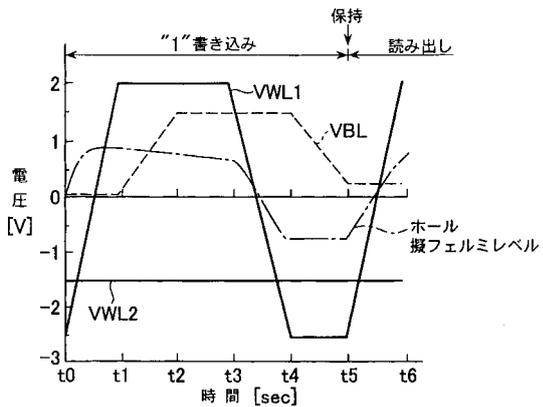
【 図 6 5 】



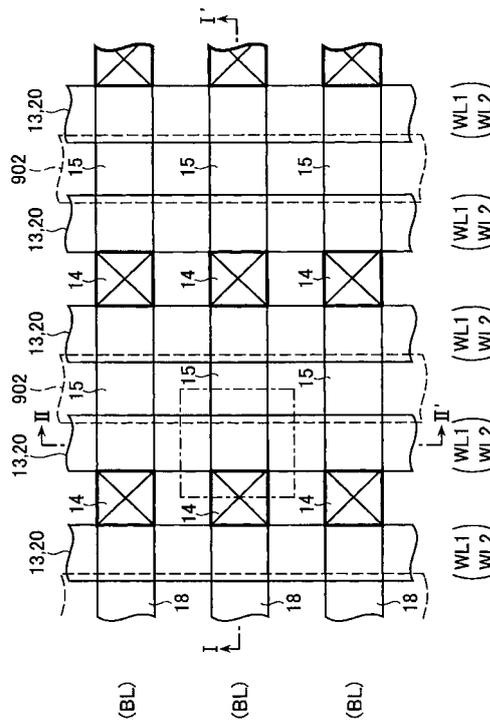
【 図 6 4 】



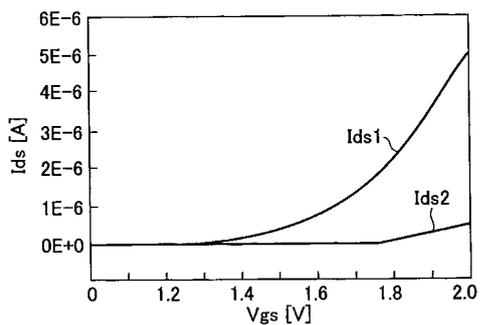
【 図 6 6 】



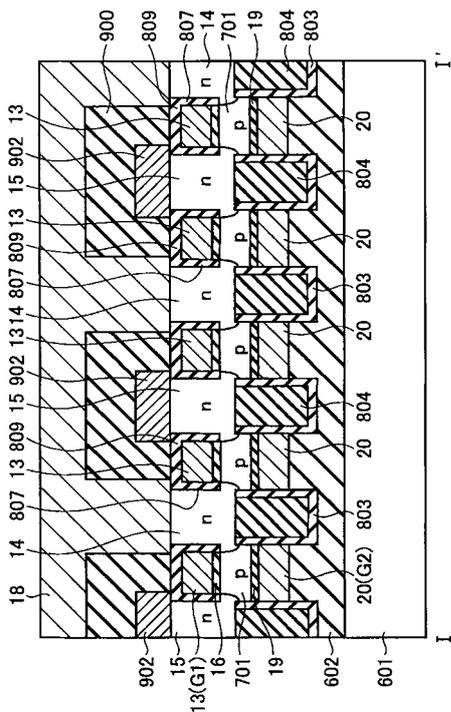
【 図 6 8 A 】



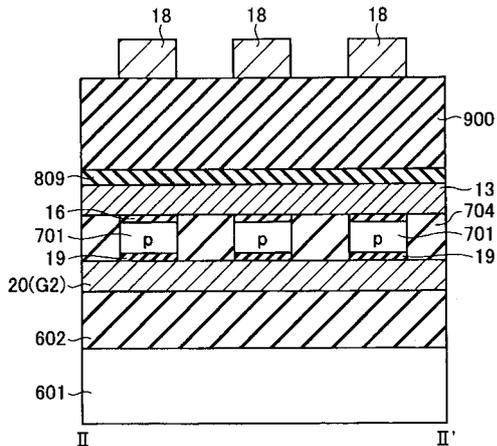
【 図 6 7 】



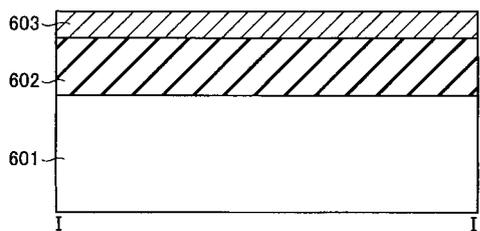
【 図 6 8 B 】



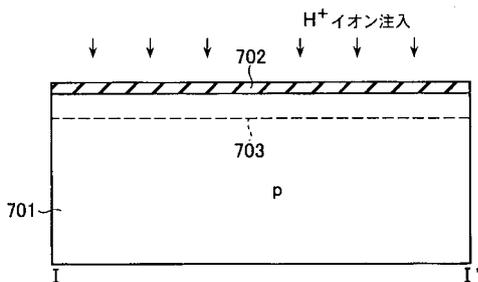
【 図 6 8 C 】



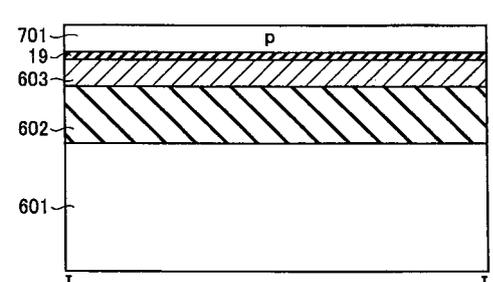
【 図 6 9 】



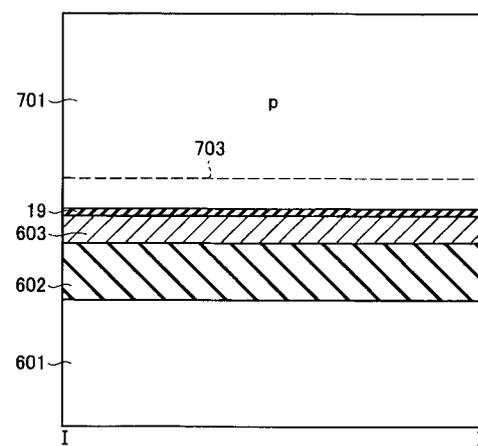
【 図 7 0 】



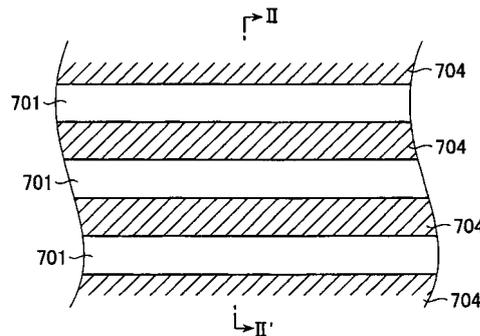
【 図 7 2 】



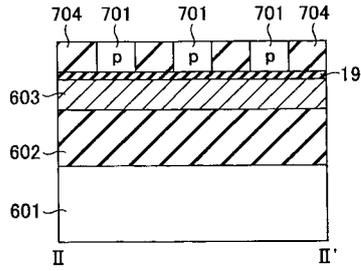
【 図 7 1 】



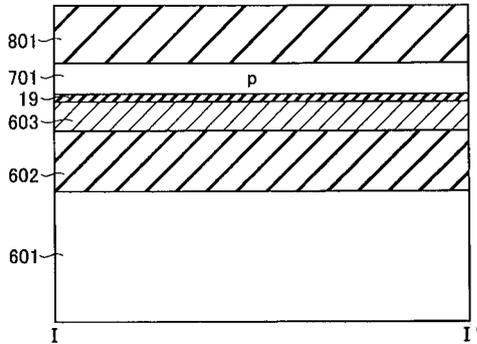
【 図 7 3 A 】



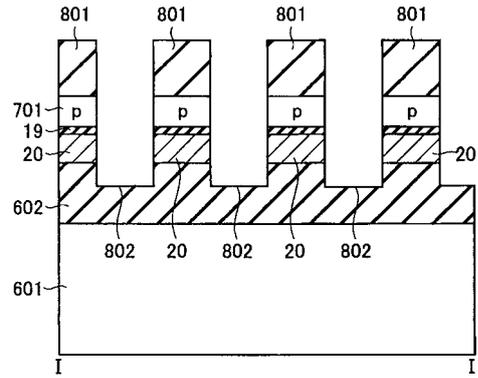
【 図 7 3 B 】



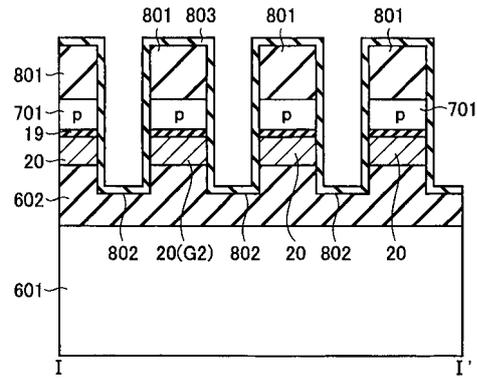
【 図 7 4 】



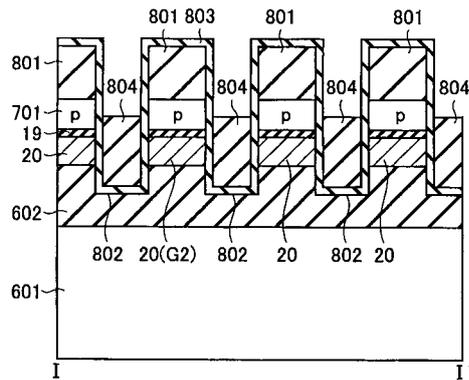
【 図 7 5 】



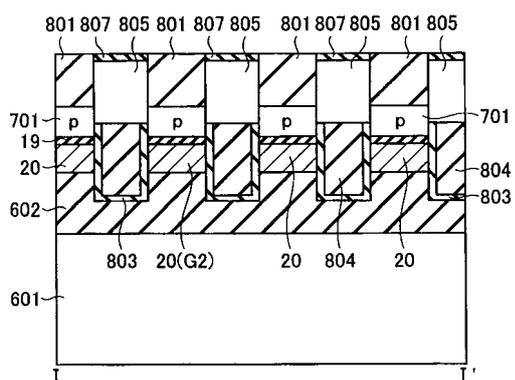
【 図 7 6 】



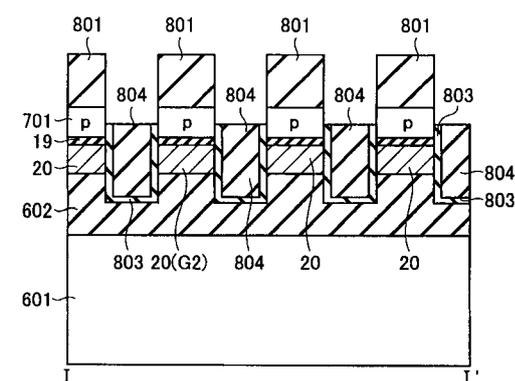
【 図 7 7 】



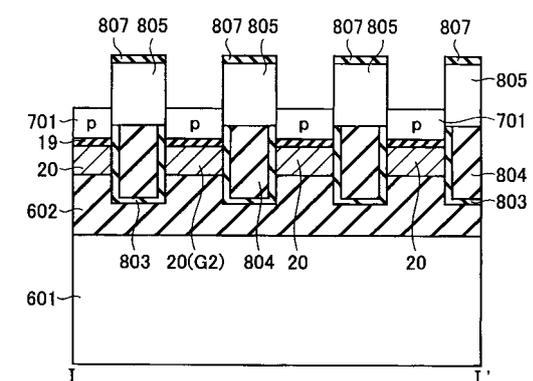
【 図 7 9 】



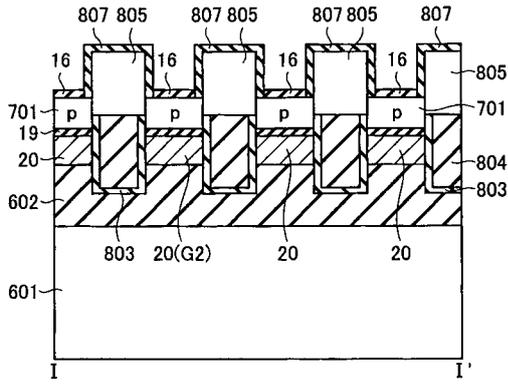
【 図 7 8 】



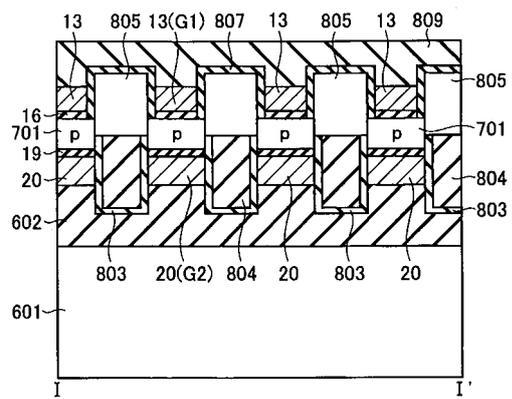
【 図 8 0 】



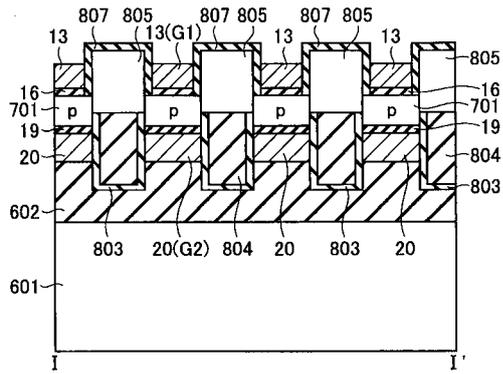
【 図 8 1 】



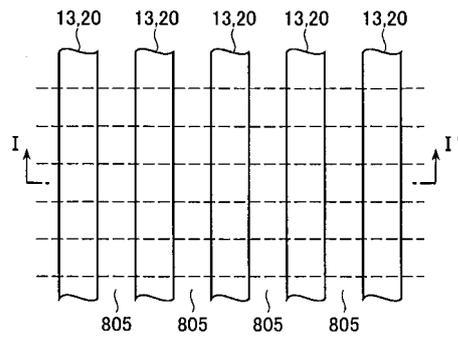
【 図 8 3 】



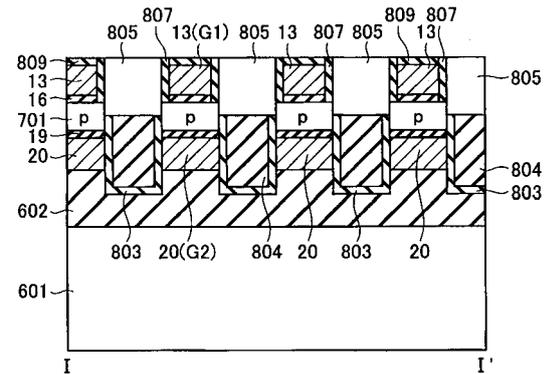
【 図 8 2 】



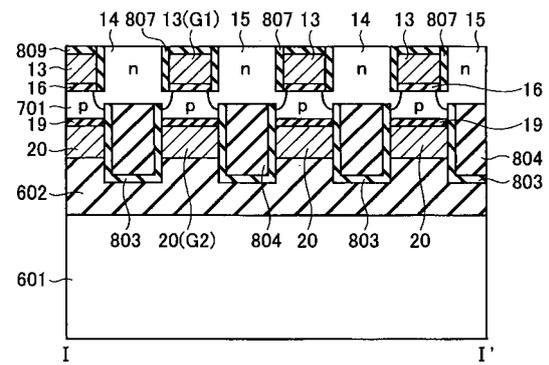
【 図 8 4 A 】



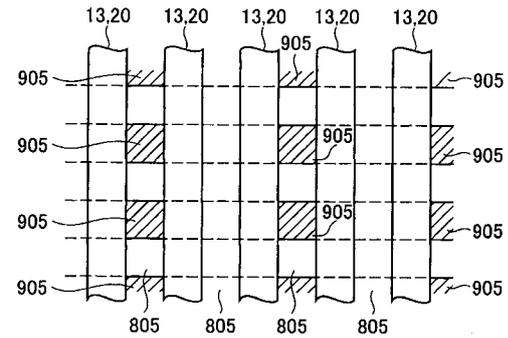
【 図 8 4 B 】



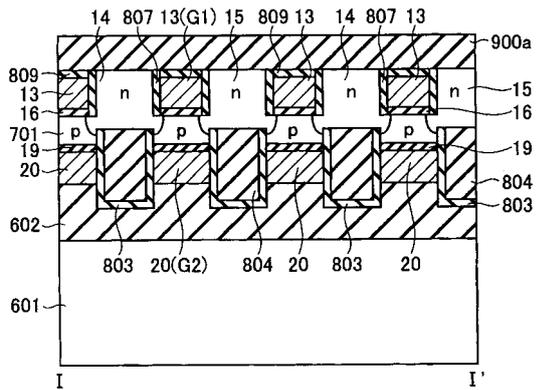
【 図 8 6 】



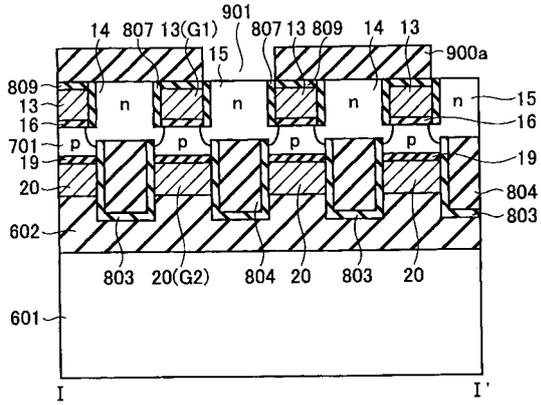
【 図 8 5 】



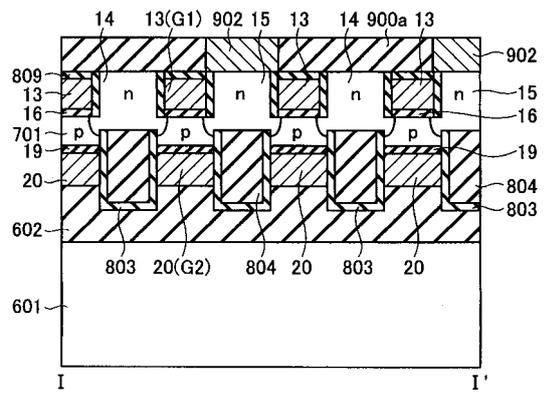
【 図 8 7 】



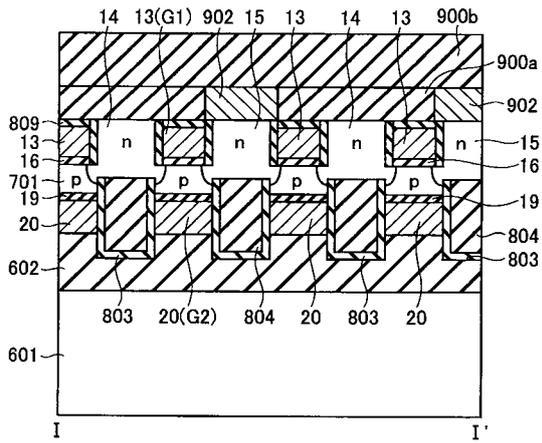
【 図 8 8 】



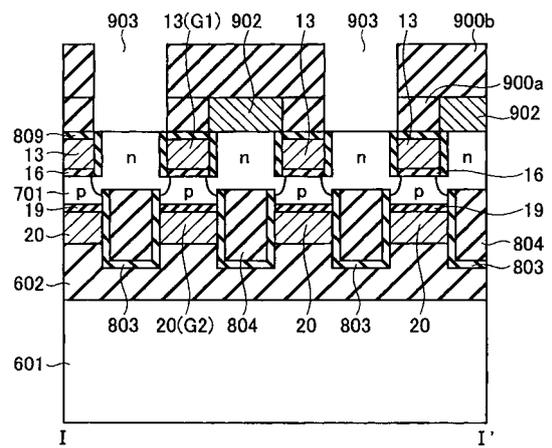
【 図 8 9 】



【 図 9 0 】



【 図 9 1 】



フロントページの続き

(51) Int.Cl. F I

H 0 1 L 29/786 (2006.01)

(72)発明者 岩 田 佳 久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

(72)発明者 大 沢 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

(72)発明者 山 田 敬

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内

審査官 井原 純

(56)参考文献 特開平11-238811(JP,A)

特開平07-099251(JP,A)

特開昭56-105666(JP,A)

特開平07-321332(JP,A)

特開平08-162640(JP,A)

特開平05-198812(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

G11C 11/401

G11C 11/404

G11C 11/407

H01L 27/108

H01L 29/786