

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510094031.9

[45] 授权公告日 2008 年 2 月 13 日

[11] 授权公告号 CN 100369265C

[22] 申请日 2005. 8. 26

[21] 申请号 200510094031.9

[73] 专利权人 东南大学

地址 210096 江苏省南京市四牌楼 2 号

[72] 发明人 孙伟锋 时龙兴 易扬波 陆生礼
宋慧滨

[56] 参考文献

US6376289B1 2002. 4. 23

CN1449057A 2003. 10. 15

US6097063A 2000. 8. 1

CN1231066A 1999. 10. 6

US6794719B2 2004. 9. 21

US6777746B2 2004. 8. 17

US6774390B2 2004. 8. 10

US6028337A 2000. 2. 22

US6800917B2 2004. 10. 5

审查员 陈浩

[74] 专利代理机构 南京经纬专利商标代理有限公司

代理人 陆志斌

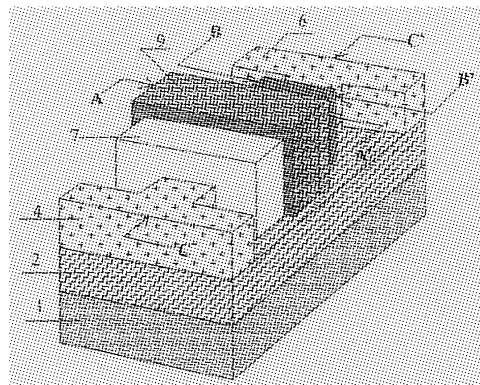
权利要求书 2 页 说明书 4 页 附图 3 页

[54] 发明名称

三维多栅高压 P 型横向双扩散金属氧化物半导体管

[57] 摘要

本发明公开了一种用作高压器件的三维多栅高压 P 型横向双扩散金属氧化物半导体管，包括：P 型衬底，在 P 型衬底上设有氧化层，在氧化层上设有柱状 P 型漂移区，在氧化层上且位于 P 型漂移区两端分别相邻设置 P 型漏和 P 沟道，在氧化层上且位于与 P 沟道相邻的位置设有 P 型源，在 P 型漂移区的表面包覆有场氧化层，在 P 沟道的表面包覆有栅氧层，在场氧化层和栅氧层的表面包覆有多晶硅层；本发明具有结构紧凑且能与标准 SOI 金属氧化物半导体工艺相兼容，在相同的击穿电压下，导通电阻小于传统的高压横向双扩散金属氧化物半导体管的三分之一，而电流密度增加 2 倍以上等优点。



1、一种用作高压器件的三维多栅高压 P 型横向双扩散金属氧化物半导体管，包括：P 型衬底 (1)，在 P 型衬底 (1) 上设有氧化层 (2)，其特征在于在氧化层 (2) 上设有柱状 P 型漂移区 (3)，在氧化层 (2) 上且位于 P 型漂移区 (3) 两端分别相邻设置 P 型漏 (4) 和 P 沟道 (5)，在氧化层 (2) 上且位于与 P 沟道 (5) 相邻的位置设有 P 型源 (6)，在 P 型漂移区 (3) 的表面包覆有场氧化层 (7)，在 P 沟道 (5) 的表面包覆有栅氧化层 (8)，在场氧化层 (7) 和栅氧化层 (8) 的表面包覆有多晶硅层 (9)，在氧化层 (2) 上且位于 P 型漂移区 (3) 和 P 沟道 (5) 的下方设有空腔 (21)，在空腔 (21) 内设有场氧化底层 (71)、栅氧化底层 (81) 和多晶硅底层 (91)，场氧化底层 (71) 位于 P 型漂移区 (3) 的下方且 P 型漂移区 (3) 被设置于由场氧化层 (7) 与场氧化底层 (71) 围成的空间内，栅氧化底层 (81) 位于 P 沟道 (5) 的下方且 P 沟道 (5) 被设置于由栅氧化层 (8) 与栅氧化底层 (81) 围成的空间内，多晶硅底层 (91) 位于场氧化底层 (71) 与栅氧化底层 (81) 下方，上述栅氧化层 (8) 和栅氧化底层 (81) 及部分场氧化层 (7) 和部分场氧化底层 (71) 位于由多晶硅层 (9) 与多晶硅底层 (91) 围成的空间内。

2、一种用于制造权利要求 1 所述的三维多栅高压 P 型横向双扩散金属氧化物半导体管的制备工艺，其特征在于先制备 P 型衬底，再在 P 型衬底上制备氧化层，在氧化层上生长 P 型硅，在一部分 P 型硅上进行 P 型掺杂，形成 P 型漂移区，在 P 型漂移区的两侧表面和上表面湿热氧化生长并形成场氧化层，在另一部分 P 型硅上进行 N 型掺杂，形成 P 型沟道，在 P 型沟道的两侧表面和上表面上干热氧化生长并形成栅氧化层，在 P 型沟道的两侧表面和上表面以及 P 型漂移区的部分两侧表面和部分上表面上淀积多晶硅并形成多晶硅层，最后，进行源、漏 P 型杂质注入，刻孔和金属引线制备。

3、根据权利要求 2 所述的制备工艺，其特征在于在氧化层上且位于 P 型漂移区及 P 型沟道下方的区域刻蚀空腔，在空腔的底部淀积多晶硅，并刻蚀掉多余的多晶硅，形成多晶硅底层，再在空腔内淀积二氧化硅，形成场氧化底层和栅氧化底层，然后进行表面抛光，使氧化层、场氧化底层和栅氧化底层在同一个平面上，在 P 型漂移区的两侧表面和上表面湿热氧化生长并形成场氧化层时，将场氧化层与场氧化底层连接，在 P 型沟道的两侧表面和上表面上干热氧化生长并形成栅氧化层时，将栅氧化层与栅氧化底层连接，在 P 型沟道

的两侧表面和上表面以及 P 型漂移区的部分两侧表面和部分上表面上淀积多晶硅并形成多晶硅层时，将多晶硅层与多晶硅底层连接。

三维多栅高压 P 型横向双扩散金属氧化物半导体管

技术领域

本发明涉及一种 P 型横向双扩散金属氧化物半导体管，尤其涉及一种可用于集成电路的三维多栅高压 P 型横向双扩散金属氧化物半导体管。

背景技术

横向双扩散金属氧化物半导体高压器件具有开关特性好、功耗小等优点，更为重要的是横向双扩散金属氧化物半导体型高压器件易于兼容标准低压金属氧化物半导体工艺，降低芯片的生产成本，因此在 10V-600V 的应用范围内金属氧化物半导体型高压集成器件具有绝对优势。采用 SOI 材料（绝缘体上硅结构）做成的横向双扩散金属氧化物半导体高压器件具有更好的击穿特性，更好的温度特性，同时和其他电路的隔离更加容易和有效。但是横向双扩散金属氧化物半导体高压器件最大的缺点就是导通电阻大，电流密度小。但是，在许多高压集成芯片的应用中，要求芯片的输出功率很大，这就要求芯片具有较大的输出电流。正是由于应用要求的不断提高，大电流的金属氧化物半导体型高压器件的新型结构不断出现，但是这些结构还都没有最大地利用芯片面积，在相同的击穿电压下，还没有达到最小的导通电阻和最大的饱和电流。

发明内容

本发明提供一种结构紧凑且能与标准 SOI 金属氧化物半导体工艺相兼容的三维多栅高压 P 型横向双扩散金属氧化物半导体管，本发明在相同的击穿电压下，导通电阻小于传统的高压横向双扩散金属氧化物半导体管的三分之一，而电流密度增加 2 倍以上。

本发明采用如下技术方案：

一种用作高压器件的三维多栅高压 P 型横向双扩散金属氧化物半导体管，包括：P 型衬底，在 P 型衬底上设有氧化层，在氧化层上设有柱状 P 型漂移区，在氧化层上且位于 P 型漂移区两端分别相邻设置 P 型漏和 P 沟道，在氧化层上且位于与 P 沟道相邻的位置设有 P 型源，在 P 型漂移区的表面包覆有场氧化层，在 P 沟道的表面包覆有栅氧层，在场氧化

层和栅氧层的表面包覆有多晶硅层。

与现有技术相比，本发明具有如下优点：

(1) 本发明引入的硅-氧化层-硅的结构，这就自然形成了 SOI 结构，SOI 结构材料和普通的硅材料相比，在 SOI 材料上制备的横向双扩散 P 型高压器件具有更好的击穿特性，具有更好的温度特性。

(2) 本发明引入的 SOI 横向双扩散 P 型高压器件与传统的硅材料横向双扩散 P 型高压器件相比，首先在制备材料上不同，然后其制备工艺不同，必须采用新的制备工艺。通过新的制备工艺可以在相同的版图面积上增加 2—3 个多晶硅栅，将这 2—3 个多晶硅栅在制备时连在一起，从而增加了 2—3 个沟道，虽然由于在各个面的载流子的迁移率不同，导通电阻不会降低 3 倍，但实验结果表明导通电阻将是传统的三分之一左右，而饱和电流是传统的 3 倍左右，这两个特性将根据不同的制备方法有所变化，但是横向双扩散 P 型高压器件的性能得到了大大的提高，可以大大降低横向双扩散 P 型高压器件的功耗。

(3) 与普通的硅材料相比，在 SOI 材料上制备的横向双扩散 P 型高压器件更加容易和其他器件隔离，而且隔离效果更加。

(4) 本发明制备的 SOI 横向双扩散 P 型高压器件易与标准的 SOI 低压工艺兼容集成。

(5) 本发明不仅在硅表面形成沟道，而且在硅体内形成了 3 个沟道，这样充分利用芯片面积，使得芯片结构更加紧凑，因此在达到同样的芯片性能情况下，芯片面积可以大大节省。

(6) 本发明的制备工艺简单，可以基于现有的 CMOS 工艺实现，因此可以兼容现有的 CMOS 工艺，从而实现功率集成电路的加工制备。

附图说明

图 1 是本发明的结构示意图。

图 2 是本发明实施例 A-A' 的结构剖视图。

图 3 是本发明实施例 B-B' 结构剖视图。

图 4 是本发明实施例 C-C' 的结构剖视图。

图 5 是本发明实施例的局部结构剖视图。

具体实施方式

实施例 1

一种用作高压器件的三维多栅高压 P 型横向双扩散金属氧化物半导体管，包括：P 型衬底 1，在 P 型衬底 1 上设有氧化层 2，在氧化层 2 上设有柱状 P 型漂移区 3，在氧化层 2 上且位于 P 型漂移区 3 两端分别相邻设置 P 型漏 4 和 P 沟道 5，在氧化层 2 上且位于与 P 沟道 5 相邻的位置设有 P 型源 6，在 P 型漂移区 3 的表面包覆有场氧化层 7，在 P 沟道 5 的表面包覆有栅氧层 8，在场氧化层 7 和栅氧层 8 的表面包覆有多晶硅层 9，在本实施例中，在氧化层 2 上且位于 P 型漂移区 3 和 P 沟道 5 的下方设有空腔 21，在空腔 21 内设有场氧化底层 71、栅氧底层 81 和多晶硅底层 91，场氧化底层 71 位于 P 型漂移区 3 的下方且 P 型漂移区 3 被设置于由场氧化层 7 与场氧化底层 71 围成的空间内，栅氧底层 81 位于 P 沟道 5 的下方且 P 沟道 5 被设置于由栅氧层 8 与栅氧底层 81 围成的空间内，多晶硅底层 91 位于场氧化底层 71 与栅氧底层 81 下方，上述栅氧层 8 和栅氧底层 81 及部分场氧化层 7 和场氧化底层 71 位于由多晶硅层 9 与多晶硅底层 91 围成的空间内。

实施例 2

一种用于制造三维多栅高压 P 型横向双扩散金属氧化物半导体管的制备工艺，其特征在于先制备 P 型衬底，再在 P 型衬底制备氧化层，在氧化层上生长 P 型硅，在一部分 P 型硅上进行 P 型掺杂，形成 P 型漂移区，在 P 型漂移区的两侧表面和上表面湿热氧化生长并形成场氧化层，在另一部分 P 型硅上进行 N 型掺杂，形成 P 型沟道，在 P 型沟道的两侧表面和上表面上干热氧化生长并形成栅氧化层，在 P 型沟道的两侧表面和上表面以及 P 型漂移区的部分两侧表面和上表面上淀积多晶硅并形成多晶硅层，最后，进行源、漏 P 型杂质注入，刻孔和金属引线制备，在本实施例中，在氧化层上且位于 P 型漂移区及 P 型沟道下方的区域刻蚀空腔，在空腔的底部淀积多晶硅，并刻蚀掉多余的多晶硅，形成多晶硅底层，再在空腔内淀积二氧化硅，形成场氧化底层和栅氧化底层，然后进行表面抛光，使氧化层、场氧化底层和栅氧化底层在同一个平面上，在 P 型漂移区的两侧表面和上表面湿热氧化生长并形成场氧化层时，将场氧化层与场氧化底层连接，在 P 型沟道的两侧表面和上表面上干热氧化生长并形成栅氧化层时，将栅氧化层与栅氧化底层连接，在 P 型沟道的两侧表面和上表面以及 P 型漂移区的部分两侧表面和上表面上淀积多晶硅并形成多晶硅层时，将多晶硅层与多晶硅底层连接。

本实施例的具体工艺流程如下：

1. 制备 P 型衬底，浓度为 $2 \times 10^{15} \text{cm}^{-3}$ 。
2. 在 P 型衬底制备氧化层，氧化层厚度为 $4 \mu\text{m}$ 。

3. 在氧化层上一个 $2\mu\text{m}$ 深的槽，用来制备放置多晶硅、场氧化层和栅氧化层。
4. 淀积底部的多晶硅，多晶硅的厚度为 $1\mu\text{m}$ ，并刻蚀掉多余的多晶硅。
5. 淀积二氧化硅，形成场氧化层和栅氧化层，然后进行表面抛光，使氧化层、场氧化层和栅氧化层在同一个平面上，场氧化层的厚度为 $1\mu\text{m}$ ，栅氧化层的厚度为 $0.025\mu\text{m}$ 。
6. 在氧化层、场氧化层和栅氧化层上外延生长 $4\mu\text{m}$ 厚的 P 型硅，浓度为 $1\times 10^{15}\text{cm}^{-3}$ 。
7. 在栅氧化层上方的 P 型硅进行 N 型掺杂，形成 P 型沟道区，浓度为 $3\times 10^{16}\text{cm}^{-3}$ 。
8. 在场氧化层上方的 P 型硅进行 P 型掺杂，形成 P 型漂移区，浓度为 $1\times 10^{16}\text{cm}^{-3}$ 。
9. 湿热氧化生长，在两个侧面和表面形成场氧化层，和底部的场氧化层相连接，厚度为 $1\mu\text{m}$ 。
10. 干热氧化生长，在两个侧面和表面形成栅氧化层，和底部的栅氧化层相连接，厚度为 $0.025\mu\text{m}$ 。
11. 在两个侧面和表面淀积多晶硅，和底部的多晶硅相连接，厚度为 $1\mu\text{m}$ 。
12. 源、漏 P 型杂质注入，浓度为 $1\times 10^{21}\text{cm}^{-3}$ 。
13. 刻孔和金属引线制备。

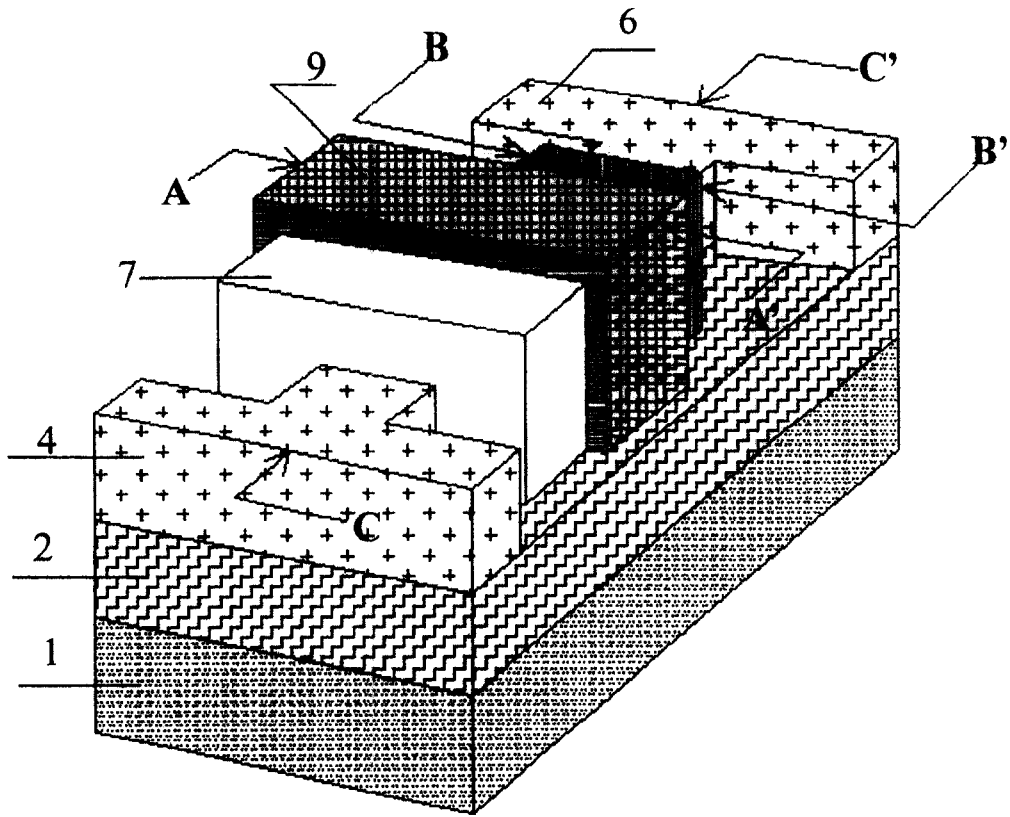


图 1

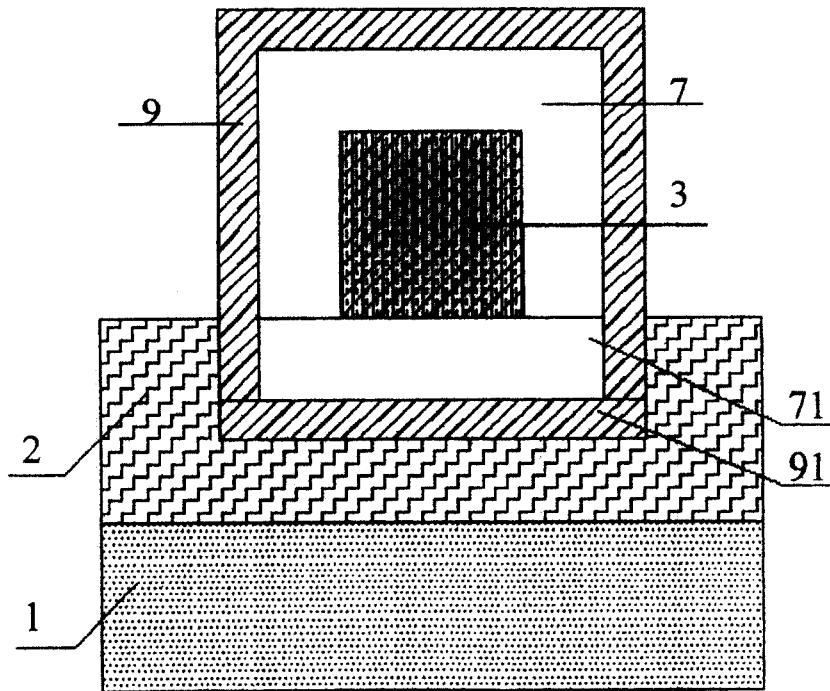


图 2

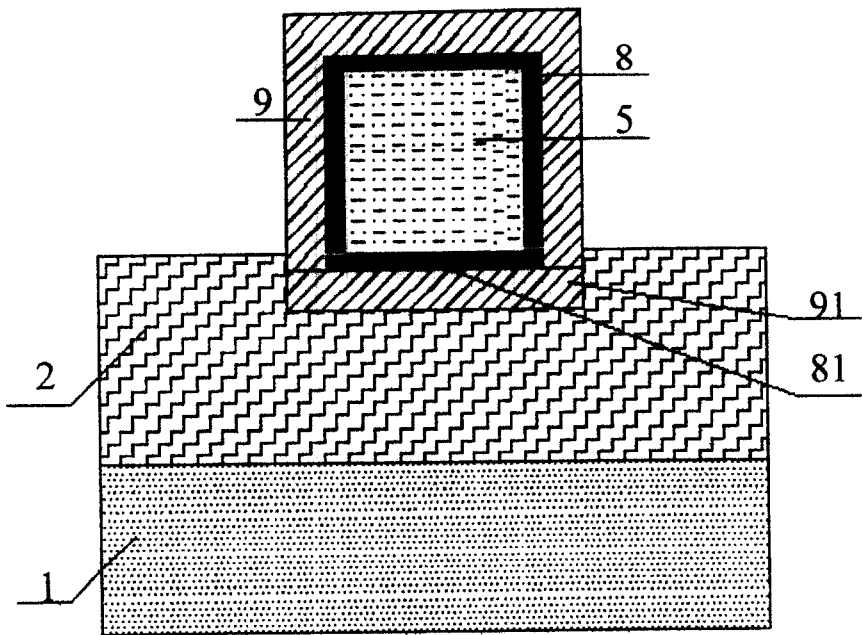


图 3

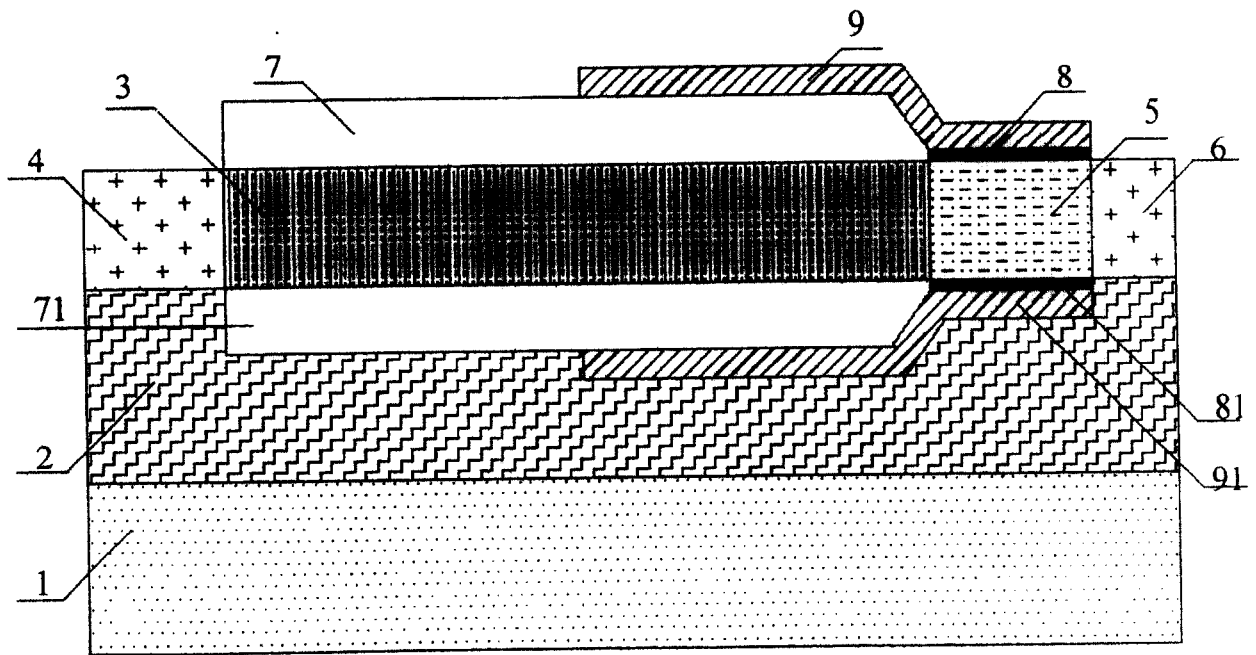


图 4

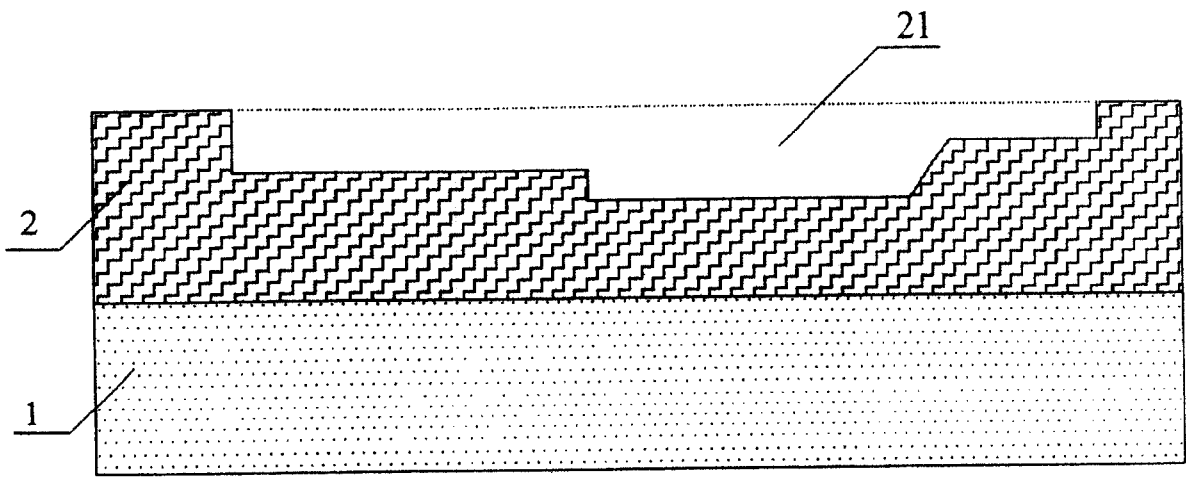


图 5