

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3739104号  
(P3739104)

(45) 発行日 平成18年1月25日(2006.1.25)

(24) 登録日 平成17年11月11日(2005.11.11)

(51) Int. Cl.

F I

G 1 1 C 16/02 (2006.01)  
G 1 1 C 16/06 (2006.01)  
H O 1 L 21/8247 (2006.01)  
H O 1 L 27/115 (2006.01)  
H O 1 L 27/105 (2006.01)

G 1 1 C 17/00 6 1 3  
G 1 1 C 17/00 6 3 1  
H O 1 L 27/10 4 3 4  
H O 1 L 27/10 4 4 4 Z

請求項の数 18 (全 23 頁) 最終頁に続く

(21) 出願番号 特願平7-38576  
(22) 出願日 平成7年2月27日(1995.2.27)  
(65) 公開番号 特開平8-235878  
(43) 公開日 平成8年9月13日(1996.9.13)  
審査請求日 平成14年2月19日(2002.2.19)

(73) 特許権者 503121103  
株式会社ルネサステクノロジ  
東京都千代田区丸の内二丁目4番1号  
(74) 代理人 100068504  
弁理士 小川 勝男  
(72) 発明者 城野 雄介  
東京都小平市上水本町五丁目20番1号  
株式会社日立製作所半導体事業部内  
(72) 発明者 河原 尊之  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内  
(72) 発明者 木村 勝高  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のワード線と、  
複数のビット線と、  
前記ワード線と前記ビット線との交点に配置され、それぞれフローティングゲートを有する複数のメモリセルを備えるメモリアレイと、  
ビット線上の信号を増幅し保持する複数の増幅・情報保持手段とを少なくとも含む不揮発性半導体記憶装置において、  
前記メモリアレイを備えるメモリマットが第1のバンクと第2のバンクとに分割され、  
前記第1のバンクに属するビット線と前記第2のバンクに属するビット線とがビット線対を形成するように組み合わせられ、それぞれのビット線対が一つの前記増幅・情報保持手段を共有し、  
所定数のビット線対及び前記ビット線対と同数の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を設け、  
前記ブロックを選択的に制御するスイッチ手段は、  
ビット線をプリチャージするときに電荷を供給するための電源線と接続する回路を各ブロック単位で選択的に制御するスイッチと、  
ビット線を各ブロック単位で選択的にディスチャージするスイッチと、  
増幅・情報保持手段の電源を各ブロック単位で選択的にオン/オフするためのスイッチとを備え、

10

20

各バンクは、外部クロックの2倍の周期で動作するスイッチ手段を介して出力用増幅・情報保持手段に並列接続される第1及び第2の副入出力線を有し、

前記出力用増幅・情報保持手段は、外部クロックと半周期ずれて動作する出力用スイッチ手段を介してそれぞれ各バンクの出力線に接続され、

各バンクの前記第1の副入出力線は外部クロックに同期して動作するスイッチ手段を介して前記各ブロック内の第1の組の複数の増幅・情報保持手段に並列接続され、

前記第2の副入出力線は外部クロックに同期して動作するスイッチ手段を介して前記各ブロック内の第2の組の複数の増幅・情報保持手段に並列接続されることを特徴とする不揮発性半導体記憶装置。

【請求項2】

請求項1記載の不揮発性半導体記憶装置において、

前記第1の副入出力線と接続される前記第1の組の増幅・情報保持手段に格納された一つのワード線に接続されるメモリセルの情報が前記出力用増幅・情報保持手段を介してバンクの出力線から出力されると共に、前記第2の副入出力線に接続される第2の組の増幅・情報保持手段に格納された前記同一ワード線に接続されるメモリセルの情報を前記出力用増幅・情報保持手段に格納するように動作することを特徴とする不揮発性半導体記憶装置。

【請求項3】

請求項1または請求項2に記載の不揮発性半導体記憶装置において、

前記第1の組の増幅・情報保持手段は各ブロック内の奇数番目の増幅・情報保持手段の組であり、前記第2の組の増幅・情報保持手段は各ブロック内の偶数番目の増幅・情報保持手段の組であることを特徴とする不揮発性半導体記憶装置。

【請求項4】

請求項2記載の不揮発性半導体記憶装置において、

一方のバンクのワード線に対して接続されるメモリセルの情報を前記バンクの出力線から出力を行なう間に、他方のバンクのワード線を選択することを特徴とする不揮発性半導体記憶装置。

【請求項5】

請求項2記載の不揮発性半導体記憶装置において、

前記動作は外部クロック信号に同期して行なうことを特徴とする不揮発性半導体記憶装置。

【請求項6】

請求項1記載の不揮発性半導体記憶装置において、

ビット線同士が結線不良または異物による導通不良を生じたブロックに属する、ブロックを選択的に制御するスイッチ手段を選択的に切断する第1の信号選択手段を、2つ以上のブロックごとに1つ設けることを特徴とする不揮発性半導体記憶装置。

【請求項7】

複数のワード線と、

複数のビット線と、

前記ワード線と前記ビット線との交点に配置され、それぞれフローティングゲートを有する複数のメモリセルを備えるメモリアレイと、

ビット線上の信号を増幅し保持する複数の増幅・情報保持手段とを少なくとも含む不揮発性半導体記憶装置において、

前記メモリアレイを備えるメモリマットが第1のバンクと第2のバンクとに分割され、

前記第1のバンクに属するビット線と前記第2のバンクに属するビット線とがビット線対を形成するように組み合わせられ、それぞれのビット線対が一つの前記増幅・情報保持手段を共有し、

所定数のビット線対及び前記ビット線対と同数の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を設け、

前記ブロックを選択的に制御するスイッチ手段は、

10

20

30

40

50

ビット線をプリチャージするときに電荷を供給するための電源線と接続する回路を各ブロック単位で選択的に制御するスイッチと、

ビット線を各ブロック単位で選択的にディスチャージするスイッチと、

増幅・情報保持手段の電源を各ブロック単位で選択的にオン/オフするためのスイッチとを備え、

ビット線同士が結線不良または異物による導通不良を生じたブロックに属する、ブロックを選択的に制御するスイッチ手段を選択的に切断する第1の信号選択手段を、2つ以上のブロックごとに1つ設け、

前記第1及び第2のバンクのワード線に共通接続されたワード線を有する予備メモリマットと、

前記予備メモリマット内の複数のビット線対及び前記ビット線対と同数の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を選択する第2の信号線選択手段とを、更に含むことを特徴とする不揮発性半導体記憶装置。

【請求項8】

複数のワード線と、

複数のビット線と、

前記ワード線と前記ビット線との交点に配置され、それぞれフローティングゲートを有する複数のメモリセルを備えるメモリアレイと、

ビット線上の信号を増幅し保持する複数の増幅・情報保持手段とを少なくとも含む不揮発性半導体記憶装置において、

前記メモリアレイを備えるメモリマットが第1のバンクと第2のバンクとに分割され、

前記第1のバンクに属するビット線と前記第2のバンクに属するビット線とがビット線対を形成するように組み合わせられ、それぞれのビット線対が一つの前記増幅・情報保持手段を共有し、

所定数のビット線対及び前記ビット線対と同数の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を設け、

前記ブロックを選択的に制御するスイッチ手段は、

ビット線をプリチャージするときに電荷を供給するための電源線と接続する回路を各ブロック単位で選択的に制御するスイッチと、

ビット線を各ブロック単位で選択的にディスチャージするスイッチと、

増幅・情報保持手段の電源を各ブロック単位で選択的にオン/オフするためのスイッチとを備え、

ビット線同士が結線不良または異物による導通不良を生じたブロックに属する、ブロックを選択的に制御するスイッチ手段を選択的に切断する第1の信号選択手段を、2つ以上のブロックごとに1つ設け、

前記読み出し側メモリマットとリファレンスマットのワード線に共通接続されたワード線を有する予備メモリマットと、

前記予備メモリマット内の複数のビット線対と1個の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を選択する第2の信号線選択手段とを、更に含むことを特徴とする不揮発性半導体記憶装置。

【請求項9】

請求項7または請求項8に記載の不揮発性半導体記憶装置において、

前記予備メモリマット内のブロックを選択的に制御するスイッチ手段は、

ビット線をプリチャージするときに電荷を供給するための電源線と接続する回路を各ブロック単位で選択的に制御するスイッチと、

ビット線を各ブロック単位で選択的にディスチャージするスイッチと、

増幅・情報保持手段の電源を各ブロック単位で選択的にオン/オフするためのスイッチとを備えることを特徴とする不揮発性半導体記憶装置。

【請求項10】

複数のワード線と、

10

20

30

40

50

- 複数のビット線と、  
前記ワード線と前記ビット線との交点に配置され、それぞれフローティングゲートを有する複数のメモリセルを備えるメモリアレイと、  
ビット線上の信号を増幅し保持する複数の増幅・情報保持手段とを少なくとも含む不揮発性半導体記憶装置において、  
前記メモリアレイを備えるメモリマツトは、第1のバンクと第2のバンクに分割され、  
前記第1のバンクに属するビット線と前記第2のバンクに属するビット線とがビット線対を形成するように組み合わせられ、それぞれのビット線対が一つの前記増幅・情報保持手段を共有し、  
所定数のビット線対及び前記ビット線対と同数の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を設け、  
前記ブロックを選択的に制御するスイッチ手段は、  
ビット線をプリチャージするときに電荷を供給するための電源線と接続する回路を各ブロック単位で選択的に制御するスイッチと、  
ビット線を各ブロック単位で選択的にディスチャージするスイッチと、  
増幅・情報保持手段の電源を各ブロック単位で選択的にオン/オフするためのスイッチとを備え、  
各バンクは、外部クロックの2倍の周期で動作するスイッチ手段を介して出力用増幅・情報保持手段に並列接続される第1及び第2の副入出力線を有し、  
前記出力用増幅・情報保持手段は、外部クロックと半周期ずれて動作する出力用スイッチ手段を介して各バンクの出力線に接続され、  
各バンクの前記第1の副入出力線は外部クロックに同期して動作するスイッチ手段を介して前記各ブロック内の第1の組の複数の増幅・情報保持手段に並列接続され、  
前記第2の副入出力線は外部クロックに同期して動作するスイッチ手段を介して前記各ブロック内の第2の組の複数の増幅・情報保持手段に並列接続されることを特徴とする不揮発性半導体記憶装置。
- 【請求項11】  
請求項10記載の不揮発性半導体記憶装置において、  
前記第1の副入出力線と接続される前記第1の組の増幅・情報保持手段に格納された一つのワード線に接続されるメモリセルの情報が、前記出力用増幅・情報保持手段を介してバンクの出力線から出力されると共に、前記第2の副入出力線に接続される第2の組の増幅・情報保持手段に格納された前記同一ワード線に接続されるメモリセルの情報を前記出力用増幅・情報保持手段に格納するように動作することを特徴とする不揮発性半導体記憶装置。
- 【請求項12】  
請求項10または請求項11に記載の不揮発性半導体記憶装置において、  
前記第1の組の増幅・情報保持手段は各ブロック内の奇数番目の増幅・情報保持手段の組であり、前記第2の組の増幅・情報保持手段は各ブロック内の偶数番目の増幅・情報保持手段の組であることを特徴とする不揮発性半導体記憶装置。
- 【請求項13】  
請求項3記載の不揮発性半導体記憶装置において、  
一方のバンクのワード線に接続されるメモリセルの情報を前記バンクの出力線から出力を行なう間に、他方のバンクのワード線を選択することを特徴とする不揮発性半導体記憶装置。
- 【請求項14】  
請求項3記載の不揮発性半導体記憶装置において、  
前記動作は外部クロック信号に同期して行なうことを特徴とする不揮発性半導体記憶装置。
- 【請求項15】  
請求項4記載の不揮発性半導体記憶装置において、

10

20

30

40

50

前記動作は外部クロック信号に同期して行なうことを特徴とする不揮発性半導体記憶装置。

【請求項 16】

請求項 10 記載の不揮発性半導体記憶装置において、

前記第 1 の組の増幅・情報保持手段は各ブロック内の奇数番目の増幅・情報保持手段の組であり、前記第 2 の組の増幅・情報保持手段は各ブロック内の偶数番目の増幅・情報保持手段の組であることを特徴とする不揮発性半導体記憶装置。

【請求項 17】

請求項 16 記載の不揮発性半導体記憶装置において、

一方のバンクのワード線に接続されるメモリセルの情報を前記バンクの出力線から出力を行なう間に、他方のバンクのワード線を選択することを特徴とする不揮発性半導体記憶装置。 10

【請求項 18】

請求項 17 記載の不揮発性半導体記憶装置において、

前記動作は外部クロック信号に同期して行なうことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は不揮発性半導体記憶装置に係り、特にメモリの大容量化に対応した高速一括読み出しやビット線の狭ピッチ化に好適な不揮発性半導体記憶装置に関する。 20

【0002】

【従来の技術】

従来、この種の不揮発性半導体記憶装置、例えば、フラッシュメモリについては、1994 シンポジウム オン ブイエルエスアイ サーキット ダイジェスト オブ テクニカル ペーパーズの第 61 ~ 第 62 頁 (1994 Symposium on VLSI Circuits Digest of Technical Papers, pp.61-62) に記載されている。以下、この従来のフラッシュメモリの (1) 読み出し、(2) 書き込み、及び (3) 消去の各動作について図 9 を用いて説明する。

【0003】

図 9 は、従来のフラッシュメモリの動作を説明するために、ワード線とビット線に接続される 1 個のメモリセルを示す要部回路図である。図 9 において、参照符号 MC はフローティングゲートを有するメモリセル、10 ~ 17 はスイッチ動作をする n チャネル MOS トランジスタ (以下、単に NMOS スイッチと称する) を示し、以下の説明においては、特にことわらない限り、各 NMOS スイッチはそれを制御するゲートに接続される信号線の符号名で呼ぶことにする。 30

【0004】

(1) 読み出し動作 :

読み出し動作はメモリセル MC に流れる電流により、メモリセル MC の “1” または “0” の状態を判定する。図 9 において、信号線 PRC と信号線 TR を立ち上げて NMOS スイッチ 13, 15 をオンさせてビット線 BL とセンスラッチ回路 SL を共通ソース線 VSA の電圧にプリチャージした後、信号線 PRC と信号線 TR の電圧を下げて NMOS スイッチ 13, 15 をオフさせる。 40

次に、ワード線 WL に電源電圧 Vcc (不図示) を印加した後、3本の信号線 ST1, ST2, TR を立ち上げ、それぞれの NMOS スイッチ 10, 11, 15 をオンさせて、セル情報に対応したビット線 BL の電圧の変化を各ビット線ごとに設けられたセンスラッチ回路 SL に一括して一時的に保持させる。

この後、各ビット線 BL に設けられた NMOS スイッチ 17 を SW 線によってオンすることにより、メモリセル MC に保持させた情報を IO 線に出力させる。

【0005】

(2) 書き込み動作 :

一方、書き込み動作はまず、I/O線からNMOSスイッチSWを介してセンスラッチ回路SLに“1”または“0”の情報を保持させる。センスラッチ回路SLに“1”が保持されている場合にはNMOSスイッチ16がオンしているため、NMOSスイッチPGをオンすることにより、ビット線BLは共通ソースVSAの電圧4Vにプリチャージされる。尚、センスラッチ回路SLに“0”が保持されている場合には、NMOSスイッチ16はオフのままであるからビット線BLはプリチャージされない。

次にワード線WLの電圧を-9Vにし、NMOSスイッチTRとST2をオンさせる。この時、情報“1”が保持されているセンスラッチ回路SLに接続されているビット線の電圧は4Vにプリチャージされていて、情報“0”が保持されているセンスラッチ回路SLに接続されているビット線の電圧はプリチャージされずに0Vである。従って、書き込みは情報“1”が保持されているセンスラッチ回路SLにつながるメモリセルMCに情報“1”が書き込まれる。

#### 【0006】

その後、NMOSスイッチDDCをオンさせてビット線BLを共通ソースV2に接続し、ビット線BLをディスチャージさせる。情報“1”または“0”が保持されているセンスラッチ回路SLにつながる各ビット線BLを、NMOSスイッチPGをオンさせることによって、それぞれのセンスラッチ回路の情報データに対応して情報“1”の場合NMOSスイッチ16がオンしているため共通ソースVSAの電圧を1Vにして1Vに再びプリチャージし、情報“0”の場合NMOSスイッチ16がオフしたままなのでプリチャージしない。

#### 【0007】

次に、書き込みが終了したかどうかを確認するベリファイ動作を行なう。ベリファイ動作はワード線WLの電圧を1.5Vにして、NMOSスイッチST1、ST2をオンさせた後でNMOSスイッチTRをオンさせる。センスラッチ回路SLに情報“1”が保持されていてかつ、書き込まれたメモリセルMCのしきい値が1.5Vよりも低くなっていると、ワード線WLの電圧1.5VでメモリセルMCがオンするのでビット線BLの電圧が低くなり、センスラッチ回路SLに記憶されていた情報“1”は“0”に変化する。これにより、メモリセルMCに情報が書き込まれたことを確認して、このメモリセルMCへの書き込みを終了する。書き込み動作をした後、ベリファイ動作でメモリセルMCのしきい値が1.5V以上であることが確認されると、センスラッチ回路SLに記憶された情報“1”はそのままで、再び、このメモリセルMCには書き込み動作が行なわれ、メモリセルMCのしきい値が1.5Vよりも低くなり、センスラッチ回路SLに保持された情報が“1”から“0”に変化するまで再書き込み及びベリファイ動作が続けられる。

#### 【0008】

(3)消去動作：

消去動作は、ワード線ごとに行なう。このためにワード線WLの電圧を12Vとし、基板(不図示)に-4Vを印加し、NMOSスイッチ10の信号線ST1を電源電圧Vcc、NMOSスイッチ10のソースに接続される共通ソース線V1を-4Vにし、かつNMOSスイッチDDC、ST2のゲート電圧を0V、NMOSスイッチDDCのソースに接続される共通ソース線V2の電圧を0Vにしてビット線BLをフローティングとすることで消去動作を行なう。

なお、図9において、信号線SETは、センスラッチ回路SLを駆動するNMOSスイッチ18を切り換える信号線である。

#### 【0009】

また、従来のフラッシュメモリにおいて、ビット線のショートなどによる欠陥に対するDC的な救済措置については、まだ行なわれていない。

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら前述した従来のフラッシュメモリでは、ワード線ごと一括して読み出すメモリ構成であり、1本のワード線の読み出しが終了したらセンスラッチ回路をリセット

10

20

30

40

50

ビット線とセンス回路をディスチャージし、次に再びビット線とセンスラッチ回路のプリチャージを行ってから次のワード線を選択して読み出すという動作を全部のワード線に対して繰り返すことによりメモリ内容を一括して読み出すため、メモリ容量が大きくなればなるほどプリチャージ、ディスチャージに要する時間がかかり、メモリの大容量化と共に高速に一括読み出しを行うことが困難になるという問題点が生じてきている。

【0011】

また、従来のフラッシュメモリのようにビット線1本ごとにセンスラッチ回路を設ける構成では、メモリの大容量化に伴うメモリセルの微細化によってレイアウト上のビット線間隔は狭くできるけれども、対応するセンスラッチ回路の大きさはこのビット線の狭ピッチ化に対応しきれないという問題点があった。

10

更に、メモリセルの微細化によってビット線間のショートなどの欠陥が生じた場合のDC的な救済措置を解決する必要があるけれども、従来のフラッシュメモリにおいてはこのような救済措置がまだ行われていなかった。

【0012】

そこで、本発明の目的は、メモリの大容量化に対応して高速に一括読み出しを行うことができると共に、メモリセルの微細化に伴うビット線間のショート不良などに対するDC救済措置を容易に備えることが可能な不揮発性半導体記憶装置を提供することである。

また、本発明の他の目的は、メモリの大容量化によるメモリセルの微細化に対応したセンスラッチ回路の狭ピッチ化が可能であると共に、メモリセルの微細化に伴うビット線間のショート不良などに対するDC救済措置を容易に備えることが可能な不揮発性半導体記憶装置を提供することである。

20

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明では、メモリマットを2つのバンクに分割し、これら2つのバンクで1組の増幅・情報保持手段すなわちセンスラッチ回路を共有し、センスラッチ回路が各々ブロックごとに独立に動作できるように構成すると共に、外部クロックに同期させて読み出し動作を行うように構成して読み出しの高速化を図る。

また、複数対のビット線で1個のセンスラッチ回路を共有するブロックからなる複数ブロック構成とすることにより狭ピッチ化に対応する。

そして、各ブロックごとに、センスラッチ回路の電源スイッチ、プリチャージ回路の電源スイッチ、及びディスチャージ用のスイッチを設けると共に、微細化に伴うビット線間のショート不良などの欠陥に対するDC救済用にこれらのスイッチを兼用して用いる構成とする。更に具体的に本発明の上記目的達成手段について詳述すれば、以下の通りである。

30

【0014】

本発明に係る不揮発性半導体記憶装置は、図1で示すように、複数のワード線と、複数のビット線と、前記複数のワード線と複数のビット線との各交点に配置され、それぞれフローティングゲートを有する複数のメモリセルMCからなるメモリアレイと、ビット線上の信号を増幅し保持する複数の増幅・情報保持手段すなわちセンスラッチ回路と、を少なくとも備えた不揮発性半導体記憶装置において、前記メモリアレイを含むメモリマットが第1及び第2のバンクに分割されて構成され、第1のバンクに属するビット線すなわちBL11a, ... BLn4aと第2のバンクに属するビット線BL11b, ... BLn4bとがそれぞれ対となって前記センスラッチ回路をそれぞれ共有すると共に、複数の前記ビット線対BL11aとBL11b, ... BLn4aとBLn4b及び該ビット線対と同数のセンスラッチ回路SL11, ... SLn4とからなる各ブロックを選択的に制御するスイッチ手段を設けたことを特徴とするものである。

40

【0015】

前記不揮発性半導体記憶装置において、前記各ブロックを選択的に制御するスイッチ手段は、図1の実施例で言えば、ビット線をプリチャージするときに電荷を供給するための電源線PPと接続する経路を各ブロック単位で選択的に制御するスイッチDCPC1, ... DCPCnと、ビット線をディスチャージするときに各ブロック単位で選択的に制御する

50

スイッチ / DCPC1a, ... / DCPCna, / DCPC1b, ... / DCPCnbと、増幅・情報保持手段の電源のオン・オフをブロック単位で選択的に制御するためのスイッチDCD1, ... DCDnとから構成される。

【0016】

また、この場合、各バンクは外部クロックの倍の周期で動作するスイッチ手段すなわち図1に示すようにスイッチYS1a, bとYS2a, bを介してそれぞれ出力用増幅・情報保持手段すなわち出力用センスラッチ回路SLa, bに並列接続される第1及び第2の副入出力線IO1a, bとIO2a, bを有し、出力用センスラッチ回路は外部クロックと半周期ずれて動作する出力用スイッチ手段SWa, bを介してそれぞれ各バンクの出力線IOa, bに接続され、各バンクの第1の副入出力線IO1a, bは外部クロックに同期して動作する各スイッチ手段S11a, S13a, ... Sn1a, Sn3a, S11b, S13b, ... Sn1b, Sn3bを介して前記各ブロック内の第1の組の複数のセンスラッチ回路に並列接続され、第2の副入出力線IO2a, bは外部クロックに同期して動作する各スイッチ手段S12a, S14a, ... Sn2a, Sn4a, S12b, S14b, ... Sn2b, Sn4bを介して前記各ブロック内の第2の組の複数のセンスラッチ回路に並列接続されて構成されれば好適である。

10

【0017】

更に、前記第1の副入出力線IO1a, bと接続される第1の組のセンスラッチ回路に格納された同一ワード線に接続されるメモリセルの情報が前記出力用センスラッチ回路SLa, bを介してバンクの出力線IOa, bから出力される動作と並行して、前記第2の副入出力線IO2a, bに接続される第2の組のセンスラッチ回路に格納された前記同一ワード線に接続されるメモリセルの情報を前記出力用センスラッチ回路SLa, bに格納する動作を行なうように構成すれば好適である。

20

【0018】

前記第1の組センスラッチ回路は各ブロック内の奇数番目のセンスラッチ回路SL11, SL13, ... SLn1, SLn3からなる組とし、前記第2の組のセンスラッチ回路は各ブロック内の偶数番目のセンスラッチ回路SL12, SL14, ... SLn2, SLn4からなる組とすることができる。

また、一方のバンクのワード線、例えば、図1で言えばワード線WL1aに対して接続されるメモリセルの情報をバンクAの出力線IOaから出力を行なっている間に、他方のバンクBのワード線WL1bを選択する動作を行なうように構成すれば好適である。

30

この場合、前記動作は外部クロック信号に同期して行なうように構成すれば好適である。

【0019】

また、本発明に係る不揮発性半導体記憶装置は、図4に示すように、複数のワード線と、複数のビット線と、前記複数のワード線と複数のビット線との各交点に配置され、それぞれフローティングゲートを有する複数のメモリセルからなるメモリアレイと、ビット線上の信号を増幅し保持する複数の増幅・情報保持手段すなわちセンスラッチ回路と、を少なくとも備えた不揮発性半導体記憶装置において、前記メモリアレイを含むメモリマットが読み出し側メモリマットMAaとリファレンスマットMAbに分割されて構成され、読み出し側メモリマットMAaに属するビット線BL11a, ... BLn4aとリファレンスマットに属するビット線BL11b, ... BLn4bとがそれぞれ対になると共に、該複数のビット線対BL11aとBL11b, ... BLn4aとBLn4bと1個のセンスラッチ回路SL1, ... SLnとからなる各ブロックを選択的に制御するスイッチ手段を設けたことを特徴とする。

40

【0020】

この場合、前記各ブロックを選択的に制御するスイッチ手段は、図4で言えば、ビット線をプリチャージするとき電荷を供給するための電源線Vccと接続する経路を各ブロック単位で選択的に制御するスイッチDCPC1, ... DCPCnと、ビット線をディスチャージするとき各ブロック単位で選択的に制御するスイッチ/DCPC1a, ... /DCPCna, /DCPC1b, ... /DCPCnbと、センスラッチ回路の電源のオン・

50



オフをブロック単位で選択的に制御するためのスイッチDCD1, ……DCDnとから構成される。

【0021】

前記不揮発性半導体記憶装置において、ビット線同士が結線不良や異物による導通不良を生じた場合に、導通不良を生じたブロックの、前記ブロックを選択的に制御するスイッチ手段を、選択的に切断する第1の信号線選択手段、すなわち、図8に示すように、アドレスバッファ21とヒューズROM22とAND回路23とデコーダ24から構成される信号線選択回路30を複数ブロックごとに更に設ければ好適である。

【0022】

また、前記第1及び第2のバンクの各ワード線に共通接続された各ワード線を有する予備メモリマツト、予備メモリマツトと、予備メモリマツト内の複数ビット線対及び該ビット線対と同数のセンスラッチ回路からなる各ブロック、例えば図1のメモリマツトのように、ビット線対BL11aとBL11b, ……BL14aとBL14bの4対と4個のセンスラッチ回路SL11, ……SL14からなるブロックの、各ブロックを選択的に制御するスイッチ手段すなわちスイッチDCPC1, ……DCPCnと、スイッチ/DCPC1a, ……/DCPCna, /DCPC1b, ……/DCPCnbと、スイッチDCD1, ……DCDnを更に選択する第2の信号線選択手段すなわち図8に示すような比較回路25とヒューズROM26, 27とAND回路28とデコーダ29からなる信号線選択回路31と、を設けることができる。

【0023】

或いは、図8に示すように、前記読み出し側メモリマツトとリファレンスマツトの各ワード線に共通接続された各ワード線を有する予備メモリマツトRMと、予備メモリマツト内の複数ビット線対と1個の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を更に選択する信号線選択回路31と、を設けた構成とすれば良い。

【0024】

この場合、前記予備メモリマツト内の各ブロックを選択的に制御するスイッチ手段は、図7(b)に示すように、ビット線をプリチャージするときに電荷を供給するための電源線Vccと接続する経路を各ブロック単位で選択的に制御するスイッチDCPCと、ビット線をディスチャージするときに各ブロック単位で選択的に制御するスイッチ/DCPCa, DCPCbと、センスラッチ回路SLの電源のオン・オフをブロック単位で選択的に制御するためのスイッチDCDとから構成されるスイッチである。

【0025】

【作用】

本発明に係る不揮発性半導体記憶装置によれば、メモリアレイを含むメモリマツトが第1及び第2のバンクに分割されて構成され、第1のバンクに属するビット線と第2のバンクに属するビット線とがそれぞれ対となってセンスラッチ回路をそれぞれ共有すると共に、複数の前記ビット線対及び該ビット線対と同数のセンスラッチ回路とからなる各ブロックを選択的に制御するスイッチ手段を設けたことにより、第1のバンクのワード線につながるメモリセルの情報を読み出している最中に第2のバンクのワード線につながるブロックのビット線をプリチャージすることができる。

【0026】

前記各ブロックを選択的に制御するスイッチ手段を、ビット線をプリチャージするときに電荷を供給するための電源線と接続する経路を各ブロック単位で選択的に制御するスイッチと、ビット線をディスチャージするときに各ブロック単位で選択的に制御するスイッチと、増幅・情報保持手段の電源のオン・オフをブロック単位で選択的に制御するためのスイッチとしたことにより、後述するようにビット線ショートなどの欠陥のある不良ブロックをブロック単位で救済することが可能になる。

【0027】

各バンクは外部クロックの倍の周期で動作するスイッチ手段を介してそれぞれ出力用センスラッチ回路に並列接続される第1及び第2の副入出力線を有し、出力用センスラッチ回

10

20

30

40

50

路は外部クロックと半周期ずれて動作する出力用スイッチ手段を介してそれぞれ各バンクの出力線に接続され、各バンクの第1の副入出力線は外部クロックに同期して動作する各スイッチ手段を介して前記各ブロック内の第1の組の複数のセンスラッチ回路に並列接続され、第2の副入出力線は外部クロックに同期して動作する各スイッチ手段を介して前記各ブロック内の第2の組の複数のセンスラッチ回路に並列接続されて成るように構成したことにより、各バンクのワード線に接続されるメモリセルの情報を外部クロックに同期して読み出すことができる。

**【0028】**

前記第1の副入出力線と接続される第1の組のセンスラッチ回路に格納された同一ワード線に接続されるメモリセルの情報が前記出力用センスラッチ回路を介してバンクの出力線から出力される動作と並行して、前記第2の副入出力線に接続される第2の組のセンスラッチ回路に格納された前記同一ワード線に接続されるメモリセルの情報を前記出力用センスラッチ回路に格納するように動作するため、同一ワード線に接続されたメモリセルの情報を外部クロックに同期して高速に読み出すことができる。

10

**【0029】**

また、前記第1の組のセンスラッチ回路を各ブロック内の奇数番目のセンスラッチ回路からなる組とし、前記第2の組のセンスラッチ回路を各ブロック内の偶数番目のセンスラッチ回路からなる組とすることにより、同一ワード線に接続されたメモリセルの情報を連続して外部クロックに同期しながら高速に読み出すことができる。

**【0030】**

20

さらに、一方のバンクのワード線に対して接続されるメモリセルの情報を前記一方のバンクの出力線から出力を行なっている間に、他方のバンクのワード線を選択するようにワード線単位でバンクが交互に動作するので、ビット線のプリチャージ、ディスチャージによる遅れをなくして高速にメモリの一括読み出しを行なえる。特に、前記動作は外部クロック信号に同期して行なうことにより、外部クロックに同期して高速にメモリの一括読み出しを行なうことができる。

**【0031】**

このように、読み出しの高速化については、アドレスの発生から一連の読み出し動作までを外部クロックに同期させて行ない、各々独立に動作できる一組のセンスラッチ回路を共有した2つのバンクを切り換えてワード線ごとに読み出すことにより、従来の方式よりも高速にメモリの一括読み出し動作が可能となる。

30

**【0032】**

また、メモリアレイを含むメモリマットが読み出し側メモリマットとリファレンスマットに分割されて構成され、読み出し側メモリマットに属するビット線とリファレンスマットに属するビット線とがそれぞれ対になると共に、該複数のビット線対と1個の前記増幅・情報保持手段とからなる各ブロックを選択的に制御するスイッチ手段を設けたことにより、大容量化に伴うメモリセルの微細化によるビット線の狭ピッチ化に対応することができる。

**【0033】**

そして、この場合も前記各ブロックを選択的に制御するスイッチ手段を、ビット線をプリチャージするときには電荷を供給するための電源線と接続する経路を各ブロック単位で選択的に制御するスイッチと、ビット線をディスチャージするときには各ブロック単位で選択的に制御するスイッチと、増幅・情報保持手段の電源のオン・オフをブロック単位で選択的に制御するためのスイッチとしたことにより、次に述べるようにビット線ショートなどの欠陥のある不良ブロックをブロック単位で救済することが可能になる。

40

**【0034】**

ビット線同士が結線不良や異物による導通不良を生じた場合に、導通不良を生じたブロックの、前記ブロックを選択的に制御するスイッチ手段を、選択的に切断する第1の信号線選択手段を複数ブロックごとに更に設けることにより、不良ビット線を有するメモリセルのブロック単位で、電源線を介して流れる異常電流を遮断することができると共に、不良

50

ビット線につながるメモリセルのアドレス指定がなされても選択されないようにできる。

【0035】

また、前記第1及び第2のバンクの各ワード線に共通接続された各ワード線を有する予備メモリマットと、予備メモリマット内の複数ビット線対及び該ビット線対と同数の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を更に選択する第2の信号線選択手段と、を設けることにより、不良ブロック内のメモリセルがアドレス指定されたときに、不良ブロック内のメモリセルの代わりに予備メモリマット内のブロックの対応するメモリセルが選択されるようにすることができる。

【0036】

同様に、読み出し側メモリマットとリファレンスマットの各ワード線に共通接続された各ワード線を有する予備メモリマットと、予備メモリマット内の複数ビット線対と1個の増幅・情報保持手段からなる各ブロックを選択的に制御するスイッチ手段を更に選択する第2の信号線選択手段と、を設けることにより、不良ブロック内のメモリセルがアドレス指定されたときに、不良ブロック内のメモリセルの代わりに予備メモリマット内のブロックの対応するメモリセルが選択されるようにすることができる。すなわち、複数あるビット線とこれと対応するセンスラッチ回路をもってひとつのブロックとし、センスラッチ回路の電源スイッチとブロックごとに設けたプリチャージ回路の電源スイッチ、及びビット線をディスチャージするスイッチを切ることによって、ビット線のショートなどによる電源電圧が異常に低下する不良が生じた場合、予備に用意したメモリマットとブロック単位で置換してメモリ欠陥を救済することが可能となる。

【0037】

この場合、予備メモリマット内の各ブロックを選択的に制御するスイッチ手段を、ビット線をプリチャージするときに電荷を供給するための電源線と接続する経路を各ブロック単位で選択的に制御するスイッチと、ビット線をディスチャージするときに各ブロック単位で選択的に制御するスイッチと、増幅・情報保持手段の電源のオン・オフをブロック単位で選択的に制御するためのスイッチとから構成することにより、予備のメモリブロックへの電源供給スイッチとして動作する。

【0038】

【実施例】

次に、本発明に係る不揮発性半導体記憶装置の実施例につき、添付図面を参照しながら以下詳細に説明する。なお、図面中で参照符号の上に線を引いて示したコンプリメンタリ信号は、本文中では参照符号の前に/を付けて示す。

【0039】

<実施例1>

図1は、本発明に係る不揮発性半導体記憶装置の一実施例を示す要部回路図である。図1において、メモリマットを2つのバンクA、Bに分け、各信号線などの参照符号の末尾の小文字a、bは、それぞれのバンクA、Bのものであることを示す。

また、同図中において、外部クロックおよび外部クロック取り込み回路は示されていない(尚、シンクロナスDRAMに用いられている一般的な外部クロック取り込み回路を用いればよい。)が、後述するように本実施例では外部クロックに同期し、2つのバンクA、Bをワード線ごとに切り換えることにより、読み出し動作の高速化を図る。

【0040】

図1に示すように、バンクAには4n本のビット線 $BL11a, \dots, BLn4a$ とm本のワード線 $WL1a, \dots, WLn4a$ があり、同様にバンクBには4n本のビット線 $BL11b, \dots, BLn4b$ とm本のワード線 $WL1b, \dots, WLn4b$ がある。ビット線とワード線の各交点には、フローティングゲートを有し、ドレインがNMOSスイッチ $ST2a$ または $ST2b$ を介してビット線に、ソースがNMOSスイッチ $ST1a$ または $ST1b$ を介して共通ソース線 $VSA$ に、制御ゲートがワード線にそれぞれ接続されたメモリセル $MC$ が接続される。従って、バンクA、Bには、4n本のビット線とm本のワード線の各交点にメモリセル $MC$ が設けられた、それぞれ4n行m列のメモリアレイ $MAa, MAb$ が

ある。

【 0 0 4 1 】

そして、バンク A のビット線 B L 1 1 a とバンク B のビット線 B L 1 1 b がセンスラッチ回路 S L 1 1 を、ビット線 B L 1 2 a とビット線 B L 1 2 b がセンスラッチ回路 S L 1 2 を、... ビット線 B L n 4 a とビット線 B L n 4 b がセンスラッチ回路 S L n 4 を、それぞれ共有するように接続し、4 個のセンスラッチ回路を 1 ブロックとして同時に駆動・リセットをするための n 個のスイッチ D C D 1 , ... D C D n を設けている。なお、スイッチ D C D 1 , ... D C D n は、それぞれ N M O S スイッチとインバータを介した p チャネル M O S トランジスタのスイッチ（以下、P M O S スイッチと称する。）とから構成される。

10

【 0 0 4 2 】

同図において、n 個の P M O S スイッチ D C P C 1 , ... D C P C n と、バンク A 側に n 個の N M O S スイッチ / D C P C 1 a , ... / D C P C n a と、バンク B 側に n 個の N M O S スイッチ / D C P C 1 b , ... / D C P C n b とは、それぞれ 4 本ずつのビット線をプリチャージおよびディスチャージするために設けたスイッチであり、D C 救済用にも用いられるスイッチである。また、各バンクに設けた 4 n 個の N M O S スイッチ D 1 1 a , D 1 2 a , ... D n 4 a 及び D 1 1 b , D 1 2 b , ... D n 4 b は、それぞれに接続されたビット線をディスチャージするためのスイッチである。N M O S スイッチ P R C a と P R C b は読み出し時にビット線をプリチャージするときに用いるスイッチであり、N M O S スイッチ Y W a と Y W b は書き込み時にビット線をプリチャージするときに用いるス

20

【 0 0 4 3 】

それぞれのセンスラッチ回路 S L 1 1 , ... S L n 4 に一時的に保持された対応するビット線上の選択されたメモリセル M C の情報は、バンク A 側のメモリセルの場合、外部クロック C L K （不図示）にそれぞれ同期して動作する N M O S スイッチ S 1 1 a , S 1 2 a , ... S n 4 a , S 1 a , ... S n a , Y S 1 a , Y S 2 a , S W a を介して入出力信号線 I O a に出力し、バンク B 側のメモリセルの場合、外部クロック C L K にそれぞれ同期して動作する N M O S スイッチ S 1 1 b , S 1 2 b , ... S n 4 b , S 1 b , ... S n b , Y S 1 b , Y S 2 b , S W b を介して入出力信号線 I O b に出力するように接続される。また、W D a はバンク A 側のワードデコーダを示し、W D b はバンク B 側のワードデ

30

このように構成される本実施例の不揮発性半導体記憶装置の（ 1 ）読み出し、（ 2 ）書き込み、及び（ 3 ）消去の各動作について以下説明する。

【 0 0 4 4 】

（ 1 ）読み出し動作：

メモリー一括読み出し動作について、図 2 に示した動作タイミングチャートを用いて説明する。

読み出す順番はワード線でいうと、バンク A のワード線 W L 1 a 、バンク B のワード線 W L 1 b 、以下、W L 2 a , W L 2 b , ... W L m a , W L m b と 2 つのバンクのワード線を交互に選択して読み出す。図 2 のタイミングチャートには示していないが、先ず始めに N M O S スイッチ P R C a と、n 個の P M O S スイッチ D C P C 1 , ... D C P C n と、N M O S スイッチ S T 2 a を閉じて、すなわちオン状態にしてバンク A のビット線すべてをプリチャージする。

40

【 0 0 4 5 】

次に、N M O S スイッチ P R C a と P M O S スイッチ D C P C 1 , ... D C P C n を開いた後、すなわちオフ状態とした後、共通ソース線 V S A を 0 V にし、N M O S スイッチ S T 1 a を閉じ、ワード線 W L 1 a をワードデコーダ W D a により選択して電源電圧 V c c に立ち上げてハイ（High）状態にする。なお、N M O S スイッチ S T 1 a , S T 2 a は、バンク A の読み出し終了後に開く。次の外部クロック C L K の立ち上がりにあわせて N M O S スイッチ S 1 a を閉じ、同時にスイッチ D C D 1 を閉じて 4 個のセンスラッチ回路 S

50

L 1 1 , S L 1 2 , S L 1 3 , S L 1 4 を駆動し、バンク A の 4 本のビット線 B L 1 1 a , B L 1 2 a , B L 1 3 a , B L 1 4 a につながる各メモリセル M C の情報をそれぞれのセンスラッチ回路 S L 1 1 , …… S L 1 4 に一時的に保持させる。N M O S スイッチ S 1 a は外部クロック C L K の立ち下がりと同時に開き、スイッチ D C D 1 は閉じたままである。以後、特にことわらない限り、各 N M O S スイッチは外部クロック C L K の立ち上がり、立ち下がりに合わせて「閉じる」、「開く」の動作をするものとする。

【 0 0 4 6 】

次の外部クロック C L K に合わせて N M O S スイッチ S 1 1 a と Y S 1 a が閉じ、センスラッチ回路 S L 1 1 に保持されていた情報は副入出力信号線 I O 1 a を介してセンスラッチ回路 S L a に送られて、ここでまた一時的に保持される。N M O S スイッチ S W a は外部クロック C L K に対して半周期ずれて動作し、N M O S スイッチ S 1 1 a と Y S 1 a が開くと同時に、この N M O S スイッチ S W a が閉じて、ワード線 W L 1 a とビット線 B L 1 1 a の交点につながる 1 つのメモリセル M C の情報が入出力信号線 I O a を通して出力される。これと同時に、N M O S スイッチ S 1 2 a と Y S 2 a が閉じて、センスラッチ回路 S L 1 2 に保持されていた情報は副入出力信号線 I O 2 a を介してセンスラッチ回路 S L a に送られ、一時的に保持される。すぐに N M O S スイッチ S W a が閉じて、この情報が入出力信号線 I O a を介して外部に出力される。

10

【 0 0 4 7 】

次の外部クロック C L K で、センスラッチ回路 S L 1 3 に保持されていた情報は、N M O S スイッチ S 1 3 a と Y S 1 a が接続される副入出力信号線 I O 1 a を介して、またセンスラッチ回路 S L a に送られ、保持される。N M O S スイッチ Y S 1 a と Y S 2 a は、外部クロック C L K の倍の周期で動作してメモリセル M C の情報をセンスラッチ回路 S L a に送る。

20

【 0 0 4 8 】

センスラッチ回路 S L 1 1 , …… S L 1 4 の駆動スイッチ D C D 1 は、N M O S スイッチ S 1 4 a と Y S 2 a が開き、4 番目のセンスラッチ回路 S L 1 4 に保持されていた情報が副入出力信号線 I O 2 a を介してセンスラッチ回路 S L a に送られると同時に開いて、4 個のセンスラッチ回路 S L 1 1 , S L 1 2 , S L 1 3 , S L 1 4 をリセットする。

【 0 0 4 9 】

このようにして、各スイッチを外部クロック C L K に同期させることにより、ワード線 W L 1 a につながるメモリセル M C の情報を絶え間無く出力させることができる。尚、メモリセル M C はフローティングゲートを有する不揮発性のメモリセルであるから、読み出し動作を行ってもメモリセルの情報は消えないので、シンクロナス D R A M ( Dynamic Random Access Memory ) のように読み出し後に再書き込みを行うリフレッシュ動作が必要でないことは言うまでもない。

30

【 0 0 5 0 】

更に、バンク A の出力中にバンク B の N M O S スイッチ P R C b を閉じると共に、既に入出力信号線 I O a に情報を出力したブロックのセンスラッチ回路のスイッチ、この場合 P M O S スイッチ D C P C 1 を閉じて、そのブロックの 4 本のビット線 B L 1 1 b , …… B L 1 4 b と 4 個のセンスラッチ回路 S L 1 1 , …… S L 1 4 をプリチャージする。

40

【 0 0 5 1 】

バンク A のワード線 W L 1 a の立ち下がりと同時に、バンク B のワード線 W L 1 b をワードデコーダ W D b により選択してハイに立ち上げておくと、外部クロック C L K に同期させて各スイッチ S 1 b , D C D 1 , …… D C D n , S 1 1 b , …… S n 4 b , Y S 1 b , Y S 2 b , S W b を前述したバンク A での一連の動作と同様に動作させることにより、ワード線 W L 1 b につながるメモリセルの情報を副入出力信号線 I O 1 b , I O 2 b を介して入出力信号線 I O b から外部へ出力させることができる。この時、またバンク A のビット線をプリチャージしておけば、バンク A の 1 本のワード線につながるメモリセルの情報を引き続き出力させることができる。

【 0 0 5 2 】

50

このようにして、各スイッチの動作を外部クロックCLKに同期させて行い、2つのバンクをワード線ごとに交互に切り換えることにより、一括読み出しの高速化を図ることができる。尚、読み出し動作時においては、共通ソース線VSAとPNをロー(Low)状態、この場合0Vにし、共通ソース線PPを1Vの電圧にする。また、NMOSスイッチD11a, …… Dn4a, D11b, …… Dn4bはオフ状態にする。

#### 【0053】

(2)書き込み動作：

次に、図1の回路における書き込み動作について、図3を用いて説明する。図3は、書き込み動作時の各スイッチ及び選択されたワード線の動作を示すタイミングチャートである。書き込み動作はワード線ごとに一括して行なわれ、バンクAに書き込む場合は、入出力信号線IOaと、副入出力信号線IO1a又はIO2aとを通して、バンクBに書き込む場合は、入出力線IObと、副入出力信号線IO1b又はIO2bを通してそれぞれ書き込む情報を送る。

10

#### 【0054】

例えば、バンクAのワード線WL1aにつながるメモリセルMCに書き込みを行なう場合について説明する。尚、書き込み対象のワード線に対して後述する消去動作を行なうから書き込み動作を行なう。

まず、センスラッチ回路SL11, …… SLn4を駆動するためスイッチDCD1, …… DCDnを閉じ、書き込みが行なわれるメモリセルMCにつながるビット線に対応する各センスラッチ回路SL11, …… SLn4に情報を保持させるため、各NMOSスイッチSWa, S11a, …… Sn4a, YS1aまたはYS2aを閉じる。ここで、ビット線BL11aにつながるメモリセルMCに書き込みを行なうとする場合、ビット線BL11aを含む4本のビット線のブロックを共通ソース線PPの電圧4VにプリチャージするためにNMOSスイッチYWaとST2a、及びPMOSスイッチDCPC1を閉じる。

20

#### 【0055】

次に、NMOSスイッチS1aを閉じ、共通ソース線VSAを0Vにし、NMOSスイッチST1aを閉じて、ワードデコーダWDaにより選択されたワード線WL1aに-9Vの電圧を印加し、その他の非選択のワード線WL2a, …… WLaの電圧は0Vとする。

#### 【0056】

この後、NMOSスイッチD11aとDCPC1aを閉じてビット線BL11aをディスチャージした後でNMOSスイッチD11aを開き、NMOSスイッチYWaとST2aを閉じて再びビット線BL11aを共通ソース線PPの電圧1Vにプリチャージする。ワード線WL1aを例えば1.5Vに立ち上げ、共通ソース線VSAを0Vにし、NMOSスイッチS1aを開いてベリファイ動作を行ない、メモリセルMCのしきい値により書き込み動作の検証を行なう。このベリファイ動作において、書き込みが行なわれたメモリセルMCのしきい値が1.5Vよりも高く、書き込みが不十分であると再び書き込み動作が行なわれ、メモリセルMCのしきい値が1.5Vよりも低くなりセンスラッチ回路SL11に保持されていた情報が「ハイ」から「ロー」に反転するまで、書き込みとベリファイの動作が繰り返される。

30

40

#### 【0057】

(3)消去動作：

図1の回路における消去動作について説明する。この消去動作は、ワード線単位で行なわれる。一例として、ワード線WL1aにつながるメモリセルMCについて消去を行なうとする。ワードデコーダWDaにより選択されたワード線WL1aに12V、基板(不図示)に-4V、非選択のワード線WL2a, …… WLaには0Vを印加し、共通ソース線VSAには-4Vを印加した後、NMOSスイッチST1aを閉じてメモリセルのソース側に-4Vを印加することにより行なわれる。この時、消去されたメモリセルMCのしきい値は1.5Vよりも十分に高い電圧値となる。

#### 【0058】

50

本実施例の不揮発性半導体記憶装置は、ビット線間にショートなどの欠陥が生じた場合のDC救済措置を容易に備えることができるが、このDC救済措置については後述する実施例3において詳細に説明する。

【0059】

<実施例2>

図4は、本発明に係る不揮発性半導体記憶装置の別の実施例を示す要部回路図である。本実施例は、ビット線の狭ピッチ化に好適な構成となっている。図4において参照符号MAa, MAbはメモリアレイを示し、メモリアレイMAa, MAbは実施例1の図1で示したフローティングゲートを有するそれぞれ4n行m列のメモリアレイMAa, MAbと同じ構成である。尚、本実施例の場合、図4における各信号線及び各スイッチの参照符号の末尾の小文字aは読み出し側のメモリマツトのものであることを示し、bはリファレンスマツトのものであることを示す。

10

【0060】

本実施例では、4本のビット線に対して1個のセンスラッチ回路を設けて、ビット線の狭ピッチ化に対応している。例えば、図4中に点線で囲った部分を1つのブロックとし、このブロック中に4対のビット線BL11aとBL11b, BL12aとBL12b, BL13aとBL13b, BL14aとBL14b、及びこれらに対応したセンスラッチ回路SL1が設けられている。スイッチDCD1は、ゲート同士がインバータを介して接続されると共に共通ソースPN, PPに一方の端子がそれぞれ接続されたNMOSとPMOSからなるスイッチであり、センスラッチ回路SL1の駆動・リセットを行なう。4対のビット線には読み出し側にそれぞれNMOSスイッチS1a, S2a, S3a, S4aが接続され、リファレンス側にそれぞれNMOSスイッチS1b, S2b, S3b, S4bが接続されていて、これらのスイッチにより各ビット線対とセンスラッチとの接続を切り換える。各ビット線対を通してメモリセルの情報を、信号線SWa, SWbにより制御されるNMOSスイッチを介してセンスラッチ回路SL1に送る。NMOSスイッチYS1aは、センスラッチ回路SL1に一時的に保持された情報を入出力信号線IOaに出力させるためのスイッチである。NMOSスイッチPRCa, PRCbは、読み出し時にビット線をプリチャージするとき用いられるスイッチであり、一方の端子が電源電圧Vccに接続されるPMOSスイッチDCPC1は、ビット線をプリチャージするとき用いられるほか、DC救済を必要とする場合にも用いられるスイッチである。NMOSスイッチYWaは、書き込み時においてビット線をプリチャージするためのスイッチであり、NMOSスイッチYWbは、ペリファイ時にビット線をプリチャージするためのスイッチである。WL1aはワード線であり、1本しか示していないが図1のメモリアレイと同様にWL1a, ……WLmaのm本から成る。また、図4では、4本のビット線毎にセンスラッチ回路を設ける構成例を示したが、2本毎でも或いは8本毎であっても良い。

20

30

【0061】

本実施例の不揮発性半導体記憶装置はいわゆる一括消去型のフラッシュメモリと呼ばれるものであり、上記したようなブロックがn個から構成される。以下、このように構成されるフラッシュメモリの(1)読み出し、(2)書き込み、及び(3)消去の各動作について説明する。

40

【0062】

(1)読み出し動作：

読み出し動作について、図5に示したタイミングチャートを用いて説明する。読み出し側メモリアレイMAa内の選択された1本のワード線WL1a上の4n個のメモリセル(不図示)の読み出し動作は以下の通りである。

【0063】

まず、各ブロックの第1番目のビット線対BL11aとBL11b, BL21aとBL21b, ……BLn1aとBLn1bを電源電圧Vccにプリチャージするために、NMOSスイッチS1a, S1bを閉じ、更にNMOSスイッチPRCa, PRCbとPMOSスイッチDCPC1, DCPC2, ……DCPCnを閉じる。これらのスイッチを開いた

50

後、選択された1本のワード線WL1aを電源電圧Vccに立ち上げてから、センスラッチ回路SL1, SL2, ... SLnを駆動するために、スイッチDCD1, DCD2, ... DCDnを閉じる。

【0064】

次に、NMOSスイッチS1a, S1b, SWa, SWbを閉じ、1対のビット線BL11aとBL11bの電位差によって、ビット線BL11aにつながるメモリセルに記憶された情報をセンスラッチ回路SL1に一時的に保持させる。同様に、ビット線BL21a, ... BLn1aにつながる各メモリセルの情報をそれぞれのセンスラッチ回路SL2, ... SLnに一時的に保持させる。

【0065】

この後、順次NMOSスイッチYS1a, YS2a, ... YSn aの順で閉じ、各メモリセルの情報を入出力信号線IOaに出力させる。このとき、全ワード線の電圧を下げておく。NMOSスイッチYSn aが閉じてビット線BLn1aにつながるメモリセルの情報が入出力信号線IOaに出力された後、各ブロックの第2番目のビット線対BL12aとBL12b, BL22aとBL22b, ... BLn2aとBLn2bをプリチャージするために、NMOSスイッチS2a, S2bを閉じ、NMOSスイッチPRCa, PRCbを閉じ、PMOSスイッチDCPC1, DCPC2, ... DCPCnを閉じる。これらのスイッチを開いた後、再びワード線WL1aを電源電圧Vccに立ち上げる。これと同時に、スイッチDCD1, DCD2, ... DCDnを開いて、センスラッチ回路SL1, SL2, ... SLnを一時リセットした後で、再びセンスラッチ回路SL1, SL2, ... SLnを駆動するために、スイッチDCD1, DCD2, ... DCDnを閉じる。

【0066】

次に、NMOSスイッチS2a, S2b, SWa, SWbを閉じ、ビット線BL12a, BL22a, ... BLn2aにつながるメモリセルの情報をそれぞれのセンスラッチ回路SL1, SL2, ... SLnに一時的に保持させる。

【0067】

この後、NMOSスイッチYS1a, YS2a, ... YSn aの順で閉じ、入出力信号線IOaにメモリセルの情報を出力させる。以下、同様にワード線WL1aの電圧を下げる、電源電圧Vccに立ち上げる、センスラッチ回路SL1, SL2, ... SLnのリセット、駆動を繰り返しつつ、NMOSスイッチS3aとS3b, S4aとS4bを開閉することにより、各ブロックの第3番目のビット線BL13a, BL23a, ... BLn3a、および第4番目のビット線BL14a, BL24a, ... BLn4aの順にこれらにつながるメモリセルの情報を出力する。

【0068】

(2)書き込み動作：

次に、書き込み動作について、各スイッチの動作を示す図6のタイミングチャートを用いて説明する。書き込み動作は、ワード線単位で行なわれ、各メモリセルに書き込まれる情報はブロックごとに設けられたセンスラッチ回路に一時保持される。ここでは、読み出し側のメモリアレイMAaの選択されたワード線WL1aとビット線BL11aにつながるメモリセルに書き込むものとする。尚、書き込みを行なう前に、選択されワード線WL1aを後述する消去動作により消去しておく。

【0069】

まず、スイッチDCD1とPMOSスイッチDCPC1を閉じてセンスラッチ回路SL1を駆動し、入出力信号線IOaから、NMOSスイッチYS1aを介して書き込む情報をセンスラッチ回路SL1に保持させる。

次に、NMOSスイッチS1a, YWaを閉じてビット線BL11aを電源電圧Vccにプリチャージし、図示しないワードデコーダにより選択されたワード線WL1aに-9Vを印加し、NMOSスイッチSWaとS1aを閉じる。

この後、NMOSスイッチSWa, S1aを開き、NMOSスイッチ/DCPC1a, D11aを閉じて、ビット線BL11aをディスチャージする。

10

20

30

40

50



## 【0070】

これらのスイッチを開いた後、ペリファイ動作をするために先ずNMO SスイッチYW a, YW b, S1 a, S1 bを閉じてビット線BL11 aとBL11 bを1Vにプリチャージさせた後、ワード線WL1 aを例えば1.5Vに立ち上げてから、NMO SスイッチSW a, SW b, S1 a, S1 bを閉じる。このペリファイ動作で書き込みが行なわれたメモリセルのしきい値が1.5Vよりも高く、書き込みが不十分であると再び書き込み動作が行なわれ、書き込みとペリファイの動作は、メモリセルのしきい値が1.5Vより低くなって、センスラッチ回路SL1に保持されていた情報が「ハイ」から「ロー」に反転するまで繰り返される。

## 【0071】

(3)消去動作:

消去動作は、ワード線単位で行なわれる。例えば、ワード線WL1 aにつながるメモリセルについて消去を行なう場合は、選択されたワード線WL1 aに12V、非選択のワード線には0V、基板(不図示)に-4Vを印加し、メモリセルのソース側を-4Vにすることにより行なわれる。この場合、消去されたメモリセルのしきい値は1.5Vよりも充分に高い電圧値となる。

## 【0072】

このように本実施例のフラッシュメモリは、複数のビット線に対して1個のセンスラッチ回路を用いる構成としたことにより、メモリセルの微細化に伴うレイアウト上のビット線の狭ピッチ化に対応することができる。

また、本実施例のフラッシュメモリもビット線間にショートなどの欠陥が生じた場合のDC救済措置を容易に備えることができるが、DC救済措置については後述の実施例3において詳細に説明する。

## 【0073】

<実施例3>

図7は、本発明に係る不揮発性半導体記憶装置のまた別の実施例を示す図である。本実施例では、ビット線ショートによる欠陥が生じた場合のDC救済措置を説明する。なお、図7において、説明の便宜上、実施例2の図4で示した構成部分と同一構成部分については、同一の参照符号を付してその詳細な説明を省略する。

## 【0074】

図7(a)に示した概略ブロック図から分かるように、本実施例のフラッシュメモリは、実施例2の図4の回路と同様に、メモリアレイMA a側とMA b側の1ブロック当たり4対のビット線に対して1個のセンスラッチ回路SLを共有し、このようなブロックからなる多数のブロックで構成したメモリマットMMを有するが、更にDC救済用に数ブロックの予備メモリマットRMを備えている点が相違する。図7(b)は、同図(a)中にビット線ショート(両端矢印で示す)による欠陥が生じている一点鎖線で囲ったブロックの要部回路図である。

## 【0075】

ビット線がショートしていると、ビット線のプリチャージができず、電源電圧の低下を引き起こして正しい読み出しまたは書き込み動作ができなくなる。この動作不良を本実施例では、次のようにして救済する。

図7(b)に示す回路において、メモリセルの情報を読み出すために、ショートしたビット線につながるメモリアレイMA a内のメモリセルに対応したアドレス指定がなされたとき、センスラッチ回路SL1を駆動するためのスイッチDCDと、ビット線をプリチャージするときに電荷を供給するためのPMOSスイッチDCPCと、ビット線をディスチャージするときに用いるNMO Sスイッチ/DCPC a, /DCPC bとの4個のスイッチを開、すなわちオフ状態にし、ショートしたビット線を含む4対のビット線とセンスラッチ回路とからなるブロックを、予備のメモリマットRM内のブロックに置き換えて、以後用いないようにする。

## 【0076】

10

20

30

40

50

この不良ブロックの4個のスイッチをオフして、予備メモリマツトRMのブロックに置き換える動作を、図8に示した概略構成図を用いて更に詳細に説明する。図8において、参照符号22, 26, 27はそれぞれヒューズROMを示し、各ヒューズROMには予めアドレス信号が記憶されている。AND回路23は、アドレス線20からアドレスバッファ21に入るアドレス信号と、ヒューズROM22からの信号とが一致したときにデコーダ24を駆動し、そのアドレス信号に対応するブロックの信号線/DCPCa, /DCPCb, DCPC, DCDが選択される。尚、これらの回路21~24からなる信号線選択回路30は、メモリマツトMM内に複数ブロック毎に1つの割合で設けられる。

#### 【0077】

ビット線ショート等の不良がウェーハ状態でのチップ検査の際に検出された場合、その不良ビット線を含むブロックの4種類の信号線/DCPCa, /DCPCb, DCPC, DCDをメモリマツトMM上で選択せずに、予備メモリマツトRMで選択するために、先ずヒューズROM22の中の不良部分に対応したアドレス信号を発生する部分のヒューズを切断し、アドレス線20から不良部分を選択するアドレス信号がメモリマツトMMのアドレスバッファ21に入っても、不良部分の4種類の信号線/DCPCa, /DCPCb, DCPC, DCDが選択されないようにする。すなわち、不良ブロックの4個のスイッチ/DCPCa, /DCPCb, DCPC, DCDは常にオフ状態となる。

#### 【0078】

次に、この不良ブロックの代わりに予備メモリマツトRM内のブロックを選択するために、ヒューズROM26の中の不良部分に対応したブロックのアドレス信号以外のヒューズを切断し、更に比較回路25を動作するように、例えば比較回路への電源供給スイッチ(不図示)をオンさせる。これにより、メモリマツトMMの不良ブロック部分のビット線を選択するアドレス信号がアドレス線20から比較回路25に入り、ヒューズROM26からの信号と一致したとき比較回路25は出力信号を出す。ヒューズROM27からの信号と比較回路25からの信号が一致するとAND回路28によりデコーダ29が駆動され、メモリマツトMM内の不良部分の代わりに、予備メモリマツトRMのそのアドレス信号に対応するブロックの4種類の信号線/DCPCa, /DCPCb, DCPC, DCDが選択される。尚、これらの回路25~29からなる信号線選択回路31は、予備メモリマツトRMの規模が小さくて良いので、1つあれば足りる。

#### 【0079】

このように欠陥を含んだメモリマツトMMのブロック内のメモリセルに対応したアドレス指定が行われた場合、予備メモリマツトRMに用意されたブロックのスイッチDCDと、PMOSスイッチDCPCと、NMOSスイッチ/DCPCa, /DCPCbの4個のスイッチを動作可能にして代わりに用いるので、ブロックごと置換して予備メモリマツトRMのブロックを使うことにより、ビット線ショートの不良の救済を行うことができる。これによって、ビット線がショートしても4対のビット線と1個のセンスラッチ回路とからなる小さなブロック単位で救済が可能となり、歩留まりが大きく向上する。尚、本実施例において、センスラッチ回路当たりのビット線数は2本でも8本でも或いは他の本数でも良いことは実施例2と同様である。

#### 【0080】

上述したようなビット線ショートをブロック単位で救済するための4種類のスイッチDCD, DCPC, /DCPCa, /DCPCbが実施例1にも設けられているので、すなわちセンスラッチ回路を駆動・リセットするスイッチDCD1, ... DCDn、ビット線をプリチャージするPMOSスイッチDCPCと、ビット線をデイスチャージするためのNMOSスイッチ/DCPC1a, ... /DCPCna, /DCPC1b, ... /DCPCnbがブロックごとに設けられているので、4個のセンスラッチ回路とこれを共有する4対のビット線からなるブロック単位で、ワード線を共通とする予備のブロックを数ブロック設けるか或いはバンクA, Bのnブロックのうち数ブロックを予備のブロックとして用いる予備メモリマツトと、例えばヒューズROMからなる信号線選択回路30及びスイッチ選択回路31とを有する冗長構成にすることにより、本実施例と同様にブロック単位の

10

20

30

40

50

DC救済を行うことができ、歩留まり向上を図ることができる。

【0081】

これまでに述べた実施例のメモリアレイの構成は、AND型のメモリアレイ構成であるが、他の構成、例えば、日経マイクロデバイスの1993年1月号第91巻第59～63頁に記載されているNOR型、DINOR型、NAND型のメモリアレイ構成においても実施できる。また、フラッシュメモリ以外にも、強誘電体メモリなどの他の不揮発性メモリにも適用できる。

【0082】

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内で種々の設計変更をなし得ることは勿論である。

10

【0083】

【発明の効果】

前述した実施例から明らかなように、本発明によれば、メモリマットを2つのバンクに分割し、各バンクのワード線を交互に立ち上げて、1本のワード線ごとの読み出し動作を外部クロックに同期させて行なう構成とすることにより、メモリアレイの情報を高速に、かつ連続的に読み出すことが可能となる。

【0084】

また、1つのセンスラッチ回路を複数のビット線で共有する構成とすることにより、メモリの大容量化によるメモリセルの微細化に伴うビット線の狭ピッチ化に対応することができる。

20

【0085】

更に、ビット線とセンスラッチ回路をこの様ないずれかの構成とし、これらビット線とセンスラッチ回路を1つのブロックとして、このブロックごとにセンスラッチ回路の駆動・リセットを制御するスイッチとビット線のプリチャージに用いるスイッチとビット線のディスチャージに用いるスイッチとを、予備のメモリマットに切り換えるDC救済用のスイッチとして兼用できるように設け、信号線選択回路をヒューズROMを含む構成とすることにより、ビット線間のショートなどにより引き起こされる電源電圧が異常に低下する欠陥が生じた場合、予備メモリマット内に用意されたブロックと、ブロックごと置換することで、電源電圧の異常な低下による不良を救済することが可能となる。

【図面の簡単な説明】

30

【図1】本発明に係る不揮発性半導体記憶装置の一実施例を示す要部回路図である。

【図2】図1に示した回路の読み出し動作例を示すタイミングチャート図である。

【図3】図1に示した回路の書き込み動作例を示すタイミングチャート図である。

【図4】本発明に係る不揮発性半導体記憶装置の別の実施例を示す要部回路図である。

【図5】図4に示した回路の読み出し動作例を示すタイミングチャート図である。

【図6】図4に示した回路の書き込み動作例を示すタイミングチャート図である。

【図7】本発明に係る不揮発性半導体記憶装置の更に実施例を示す図であり、(a)は概略構成図、(b)は同図(a)に一点鎖線で示したブロックの要部回路図である。

【図8】図7の(a)に示した構成のメモリマットと予備メモリマット内のブロックの切り換えを説明するための概略構成図である。

40

【図9】従来のフラッシュメモリの構成例を示す要部回路図である。

【符号の説明】

20...アドレス線、

21...アドレスバッファ、

22, 26, 27...ヒューズROM、

23, 28...AND回路、

24, 29...デコーダ、

30, 31...信号線選択回路、

BL11a~BLn4a, BL11b~BLn4b...ビット線、

D11a~Dn4a, D11b~Dn4b...MOSスイッチ切換え信号線、

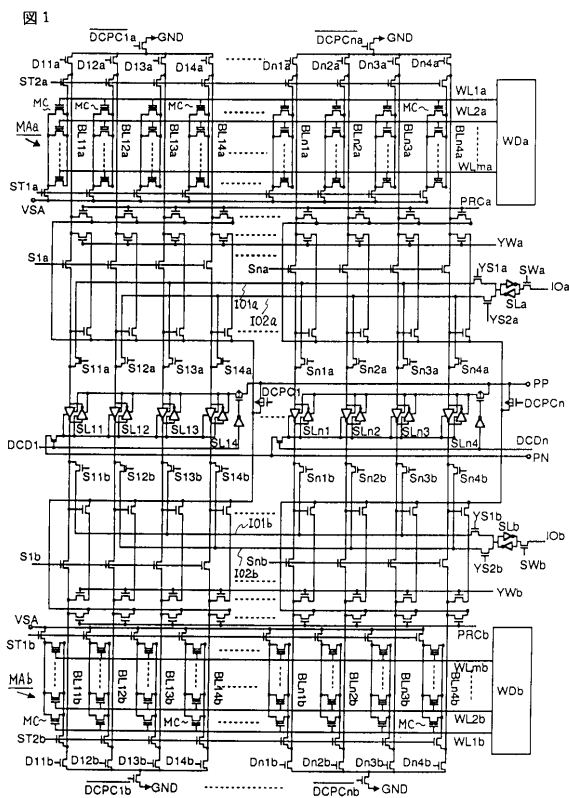
50

DCD1 ~ DCDn... セン斯拉ッチ回路の駆動スイッチ切り換え信号線、  
 DCPC1 ~ DCPCn... DC 救済用のスイッチ切換え信号線、  
 /DCPC1a ~ /DCPCna... DC 救済用のスイッチ切換え信号線、  
 /DCPC1b ~ /DCPCnb... DC 救済用のスイッチ切換え信号線、  
 GND... 接地電位、  
 IOa, IOb... 入出力信号線、  
 IO1a, IO2a, IO1b, IO2b... 副入出力線、  
 MAa, MAb... メモリアレイ  
 MM... メモリマツト、  
 RM... 予備メモリマツト、  
 PN, PP, VSA, V1, V2... 共通ソース線、  
 PRCa, PRCb... MOSスイッチ切換え信号線、  
 S1a ~ Sna, S1b ~ Snb... MOSスイッチ切換え信号線、  
 S11a ~ Sn4a, S11b ~ Sn4b... MOSスイッチ切換え信号線、  
 SET... セン斯拉ッチ回路の駆動スイッチ切り換え信号線、  
 SL1 ~ SLn, SL11 ~ SLn4... セン斯拉ッチ回路、  
 SLa, SLb... セン斯拉ッチ回路、  
 SWa, SWb, YS1a ~ YSna... MOSスイッチ切換え信号線、  
 Vcc... 電源電圧、  
 WL1a ~ WLma, WL1b ~ WLmb... ワード線、  
 WDa, WDb... ワードデコーダ、  
 YS1b ~ YSnb, ST1a, ST2a... MOSスイッチ切換え信号線、  
 YWa, YWb... MOSスイッチ切換え用信号線。

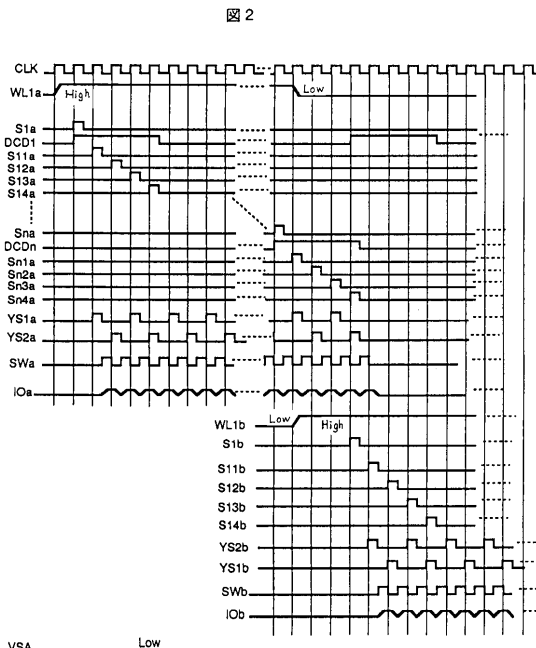
10

20

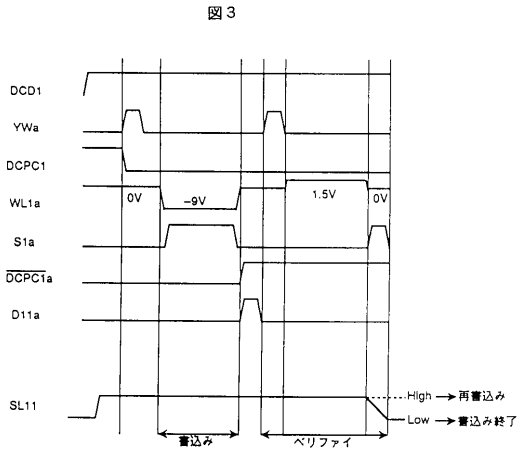
【 図 1 】



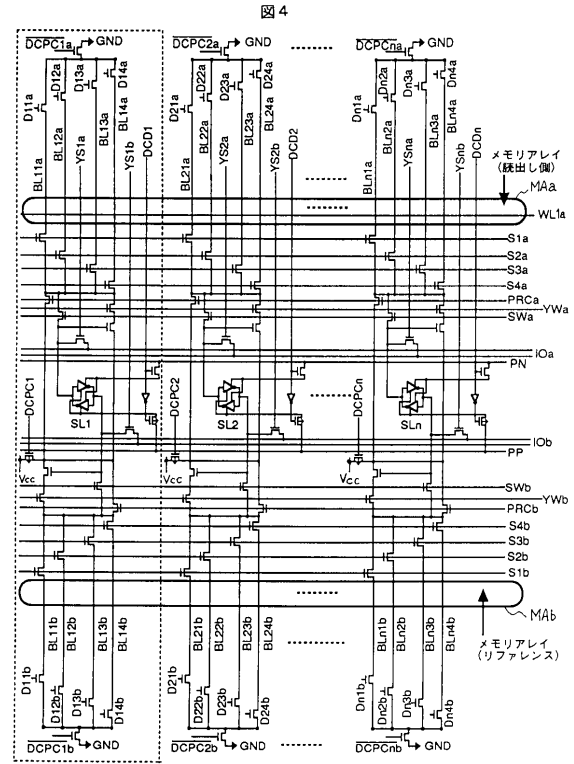
【 図 2 】



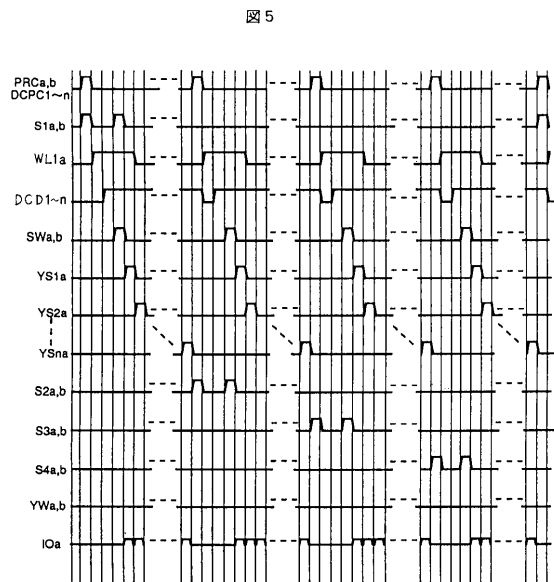
【 図 3 】



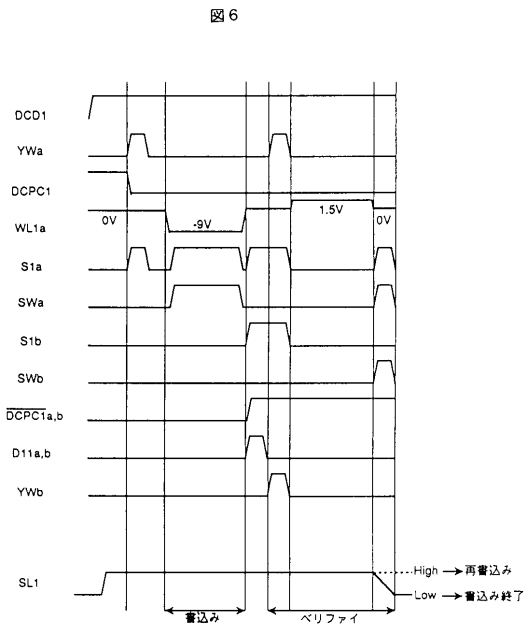
【 図 4 】



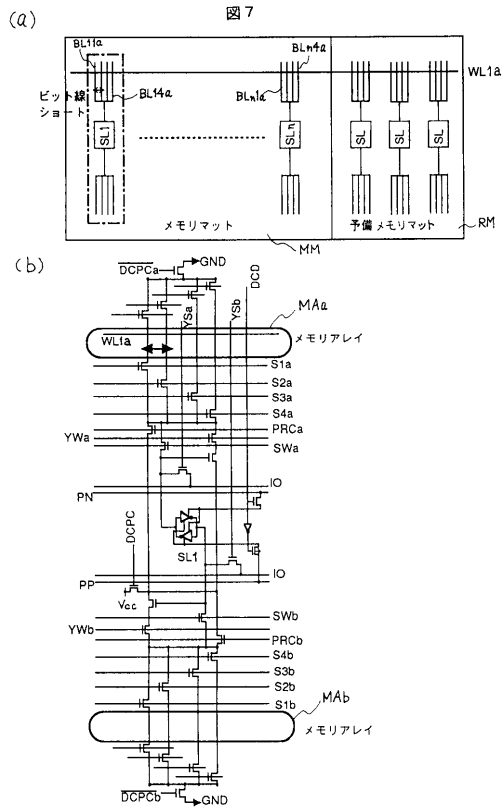
【 図 5 】



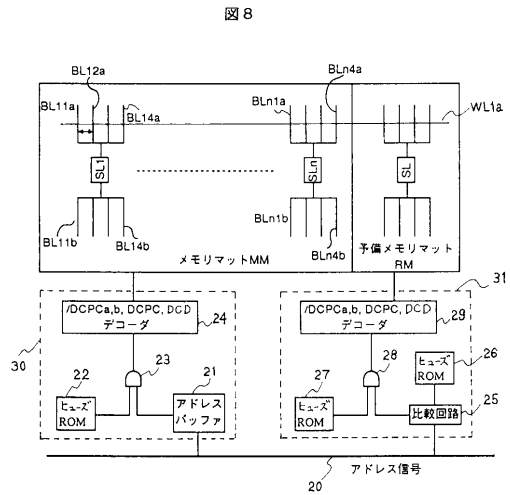
【 図 6 】



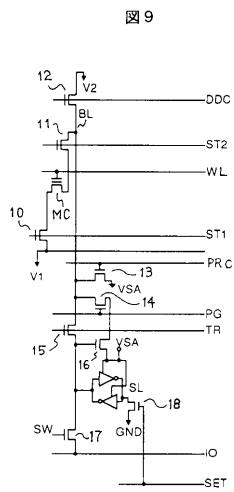
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(51) Int.Cl. F I  
**H 0 1 L 21/8246 (2006.01)**

審査官 石川 正二

(56) 参考文献 特開平 0 7 - 0 4 5 0 8 7 ( J P , A )  
特開平 0 5 - 1 4 4 2 7 7 ( J P , A )  
特開昭 5 6 - 0 7 7 9 9 7 ( J P , A )

(58) 調査した分野(Int.Cl. , DB名)

G11C 16/02  
G11C 16/06  
H01L 21/8247  
H01L 27/105  
H01L 27/115