



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2004 007 690 B3** 2005.10.13

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 007 690.1**

(22) Anmeldetag: **16.02.2004**

(43) Offenlegungstag: –

(45) Veröffentlichungstag
der Patenterteilung: **13.10.2005**

(51) Int Cl.7: **H01L 21/50**
H01L 21/58, H01L 23/58

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

**Epping Hermann Fischer,
Patentanwaltsgesellschaft mbH, 80339 München**

(72) Erfinder:

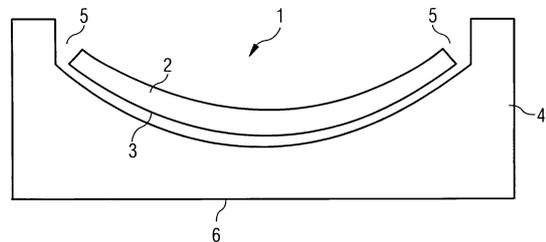
**Mengel, Manfred, Dr., 93077 Bad Abbach, DE;
Püschner, Frank, 93309 Kelheim, DE; Fischer,
Jürgen, 93180 Deuerling, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

**DE 198 32 976 A1
DE 101 26 508 A1
US 2002/1 97 771 A1
US 2 002 74 655 A1
US 2 001 49 155 A1
US 64 29 530 B1
EP 10 41 715 A2
EP 10 28 463 A1
WO 02/21 596 A2**

(54) Bezeichnung: **Integrierte Schaltungsanordnung**

(57) Zusammenfassung: Die vorliegende Erfindung betrifft eine integrierte Schaltungsanordnung (1), die aus einem nicht planaren Substrat (2) besteht, auf dem zumindest einseitig eine integrierte Schaltung ausgebildet ist, wobei das Substrat (2) mit einer die integrierte Schaltung aufweisenden Seite (3) auf einem Träger (4) angeordnet ist und der Träger (4) aus einem chemisch resistenten Material hergestellt ist.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine integrierte Schaltungsanordnung, die einen wirksamen Schutz gegen Angriffe auf eine in der Schaltungsanordnung integrierte Schaltung aufweist.

[0002] Bei integrierten Schaltungen in sicherheitsrelevanten Anwendungsbereichen tritt die Schwierigkeit auf, dass die Schaltungen gegen Angriffe zum Ausspionieren oder Analysieren der betreffenden Schaltung, z. B. mittels FIB (Focused Ion Beam), geschützt werden müssen. Auch optische oder mechanische Analysemethoden werden angewandt.

[0003] Es bestehen bereits eine Anzahl von Sicherheitskonzepten, mit denen die integrierten Schaltungen gegen derartige Angriffe geschützt, insbesondere mit einem Schutzschirm versehen werden können, bei dem beispielsweise aktive Bauelemente eingesetzt werden, um einen äußeren Angriff auf die Schaltung abzuschirmen. Bisher wurde allerdings die Gefahr einer Analyse der Schaltungen von der Rückseite eines Halbleiterchips, d. h. durch das Halbleitersubstrat hindurch, vernachlässigt.

[0004] Es ist möglich, eine integrierte Schaltung einer Analyse, dem sogenannten "Reverse Engineering", zu unterziehen. Diese Analyse kann dazu dienen, die Funktionsweise zu analysieren oder aber die Funktionsweise zum Zwecke einer Manipulation eines Dateninhaltes oder des Funktionsablaufs zu beeinflussen.

[0005] Zum Zwecke der Analyse wird beispielsweise das Material aufgelöst, welches die Oberfläche des Chips bedeckt. Dieses Material kann entweder eine Kunststoffpressmasse sein, welche das Gehäuse des Halbleiterbauelementes bildet, oder ein sogenannter "Globe Top", der lediglich dazu dient, die Chipoberfläche sowie die elektrischen Verbindungen gegen mechanische Beschädigungen zu schützen. Nach dem Entfernen des den Halbleiterchip umgebenden oder bedeckenden Materials ist in der Regel die Passivierungsschicht des Halbleiterchips zugänglich. Diese kann mittels Ätzverfahren, Laser- oder FIB-(Focused Ion Beam) Methoden selektiv entfernt werden. Durch das schichtweise Abtragen und Fotografieren der jeweils freigelegten Schicht lässt sich der Aufbau der integrierten Schaltung nachträglich analysieren.

[0006] Damit einzelne Schichten nicht mittels Schleifverfahren vollständig analysierbar abgetragen werden können, sind der Anmelderin Verfahren zur Herstellung integrierter Schaltungsanordnungen bekannt, bei denen das Substrat, auf dem eine integrierte Schaltung ausgebildet ist, zumindest in einer Ausbreitungsrichtung nicht planar ausgebildet ist. Die die integrierte Schaltungsanordnung abdeckende

Schutzschicht kann jedoch nach wie vor mittels Ätzverfahren entfernt werden, so dass ein Zugang zu den die integrierte Schaltung aufweisende Schichten des Substrats ermöglicht ist.

Stand der Technik

[0007] In der D1 (US 2002/0197771 A1) ist ein Halbleiterbauelement angegeben, bei dem der Halbleiterchip und die Leiterplatte flexibel ausgestaltet sind und auf einer gekrümmten Oberfläche befestigt werden können.

[0008] In der D2 (EP 1 028 463 A1) wird ein flexibles Gehäuse mit einem sehr dünnen Halbleiterchip angegeben, wobei beide gekrümmt werden können und auf einer gekrümmten Oberfläche befestigt werden können.

[0009] In der D3 (US 2001/0049155 A1) werden Halbleiterchips entlang des Umfangs eines zylindrischen Substrats befestigt.

[0010] Die D4 (DE 101 26 508 A1) betrifft eine Anmeldung in der elektronische Bauelemente mittels Spritzgusstechnik umgossen werden. Um Spannungen aufgrund von unterschiedlichen thermischen Ausdehnungskoeffizienten zu vermeiden ist in dem Spritzgusswerkzeug eine Verwölbung des Systemträgers vorgesehen. Im entspannten Zustand ist dieses Keramiksubstrat plan, die Verwölbung der Keramik bildet sich nach Schwindung der Kunststoffschicht wieder zurück.

[0011] Die D5 (US 6 429 530 B1) offenbart einen Chipträger mit einem flexiblen Substrat, wobei das Substrat einen geringeren Umfang aufweist als der Halbleiterchip der darauf befestigt wird. Ziel ist es mechanischen Stress an den Ecken der durch thermische Ausdehnungsunterschiede zwischen dem Chip und dem Chipträger entsteht und die daraus folgende Warpage zu reduzieren.

[0012] In der D6 (DE 198 32 976 A1) wird ein Flip-Chip in einen Hohlraum eines Keramiksubstrats montiert.

[0013] Die D7 (EP 1 041 715 A2) betrifft einen Flip-Chip der in einem Hohlraum eines Substrats, welches aus Keramik bestehen kann, montiert ist. In **Fig. 4** ist eine Ausführungsform gezeigt, bei der das Substrat konvex ausgeführt ist.

[0014] Die D8 (US 2002/0074655 A1) betrifft die Befestigung eines sphärischen Halbleiters in einem Substrat. Dieses Substrat kann eine Aushöhlung wie in den **Fig. 4, 5 und 6** gezeigt, besitzen.

[0015] Die D9 (WO 02/21596 A2) betrifft ein Halbleiterchip, der mit einer Schutzabdeckung aus einem

schleiftesten und/oder ätzresistenten Material versehen ist.

Aufgabenstellung

[0016] Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, eine integrierte Schaltungsanordnung mit einer in einem Substrat ausgebildeten integrierten Schaltung vorzuschlagen, bei der ein Freilegen des Substrats erschwert wird und somit ein verbesserter Schutz gegen eine Analyse gegeben ist.

[0017] Diese Aufgabe wird mit der integrierten Schaltungsanordnung mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen. Die DE 101 26 508 A1 und die US 64 29 530 B1 bilden den Oberbegriff des Anspruchs 1.

[0018] Die erfindungsgemäße integrierte Schaltungsanordnung umfasst ein gekrümmtes Substrat, auf dem eine integrierte Schaltung in beispielsweise mehreren Schichten ausgebildet ist. Erfindungsgemäß ist das Substrat mit der die integrierte Schaltung aufweisende Seite auf einem chemisch resistenten Träger angeordnet, welches aus Keramik hergestellt ist und auf einer der integrierten Schaltung abgewandten Seite eine planare Oberfläche aufweist.

[0019] Der Träger besteht aus Keramik und weist eine hohe chemische Resistenz auf, so dass durch die herkömmlichen Ätzverfahren ein Ablösen des Trägers nicht erzielbar ist.

[0020] In vorteilhafter Weise ist eine dem Substrat zugewandte Oberfläche des Trägers der Krümmung des Substrats angepasst und kann prozesstechnisch auf einfache Weise mit dem Substrat verbunden werden. Der gekrümmte Träger fixiert dabei zusätzlich die Krümmung des Substrats, so dass das Substrat nicht mehr durch beispielsweise Ausüben eines Drucks in eine planare Form gebracht werden kann.

[0021] Es folgt eine Beschreibung der erfindungsgemäßen integrierten Schaltungsanordnung anhand der beigefügten Figur. Diese Figur zeigt im Querschnitt eine integrierte Schaltungsanordnung mit einem auf einem Träger angeordneten Substrat.

[0022] In der Figur ist der grundsätzliche Aufbau der integrierten Schaltungsanordnung 1 dargestellt. Ein Substrat 2, welches in der Regel aus mehreren Schichten aufgebaut ist, weist eine in bekannter Weise aufgebaute integrierte Schaltung auf. Das Substrat 2 ist zumindest in einer Ausbreitungsrichtung gekrümmt.

[0023] Um die integrierte Schaltung vor einer Analyse zu schützen, ist die die integrierte Schaltung aufweisende Seite 3 des Substrats 2, auf der beispiels-

weise Halbleiterbauelemente der integrierten Schaltung ausgebildet sind, und die aufgrund der Krümmung des Substrats 2 konvex ausgebildet ist, mit einem Träger 4 verbunden. Der Träger 4 weist hierzu eine den Abmaßen der konvexen Oberfläche des Substrats entsprechende Kavität 5 auf, so dass auf einfache Weise eine Verbindung, beispielsweise durch Verwendung eines Klebstoffes, erzielt werden kann.

[0024] Die in dem Träger 4 ausgebildete Kavität 5 ist in diesem Ausführungsbeispiel so bemessen, dass das Substrat 2 in der Kavität 5 des Trägers 4 vollständig aufgenommen ist. Der Träger 4 ist weiterhin auf einer dem Substrat 2 abgewandten Seite 6 planar ausgebildet.

[0025] Eine Manipulation oder Analyse der integrierten Schaltung bedingt das Entfernen des Trägers 4, so dass die darunter liegenden Schichten des Substrats 2 zugänglich werden. Dadurch, dass der Träger 4 aus einem chemisch resistenten Material hergestellt ist, kann dieser nicht durch Abätzen entfernt werden. Der gekrümmte Träger 4 bewirkt eine Fixierung der Substratkrümmung, so dass das Substrat 2 nicht mehr in eine planare Form versetzt werden kann. Somit könnte der Träger 4 lediglich durch einen Schleifvorgang entfernt werden, der dann auch gleichzeitig ein Zerstören der unterhalb des Trägers 4 angeordneten Substratschichten bewirkt.

[0026] Die Erfindung ermöglicht einen sehr sicheren Schutz gegen eine Analyse durch die Kombination der Verwendung eines gekrümmten Substrats, welches mit der die integrierte Schaltung aufweisenden Seite auf einem chemisch resistenten Träger angeordnet ist.

Bezugszeichenliste

1	Integrierte Schaltungsanordnung
2	Substrat
3	Seite
4	Träger
5	Kavität
6	Seite

Patentansprüche

1. Integrierte Schaltungsanordnung (1) bestehend aus einem nicht planaren Substrat (2), auf dem zumindest einseitig eine integrierte Schaltung ausgebildet ist, und die die integrierte Schaltung aufweisende Seite (3) auf einem Träger (4) angeordnet ist, der aus einer chemisch resistenten Keramik hergestellt ist, **dadurch gekennzeichnet**, dass der Träger (4) auf einer der integrierten Schaltung abgewandten Seite (6) eine planare Oberfläche aufweist.

2. Integrierte Schaltungsanordnung (1) nach An-

spruch 1, dadurch gekennzeichnet, dass das Substrat (2) ganzflächig mit dem Träger (4) verbunden ist.

3. Integrierte Schaltungsanordnung (1) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Träger (4) eine Kavität(5) aufweist, in die das Substrat (2) vollständig aufgenommen ist.

Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

