

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4332327号
(P4332327)

(45) 発行日 平成21年9月16日(2009.9.16)

(24) 登録日 平成21年6月26日(2009.6.26)

(51) Int.Cl. F I
GO 1 R 31/28 (2006.01) GO 1 R 31/28 M

請求項の数 4 (全 8 頁)

(21) 出願番号 特願2002-196619 (P2002-196619)
(22) 出願日 平成14年7月5日(2002.7.5)
(65) 公開番号 特開2004-37332 (P2004-37332A)
(43) 公開日 平成16年2月5日(2004.2.5)
審査請求日 平成16年7月16日(2004.7.16)(73) 特許権者 503050951
テクトロニクス・インターナショナル・セ
ールス・ゲーエムベーハー
スイス国、シャーフアウセン、ニューハウ
セン 82、ラインゴールド・ストラッセ
50
(74) 代理人 100090376
弁理士 山口 邦夫
(74) 代理人 100103182
弁理士 日野 真美
(72) 発明者 佐藤 典彦
東京都品川区北品川5丁目9番31号 ソ
ニー・テクトロニクス株式会社内

審査官 関根 洋之

最終頁に続く

(54) 【発明の名称】 データ遅延回路

(57) 【特許請求の範囲】

【請求項 1】

制御信号に従って遅延量を連続的に変化させることが可能で、並列データ・クロックを受けて遅延並列データ・クロックを出力する遅延手段と、

上記遅延並列データ・クロックに応じて遅延並列データを供給する遅延並列データ供給手段と、

上記遅延並列データ・クロックに位相ロックされた直列データ・クロックを生成する位相ロック・クロック生成手段と、

上記遅延並列データ・クロックに応じて上記遅延並列データをロードし、上記直列データ・クロックに応じて直列データを出力する並直列変換手段と、

上記遅延手段に上記制御信号を供給する制御手段とを具えるデータ遅延回路。

【請求項 2】

上記遅延並列データ供給手段が、上記並列データ・クロックに応じて並列データを受けて保持し、上記遅延並列データ・クロックに応じて上記並列データを上記遅延並列データとして上記並直列変換手段に供給するデータ・バッファ手段を有することを特徴とする請求項 1 記載のデータ遅延回路。

【請求項 3】

直列データを受けて上記並列データ・クロックに応じて上記並列データを供給する直並列変換手段を更に具えることを特徴とする請求項 2 記載のデータ遅延回路。

【請求項 4】

10

20

上記制御信号を連続的に変化させることによって、上記直列データの遅延の変化量を連続的に変化させることを特徴とする請求項 1 乃至 3 のいずれかに記載のデータ遅延回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、遅延量を任意に制御した直列データを生成可能なデータ遅延回路に関する。

【0002】

【従来の技術】

デジタル信号処理回路は、通常複数のブロックから構成される。このとき、あるブロックで生成したデジタル信号を次のブロックに送る際に、一定の遅延を加えてから送ることがしばしば必要となる。こうした遅延を発生させる技術については、例えば、特開平6-177722号公報にその一例が開示されている。この例では、直列のデジタル・データがS/Pシフトレジスタで4ビットの並列デジタル・データに変換され、各ビットが4つのシフトレジスタにそれぞれ入力される。各シフトレジスタは、マスター・クロックを4で分周した低速のクロックで動作すれば良いので、比較的安価なものが使用できる。4つのシフトレジスタは、どれも8桁で構成され、それぞれ対応するマルチプレクサが1個ずつ（合計4個）設けられる。各マルチプレクサは、4つのシフトレジスタの同じ桁を同じタイミングで選択するように制御される。データの遅延量は、マルチプレクサが対応するシフトレジスタのどの桁を選択するかで決まる。4つのマルチプレクサから出力されたデータは、P/Sシフトレジスタで直列デジタル・データに再度変換される。これによって、元の直列デジタル・データに対して、一定時間遅延した直列デジタル・データを生成できる。

【0003】

同様な技術が、特公平8-12987号公報にも開示されている。ここでも、直列デジタル・データを並列デジタル・データに変換し、並列デジタル・データの各ビットを遅延した後、直列デジタル・データに再度変換することで、デジタル・データの遅延を実現している。

【0004】

【発明が解決しようとする課題】

上述した従来例では、いずれも遅延した直列デジタル・データは、元の直列デジタル・データと同じクロック（マスター・クロック又はシステムクロック、以下ではマスター・クロックと呼ぶ）に同期して生成している。これは、直列デジタル・データをその次のブロックで使用するにあたり、タイミングを取ることを想定しているからである。例えば、上述の特公平8-12987号公報に開示される技術は、典型的にはテレビジョン信号処理に利用され、これによりフレーム・シンクロナイザー等の製品が実現される。

【0005】

しかし、デジタル・データの遅延量がマスター・クロックの周期の倍数（よって遅延量が連続的でない）であったり、同期している必要のない用途もある。その一例が、デジタル回路のジッタに対する耐性試験で用いる試験用デジタル・データの生成に関するものである。ジッタ耐性試験は、被試験デジタル回路に意図的にジッタを含ませた試験用デジタル・データを供給し、どの程度のジッタまでなら被試験回路が正常に動作可能かを測定する試験である。このジッタ耐性試験用デジタル・データは、被試験デジタル回路に通常供給される正常なデジタル・データに任意量（クロック周期に関係のない）の遅延を加えることで生成すれば良いが、マスター・クロックと同期している必要はない。

【0006】

本発明は、デジタル・データを遅延したときにマスター・クロックとの同期を必要としない用途において有用なものであって、簡易な構成でデジタル・データの遅延量を連続的（アナログ的）に設定可能なデータ遅延回路を提供しようとするものである。このとき、デジタル・データの遅延の変化量を連続的に変化させることで、結果的にジッタを持ったデジタル・データを生成できる。

10

20

30

40

50

【 0 0 0 7 】

【課題を解決する為の手段】

本発明のデータ遅延回路は、並列データを直列データに変換する際に任意量の遅延を加えて直列データを生成する。遅延手段は、例えば、電圧制御遅延素子であり、制御信号に従って遅延量を連続（アナログ）的に変化させることが可能で、並列データ・クロックを受けて、これを制御信号に応じて遅延させ遅延並列データ・クロックとして出力する。遅延並列データ供給手段は、遅延並列データ・クロックに応じて遅延並列データを供給する。遅延並列データは、メモリなどの記憶手段から遅延並列データ・クロックに応じて直接読み出すことで供給してもいい。位相ロック・クロック生成手段は、例えば、周知のPLL回路であって、遅延並列データ・クロックに位相ロックされた直列データ・クロックを生成する。並直列変換手段は、遅延並列データ・クロックに応じて遅延並列データをロードし、直列データ・クロックに応じて直列データを出力する。制御手段は、遅延手段に制御信号を供給し、これによって遅延手段におけるクロックの遅延量を制御する。

10

【 0 0 0 8 】

本発明のデータ遅延回路では、例えばPLL（位相ロックループ）から構成される位相ロック・クロック生成手段を有するようにしても良い。これは、並列データのビット数に応じた周波数を有し、遅延並列データ・クロックに位相ロックされる直列データ・クロックを生成する。例えば、並列データのビット数が8ビットであれば、遅延並列データ・クロックの8倍の周波数を有し、PLLにより遅延並列データ・クロックに位相ロックされる直列データ・クロックを生成する。並直列変換手段は、この直列データ・クロックに従って直列データを出力する。

20

【 0 0 0 9 】

本発明のデータ遅延回路では、並列データを一時的に保持し、遅延並列データ・クロックに応じて遅延並列データとして出力するデータ・バッファ手段を更に設けるようにしても良い。これは、並列データ供給手段として直並列変換手段を用い、直列データを並列データに変換して供給する場合に特に適している。しかし、並列データ供給手段としてメモリを用い、これに記憶した並列データを遅延並列データ・クロックに応じて読み出すことにより遅延並列データを供給する場合でも、このデータ・バッファ手段を設けて良い。

【 0 0 1 0 】

遅延手段に供給する制御信号は一定でなくてもよく、例えば正弦波にするなど値を連続的に変化させても良い。これによって、生成される直列データの遅延の変化量が例えば正弦波のように連続的に変化し、結果としてジッタを含む直列データを生成することができる。

30

【 0 0 1 1 】

【発明の実施の形態】

図1は、本発明の第1の実施形態例によるブロック図である。メモリ100には、並列デジタル・データ（以下、単に並列データと呼ぶ）が記憶される。この並列データは、並直列変換ブロック110の直並列変換回路（P/S）112で直列デジタル・データ（以下、直列データと呼ぶ）に変換される。なお、並直列変換ブロック110は、現在では集積回路（IC）化されたものが販売され、周知技術となっている。ここでは、並列データが8ビットの例を示しているが、何ビットでも良い。第1遅延回路102は、典型的には電圧制御遅延素子であり、第1制御信号（CTRL1）の電圧に応じて入力信号を遅延して出力する。このとき、第1制御信号（CTRL1）の電圧を連続（アナログ）的に変化させることで、その遅延量も連続（アナログ）的に変化する。この例では、並列データ・クロック（P_CLK）を受けて遅延し、遅延並列データ・クロック（DP_CLK）として出力する。

40

【 0 0 1 2 】

並列データ・クロック（P_CLK）の発生源は、周知のクロック生成手段で生成できるので、図示していない。並列データ・クロック（P_CLK）生成の一例としてデジタル・テレビジョン信号の場合では、その直列データにマスター・クロックが含まれているのでこれを抽出し、ビット数に応じて分周すれば、並列データ・クロック（P_CLK）を生成できる。

50

【 0 0 1 3 】

遅延並列データ・クロック (DP_CLK) は、メモリ 1 0 0 のリード端子に供給されて、遅延並列データ (DP_DATA) の読出しタイミングを定める。また、並直列変換ブロック 1 1 0 の位相ロック・ループ回路 1 1 4 に供給され、並列データが 8 ビットであることに対応して、遅延並列データ・クロック (DP_CLK) に位相ロックし、遅延並列データ・クロック (DP_CLK) の周波数の 8 倍の周波数を持つ直列データ・クロック (S_CLK) を生成するのに使用される。更に、遅延並列データ・クロック (DP_CLK) と位相ロックした並列データ・ロード信号 (P_LOAD) が生成され、これに応じてメモリ 1 0 0 からの遅延並列データ (DP_DATA) が並直列変換回路 1 1 2 にロードされる。並列データ・ロード信号 (P_LOAD) は、周波数は遅延並列データ・クロック (DP_CLK) と同じものの、位相はこれよりやや遅れるように制御され、メモリ 1 0 0 から遅延並列データ・クロック (DP_CLK) で読み出される遅延並列データ (DP_DATA) をロードできるようにしている。並直列変換回路 1 1 2 は、直列データ・クロック (S_CLK) に従って直列データ (S_DATA) を出力する。

10

【 0 0 1 4 】

第 2 遅延回路 1 1 8 は、直列データを必要に応じて更に遅延する。第 2 遅延回路 1 1 8 も典型的には、電圧制御遅延素子であり、第 2 制御信号 (CTRL2) の電圧に応じて入力される直列データを遅延する。上述と同様に、第 2 制御信号 (CTRL2) の電圧を連続 (アナログ) 的に変化させることで、その遅延量も連続 (アナログ) 的に変化する。

【 0 0 1 5 】

制御回路 1 1 6 は、マイクロプロセッサ等から構成され、第 1 遅延回路 1 0 2 及び第 2 遅延回路 1 1 8 のそれぞれに第 1 制御信号 (CTRL1) 及び第 2 制御信号 (CTRL2) を供給する。このとき、制御回路 1 1 6 は、第 1 制御信号 (CTRL1) 及び第 2 制御信号 (CTRL2) の電圧を制御することによって、第 1 遅延回路 1 0 2 及び第 2 遅延回路 1 1 8 それぞれの遅延量を制御する。

20

【 0 0 1 6 】

ところで、現在入手可能な電圧制御遅延素子では、入力信号の速度 (周波数) が遅いほど、より大きな遅延量を提供できる素子が存在している。このとき、第 1 遅延回路 1 0 2 が受ける並列データ・クロック (P_CLK) の周波数を、第 2 遅延回路 1 1 8 が受ける直列データの速度と比較すると、平均して約 8 分の 1 である。このため、第 1 遅延回路 1 0 2 には、第 2 遅延回路 1 1 8 で使用するものよりも、大きな遅延量を提供できる電圧制御遅延素子を使用できる。結果的に、第 1 遅延回路 1 0 2 において並列データ・クロックに対して遅延を加えることは、第 2 遅延回路 1 1 8 で直列データに遅延を加えるのに比較して、大きな遅延量を加えることが可能になる。

30

【 0 0 1 7 】

図 2 は、遅延並列データ・クロック (DP_CLK) と直列データ・クロック (S_CLK) のタイミング・チャートの一例である。図 2 では、当初、遅延並列データ・クロック (DP_CLK) の周期が T 1 であり、これに直列データ・クロック (S_CLK) が位相ロックしている。この状態では、遅延並列データ・クロック (DP_CLK) の 1 周期中には、直列データ・クロック (S_CLK) が 8 個存在する。しかし、時点 d 3 においては、第 1 遅延回路 1 0 2 における遅延量が変更され、遅延並列データ・クロック (DP_CLK) の位相が だけ進み、遅延並列データ・クロック (DP_CLK) の周期が T 2 に変更される。すると、遅延並列データ・クロック (DP_CLK) の時点 d 3 の立上りエッジに対して、これに対応する直列データ・クロック (S_CLK) の立上りエッジは遅れる形となる。すると、PLL 1 1 4 中の電圧制御発振回路 (図示せず) が、直列データ・クロック (S_CLK) の周期を短くする方向に制御されるので、次の遅延並列データ・クロック (DP_CLK) の時点 d 4 の立上りエッジでは、直列データ・クロック (S_CLK) の対応する立上りエッジが一致する。

40

【 0 0 1 8 】

図 2 に示すように、近年はデバイスの進歩によって、直列データ・クロック (S_CLK) の位相の遅れ進みの揺れがないままに、滑らかに位相を一致 (位相ロック) させるように制御できるデバイスも出現している。しかし、この他、遅延並列データ・クロック (DP_CLK)

50

)の位相に対して、直列データ・クロック(S_CLK)の位相が最初は遅れ、続いて進むという揺れがあった後に位相が一致するものも多い。図3は、こうした例を示すタイミング・チャートである。

【0019】

図2を再度参照すると、d3の時点において、制御回路116は、第1遅延回路に供給する第1制御信号の電圧を、例えば2Vから1Vに変化させてそのまま1Vを維持している。このために、遅延並列データ・クロック(DP_CLK)の位相がだけ進んでいる。一方、これとは逆に第1制御信号の電圧を1Vの状態から2Vに変化させた場合(図示せず)では、位相だけ遅延並列データ・クロック(DP_CLK)が直列データ・クロック(S_CLK)に対して遅れることになる。更に、第1制御信号の電圧を正弦波のように連続的に変化させた場合を考えれば、遅延並列データ・クロック(DP_CLK)と直列データ・クロック(S_CLK)の位相関係も前後に進んだり遅れたりを繰り返す。このように第1制御信号の電圧変化によって遅延並列データ・クロックの周期が変動し、これにともなって直列データ・クロックの周期も変動する(即ち、ジッタを含む)ようになる。そこで、本発明のデータ遅延回路では、電子回路のジッタ耐性試験に使用するジッタを含むデータ、即ち、遅延の変化量が連続的に変化するデータを生成したい場合には、第1遅延回路102及び第2遅延回路118に供給する制御信号の電圧を所望の波形を有するように変化させる。例えば、制御回路116は、第1遅延回路102に供給する第1制御信号(CTRL1)の電圧の変化が、正弦波となるように制御する。

【0020】

図4は、本発明の第2の実施形態例を示すブロック図である。この実施形態は、遅延を生じさせたい元々のデータが、並列データの形でなく直列データの形である場合に適したものである。図1と対応するものには、同じ符号を付して説明する。

【0021】

直並列変換回路(S/P)101は、マスター・クロック(M_CLK)に従って直列データを受けて直並列変換し、後述する並列データ・クロック(P_CLK)に従って8ビットの並列データ(P_DATA)を出力する。このとき、直並列変換回路101から並列データ(P_DATA)を読み出すクロックが第1遅延回路が出力する遅延並列データ・クロック(DP_CLK)でないのは、読み出しクロックの周波数が一定でないと、例えば読み出しクロックが遅くなったときに、直並列変換回路101に入力され保持されている直列データが8ビットを越えてあふれてしまうなど、直並列変換を正常に行えないからである。なお、マスター・クロック(M_CLK)とは、従来例でも説明したように、正常に動作するデジタル回路の直列データの基準となるクロックである。

【0022】

分周回路103は、マスター・クロック(M_CLK)を受けて、並列データ(P_DATA)のビット数がこの例では8ビットであることに対応して周波数を8分の1に分周し、並列データ・クロック(P_CLK)として出力する。この並列データ・クロック(P_CLK)は、第1遅延回路102及びFIFO回路104に供給される。第1遅延回路102は、並列データ・クロック(P_CLK)を第1制御信号(CTRL1)に従って遅延し、遅延並列データ・クロック(DP_CLK)として出力する。FIFO回路104は、並列データ・クロック(P_CLK)に従って並列データ(P_DATA)を読み込み、遅延並列データ・クロック(DP_CLK)に従って遅延並列データ(DP_DATA)を出力する。

【0023】

このとき、第1制御信号(CTRL1)の電圧を、例えば正弦波のように変動させても良い。これによって、遅延並列データ・クロック(DP_CLK)の位相は、並列データ・クロック(P_CLK)に対して進んだり遅れたりを繰り返す。このため、遅延並列データ・クロック(DP_CLK)に従って出力される遅延並列データ・クロック(DP_CLK)の位相も並列データ・クロック(P_CLK)に対して進んだり遅れたりを繰り返す。即ち、遅延並列データ・クロック(DP_CLK)がジッタを持つようになる。遅延並列データ・クロック(DP_CLK)を直並列変換ブロック110で直並列変換する以降の動作については、上述の第1の実施形態と

10

20

30

40

50

同様である。

【 0 0 2 4 】

以上、本発明のデータ遅延回路によれば、遅延量がクロック周期の整数倍に制限されず、遅延量を任意に制御した直列データを出力できる。更に、本発明では、遅延量を連続（アナログ）的に変化させることが可能なだけでなく、遅延の変化量も連続的に変化させることができる。これが可能なのは、遅延並列データ・クロックと直列データ・クロックの位相がロックされ、この結果、並直列変換手段に供給される遅延並列データと、出力する直列データの位相関係が安定しているためでもある。これによって、遅延の変化量を連続的に変化させることで、ジッタ耐性試験に適した意図的なジッタを含む試験用直列データを生成できる。このとき、直列データに変換する前の並列データの基準となるクロック（上述の例における遅延並列データ・クロック）の遅延量を制御するため、遅延回路が受ける信号（クロック）の周波数が低くなる。この結果、大きな遅延量を加えることが可能な遅延素子を遅延回路に使用可能となり、直列データに遅延を加える場合に比較して効果的に遅延量を制御可能となる。

10

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態例を示すブロック図である。

【図 2】遅延並列データ・クロックと直列データ・クロックとのタイミング関係を示すチャート図の一例である。

【図 3】遅延並列データ・クロックと直列データ・クロックとのタイミング関係を示すチャート図の他の例である。

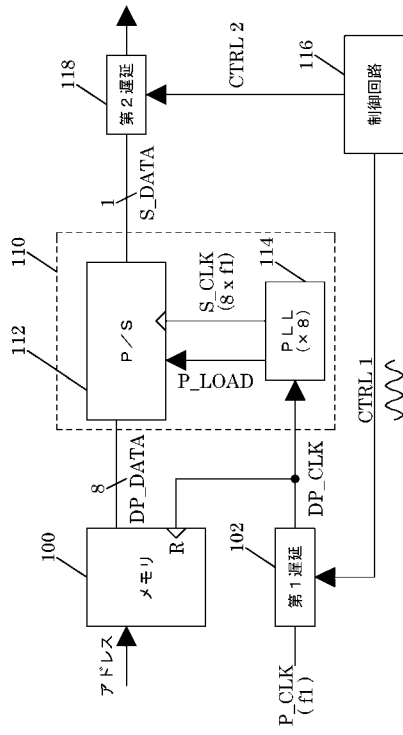
20

【図 4】本発明の第 2 の実施形態例を示すブロック図である。

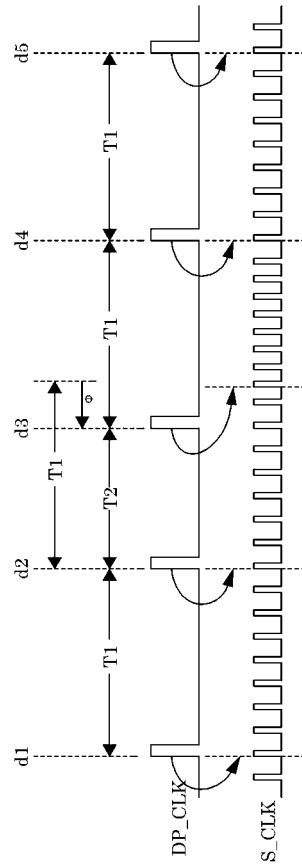
【符号の説明】

1 0 0	メモリ（並列データ供給手段）	
1 0 1	直並列変換回路（並列データ供給手段）	
1 0 2	遅延手段	
1 0 3	分周回路	
1 0 4	F I F O（バッファ手段）	
1 1 0	並直列変換ブロック	
1 1 2	並直列変換回路	
1 1 4	位相ロック・ループ回路	30
1 1 6	制御手段	
C T R L 1	制御信号	
M _ C L K	マスター・クロック	
P _ C L K	並列データ・クロック	
S _ C L K	直列データ・クロック	
P _ D A T A	並列データ	
D P _ D A T A	遅延並列データ	
S _ D A T A	直列データ	
D P _ C L K	遅延並列データ・クロック	
P _ L O A D	並列データ・ロード信号	40

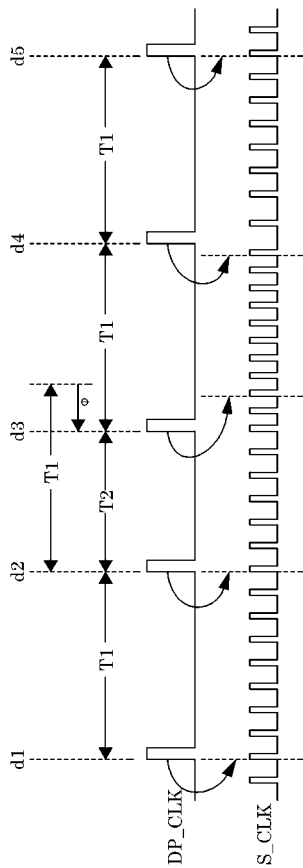
【図1】



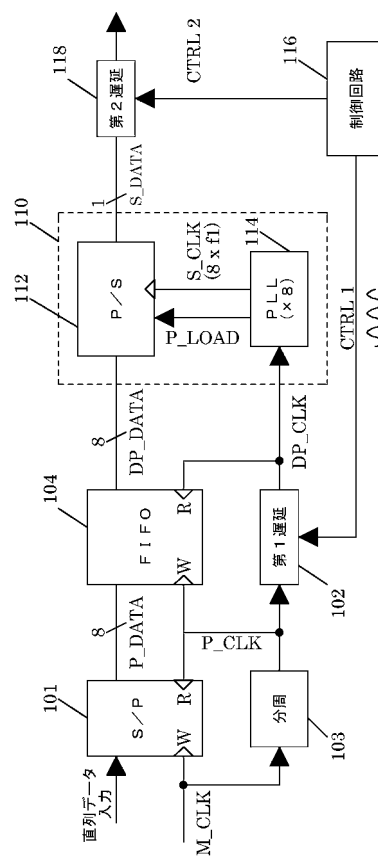
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開平04 - 127711 (JP, A)
特開昭57 - 129010 (JP, A)
特開平09 - 270714 (JP, A)
米国特許第05349612 (US, A)
特公平08 - 012987 (JP, B2)
特開平06 - 177722 (JP, A)
特開平07 - 288454 (JP, A)
特開平06 - 273489 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28
H03K 5/135