

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7046981号
(P7046981)

(45)発行日 令和4年4月4日(2022.4.4)

(24)登録日 令和4年3月25日(2022.3.25)

(51)国際特許分類 F I
H 0 3 H 7/06 (2006.01) H 0 3 H 7/06

請求項の数 6 (全22頁)

(21)出願番号	特願2019-561017(P2019-561017)	(73)特許権者	000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号
(86)(22)出願日	平成30年12月13日(2018.12.13)	(74)代理人	100128314 弁理士 沖川 仁
(86)国際出願番号	PCT/JP2018/045860	(74)代理人	100189898 弁理士 永田 健悟
(87)国際公開番号	WO2019/124211	(72)発明者	長谷 宗彦 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
(87)国際公開日	令和1年6月27日(2019.6.27)	(72)発明者	野坂 秀之 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
審査請求日	令和1年11月22日(2019.11.22)	(72)発明者	中野 慎介 東京都千代田区大手町一丁目5番1号
審査番号	不服2021-9572(P2021-9572/J1)		
審査請求日	令和3年7月19日(2021.7.19)		
(31)優先権主張番号	特願2017-241532(P2017-241532)		
(32)優先日	平成29年12月18日(2017.12.18)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 ICチップ

(57)【特許請求の範囲】

【請求項1】

チップ外部の第1の伝送線路と接続されたパッドと、一端が前記パッドに接続された信号線と、この信号線の他端に接続され、前記第1の伝送線路を終端するように構成された終端抵抗と、送信側から前記第1の伝送線路を介して伝送される信号を受信するように構成された受信側入力部回路と、前記信号線と前記終端抵抗との接続点と、前記受信側入力部回路の入力端子との間に挿入されたコンデンサとを備え、前記受信側入力部回路は、ベースまたはゲートを入力端子とするトランジスタを入力段に備え、前記第1の伝送線路の特性インピーダンスが50Ωであり、前記信号線と前記終端抵抗との接続点から、前記受信側入力部回路の入力端子までの長さが、前記受信側入力部回路で取り扱う信号の最大周波数成分の波長の1/20未満であることを特徴とするICチップ。

【請求項2】

請求項1記載のICチップにおいて、前記受信側入力部回路の入力端子に直流バイアス電圧を与えるように構成されたバイアス印加回路をさらに備えることを特徴とするICチップ。

【請求項 3】

請求項 1 または 2 記載の IC チップにおいて、
前記信号線中に直列に挿入されたインダクタをさらに備えることを特徴とする IC チップ。

【請求項 4】

請求項 1 または 2 記載の IC チップにおいて、
前記信号線中に直列に挿入された、特性インピーダンスが 50 以上の第 2 の伝送線路をさらに備えることを特徴とする IC チップ。

【請求項 5】

請求項 4 記載の IC チップにおいて、
前記パッドと前記第 2 の伝送線路との間の前記信号線中に直列に挿入された第 1 のインダクタと、

10

前記信号線と前記終端抵抗との接続点と、前記第 2 の伝送線路との間の前記信号線中に直列に挿入された第 2 のインダクタとをさらに備えることを特徴とする IC チップ。

【請求項 6】

請求項 5 記載の IC チップにおいて、
前記第 2 の伝送線路は、直列に接続された 2 本の伝送線路からなり、
前記 2 本の伝送線路の間の信号線に接続された静電気放電保護回路をさらに備えることを特徴とする IC チップ。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、小型で広帯域な DC ブロック回路を備えた IC チップに関するものである。

【背景技術】

【0002】

IC (Integrated Circuit) 間で高速な電気信号の通信を行う際、IC 間は一般的に特性インピーダンス Z_0 が 50 の伝送線路 (伝送媒体) によって接続されている。そして、伝送線路の送端側および受端側にはそれぞれインピーダンス整合用の 50 抵抗が配置される。また、送信側の IC と受信側の IC 間で動作電圧 (DC 動作点) に違いがある場合、信号の直流成分をカットするような DC ブロック用のコンデンサが IC 間に配置される。

【0003】

30

DC ブロックコンデンサを含む一般的な送受信構成の例を図 33 に示す。図 33 の例では、送信側の IC 1-1 に送信側回路 10-1 とインピーダンス整合用の 50 の抵抗 11-1 とが設けられ、受信側の IC 1-2 に受信側回路 10-2 とインピーダンス整合用の 50 の抵抗 11-2 とが設けられている。そして、IC 1-1 と IC 1-2 との間は、伝送線路 101 によって接続され、伝送線路 101 の途中で DC ブロックコンデンサ 3 が設けられている。

【0004】

図 33 の例では、DC ブロックコンデンサ 3 と受端側の 50 抵抗 11-2 とがハイパスフィルタを構成しているため、信号の直流成分を含む低周波の成分がカット (遮断) される。ただし、数 Gbps ~ 数十 Gbps の広帯域なベースバンド信号を扱うようなアプリケーションの場合、~ 1 MHz 程度以上の信号周波数成分を通過させる必要があり、ハイパスフィルタのカットオフ周波数を ~ 1 MHz 程度以下にする必要が生じる。

40

【0005】

容量 C と抵抗 R とを用いた図 34 のようなハイパスフィルタの伝達関数は次式のようになる。

$$V_{out}(s) / V_{in}(s) = 1 / \{ 1 + (1 / sCR) \} \quad \dots (1)$$

【0006】

式 (1) によれば、インピーダンス整合を担保するために抵抗 R の値が固定値 50 であるとすると、1 MHz 程度のカットオフ周波数を実現するためには、容量 C が 5 nF 程度以上 (nF オーダー) 必要となることが分かる。nF オーダーの容量を、一般的な半導体

50

プロセスでオンチップに作製することは専有面積上困難であり、DCブロックコンデンサを外付け（オフチップ）で実装する必要が生じる（非特許文献1参照）。

しかしながら、外付けのコンデンサが数百 μm ～mm角のサイズを有するため、外付けのコンデンサが搭載されるモジュール等の小型化を阻害するという課題があった。

【先行技術文献】

【非特許文献】

【0007】

【文献】H.Wakita, et al., “36-GHz-Bandwidth Quad-channel Driver Module using Compact QFN Package for Optical Coherent Systems”, Electrical Performance of Electronic Packaging and Systems (EPEPS), 2015

10

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、上記課題を解決するためになされたもので、インピーダンス整合を担保しながら、ICチップ上に搭載可能な小型で広帯域なDCブロック回路を実現することを目的とする。

【課題を解決するための手段】

【0009】

本発明のICチップは、チップ外部の第1の伝送線路と接続されたパッドと、一端が前記パッドに接続された信号線と、この信号線の他端に接続され、前記第1の伝送線路を終端するように構成された終端抵抗と、送信側から前記第1の伝送線路を介して伝送される信号を受信するように構成された受信側入力部回路と、前記信号線と前記終端抵抗との接続点と、前記受信側入力部回路の入力端子との間に挿入されたコンデンサとを備え、前記受信側入力部回路は、ベースまたはゲートを入力端子とするトランジスタを入力段に備え、前記第1の伝送線路の特性インピーダンスが50であり、前記信号線と前記終端抵抗との接続点から、前記受信側入力部回路の入力端子までの長さが、前記受信側入力部回路で取り扱う信号の最大周波数成分の波長の1/20未満であることを特徴とするものである。

20

【発明の効果】

【0010】

本発明によれば、ICチップの信号線と終端抵抗との接続点と、受信側入力部回路の入力端子との間にコンデンサを設けることにより、ICチップ上に搭載可能な小型で広帯域なDCブロック回路を実現することができる。その結果、本発明では、小型で広帯域なDCブロック回路を備えたICチップを実現することができる。

30

【図面の簡単な説明】

【0011】

【図1】図1は、本発明の第1の実施例に係る受信側ICチップの構成を示す回路図である。

【図2】図2は、本発明の第2の実施例に係る受信側ICチップの構成を示す回路図である。

【図3】図3は、本発明の第3の実施例に係る受信側ICチップの構成を示す回路図である。

40

【図4】図4は、本発明の第4の実施例に係る受信側ICチップの構成を示す回路図である。

【図5】図5は、本発明の第5の実施例に係る受信側ICチップの構成を示す回路図である。

【図6】図6は、本発明の第5の実施例に係る受信側ICチップの別の構成を示す回路図である。

【図7】図7は、本発明の第6の実施例に係る受信側ICチップの構成を示す回路図である。

【図8】図8は、本発明の第6の実施例に係る受信側ICチップの別の構成を示す回路図

50

である。

【図 9】図 9 は、本発明の第 7 の実施例に係る受信側 IC チップの構成を示す回路図である。

【図 10】図 10 は、本発明の第 7 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 11】図 11 は、本発明の第 8 の実施例に係る受信側 IC チップの構成を示す回路図である。

【図 12】図 12 は、本発明の第 8 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 13 A - 13 B】図 13 A - 図 13 B は、本発明の第 1 ~ 第 4 の実施例に係る受信側入力部回路の入力段の構成例を示す回路図である。

10

【図 14 A - 14 B】図 14 A - 図 14 B は、本発明の第 5 ~ 第 8 の実施例に係る受信側入力部回路の入力段の構成例を示す回路図である。

【図 15】図 15 は、本発明の第 3、第 4、第 7、第 8 の実施例に係るバイアス印加回路の構成例を示す回路図である。

【図 16】図 16 は、本発明の第 12 の実施例に係る受信側 IC チップの構成を示す回路図である。

【図 17】図 17 は、本発明の第 12 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 18】図 18 は、シミュレーションによる評価の対象とした従来の受信側 IC チップの構成を示す回路図である。

20

【図 19】図 19 は、従来の受信側 IC チップと本発明の受信側 IC チップの周波数特性のシミュレーション結果を示す図である。

【図 20】図 20 は、本発明の第 13 の実施例に係る受信側 IC チップの構成を示す回路図である。

【図 21】図 21 は、本発明の第 13 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 22】図 22 は、本発明の第 13 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 23】図 23 は、本発明の第 13 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

30

【図 24】図 24 は、本発明の第 14 の実施例に係る受信側 IC チップの構成を示す回路図である。

【図 25】図 25 は、本発明の第 14 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 26】図 26 は、本発明の第 14 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 27】図 27 は、本発明の第 14 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 28】図 28 は、本発明の第 15 の実施例に係る受信側 IC チップの構成を示す回路図である。

40

【図 29】図 29 は、本発明の第 15 の実施例に係る受信側 IC チップの静電気放電保護回路の構成を示す回路図である。

【図 30】図 30 は、本発明の第 15 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 31】図 31 は、本発明の第 15 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 32】図 32 は、本発明の第 15 の実施例に係る受信側 IC チップの他の構成を示す回路図である。

【図 33】図 33 は、一般的な DC ブロックコンデンサを介した IC 間の接続構成例を示

50

す図である。

【図34】図34は、ハイパスフィルタの構成と伝達関数を説明する図である。

【発明を実施するための形態】

【0012】

本発明は、上記で述べた課題を解決するため、50 インピーダンス整合を担保しながら ICチップ上に搭載可能な小型で広帯域なDCブロック回路を提供するものである。本発明では、従来、送信側のICチップと受信側のICチップ間の伝送線路に設けていたDCブロックコンデンサを無くし、DCブロックコンデンサを受信側のICチップ上に設ける。

【0013】

[第1の実施例]

以下、本発明の実施例について図面を参照して説明する。図1は本発明の第1の実施例に係る受信側ICチップの構成を示す回路図である。受信側ICチップ1aは、チップ外部の特性インピーダンス Z_0 が50 の伝送線路2と接続されたパッド15と、一端がパッド15に接続された信号線16と、送信側のICチップ(不図示)から伝送線路2を介して伝送される信号Sを受信する受信側入力部回路10と、所定の電圧と信号線16の他端との間に接続され、伝送線路2を終端するインピーダンス整合用の50 の終端抵抗11と、信号線16と終端抵抗11との接続点Aと、受信側入力部回路10の入力端子Inとの間に挿入されたコンデンサ12とを少なくとも備えている。

【0014】

このような受信側ICチップ1aにおいて、本実施例のオンチップDCブロック回路は、コンデンサ12からなる。

本実施例では、コンデンサ12をオンチップに実装可能なサイズとするため、受信側入力部回路10の入力インピーダンス Z_{in} を高くすることが必要となる。入力インピーダンス Z_{in} をどの程度に設定すればよいかについては後述する。

【0015】

[第2の実施例]

次に、本発明の第2の実施例について説明する。図2は本発明の第2の実施例に係る受信側ICチップの構成を示す回路図である。本実施例の受信側ICチップ1bは、第1の実施例と同様の構成を有するものであるが、信号線16と終端抵抗11との接続点Aから受信側入力部回路10の入力端子Inまでの長さLが、受信側ICチップ1b(受信側入力部回路10)で取り扱う信号Sの最大周波数成分の波長よりも十分に短いことを特徴とする。

【0016】

例えば、長さLは、受信側ICチップ1b(受信側入力部回路10)で取り扱う信号Sの最大周波数成分の波長の $1/20$ 未満とすればよい。一般に信号波長の $1/20$ 未満のサイズは集中定数回路として扱えることが知られている。すなわち、信号波長の $1/20$ 未満のサイズであれば、反射波などが生じる状況下であっても信号波形に影響を及ぼすことはない。

【0017】

[第3の実施例]

次に、本発明の第3の実施例について説明する。図3は本発明の第3の実施例に係る受信側ICチップの構成を示す回路図である。本実施例の受信側ICチップ1cは、第1の実施例の構成に対して、受信側入力部回路10の入力端子Inに直流バイアス電圧を与えるバイアス印加回路13を追加したものである。

【0018】

本実施例では、オンチップDCブロック回路のコンデンサ12をオンチップに実装可能なサイズとするため、受信側入力部回路10の入力インピーダンス Z_{in} とバイアス印加回路13の出カインピーダンス Z_{out} とを高くすることが必要となる。入力インピーダンス Z_{in} および出カインピーダンス Z_{out} をどの程度に設定すればよいかについては後述する。

10

20

30

40

50

【 0 0 1 9 】

[第 4 の 実 施 例]

次に、本発明の第 4 の実施例について説明する。図 4 は本発明の第 4 の実施例に係る受信側 IC チップの構成を示す回路図である。本実施例の受信側 IC チップ 1 d は、第 3 の実施例と同様の構成を有するものであるが、信号線 1 6 と終端抵抗 1 1 との接続点 A から受信側入力部回路 1 0 の入力端子 I n までの長さ L が、受信側 IC チップ 1 d (受信側入力部回路 1 0) で取り扱う信号 S の最大周波数成分の波長よりも十分に短いことを特徴とする。第 3 の実施例と同様に、長さ L は、受信側 IC チップ 1 d (受信側入力部回路 1 0) で取り扱う信号 S の最大周波数成分の波長の $1/20$ 未満とすればよい。

【 0 0 2 0 】

以上のように、第 1 ~ 第 4 の実施例で説明した特徴を有する DC ブロック回路の構成を用いると、コンデンサ 1 2 の前に配置した 5 0 の終端抵抗 1 1 によってインピーダンスの整合が担保されると共に、信号線 1 6 と終端抵抗 1 1 との接続点 A から受信側入力部回路 1 0 を見たとき、図 3 4 の回路で示すところの抵抗値 R を十分に大きく設計することが可能となり、コンデンサ 1 2 の値を小さくしてもハイパスフィルタのカットオフ周波数を低域まで拡張することが可能となる。

【 0 0 2 1 】

例えば第 1、第 2 の実施例の場合、受信側入力部回路 1 0 の入力インピーダンス Z_{in} とコンデンサ 1 2 とによってハイパスフィルタが構成される。このハイパスフィルタのカットオフ周波数とコンデンサ 1 2 の容量とが、それぞれ所望の値になるように、式 (1) に基づいて入力インピーダンス Z_{in} (抵抗 R の値) を設定すればよい。

【 0 0 2 2 】

また、第 3、第 4 の実施例の場合、受信側入力部回路 1 0 の入力インピーダンス Z_{in} およびバイアス印加回路 1 3 の出力インピーダンス Z_{out} の合成抵抗と、コンデンサ 1 2 とによってハイパスフィルタが構成される。このハイパスフィルタのカットオフ周波数とコンデンサ 1 2 の容量とが、それぞれ所望の値になるように、入力インピーダンス Z_{in} および出力インピーダンス Z_{out} を設定すればよい。例えば、受信側入力部回路 1 0 の入力インピーダンス Z_{in} およびバイアス印加回路 1 3 の出力インピーダンス Z_{out} の合成抵抗値を 1 M 程度に設計した場合、1 MHz のカットオフ周波数を実現するために必要なコンデンサ 1 2 の容量値は 1 p F 以下でよいことになる。すなわち、コンデンサ 1 2 がオンチップに実装可能なサイズとなる。

【 0 0 2 3 】

また、第 2、第 4 の実施例では、信号線 1 6 と終端抵抗 1 1 との接続点 A から受信側入力部回路 1 0 の入力端子 I n までの長さ L を、取り扱う信号 S の最大周波数成分の波長に対して十分に短く設計することで高周波での特性劣化 (接続点 A と受信側入力部回路 1 0 間でのインピーダンス不整合による反射の影響) を抑えることが可能である。

【 0 0 2 4 】

以上のように、第 1 ~ 第 4 の実施例の回路構成を用いることで、5 0 インピーダンス整合を担保しながら IC チップ上に搭載可能な小型で広帯域な DC ブロック回路を実現することができる。

【 0 0 2 5 】

[第 5 の 実 施 例]

第 1 ~ 第 4 の実施例では、単相信号 S を取り扱う回路への適用例を示したが、本発明を差動回路に適用することも可能である。図 5 は本発明の第 5 の実施例に係る受信側 IC チップの構成を示す回路図である。受信側 IC チップ 1 e は、特性インピーダンス Z_0 が 5 0 の非反転側の伝送線路 2 p と接続されたパッド 1 5 p と、特性インピーダンス Z_0 が 5 0 の反転側の伝送線路 2 n と接続されたパッド 1 5 n と、一端がパッド 1 5 p, 1 5 n に接続された信号線 1 6 p, 1 6 n と、送信側の IC チップ (不図示) から差動構成の伝送線路 2 p, 2 n を介して伝送される差動信号 D S を受信する受信側入力部回路 1 0 e と、所定の電圧と信号線 1 6 p の他端との間に接続され、伝送線路 2 p を終端するインピー

10

20

30

40

50

ダンス整合用の50の終端抵抗11pと、所定の電圧と信号線16nの他端との間に接続され、伝送線路2nを終端するインピーダンス整合用の50の終端抵抗11nと、信号線16pと終端抵抗11pとの接続点Apと、受信側入力部回路10eの非反転入力端子Inpとの間に挿入されたコンデンサ12pと、信号線16nと終端抵抗11nとの接続点Anと、受信側入力部回路10eの反転入力端子Innとの間に挿入されたコンデンサ12nとを少なくとも備えている。

【0026】

このような受信側ICチップ1eにおいて、本実施例のオンチップDCブロック回路は、コンデンサ12p, 12nからなる。

【0027】

本実施例では、コンデンサ12p, 12nをオンチップに実装可能なサイズとするため、受信側入力部回路10eの非反転側の入力インピーダンスZinpおよび反転側の入力インピーダンスZinnを高くすることが必要となる。入力インピーダンスZinp, Zinnをどの程度に設定すればよいかについては後述する。

【0028】

なお、差動回路のインピーダンス整合用の終端抵抗11p, 11nの配置については幾通りか考えられ、コモンモードノイズ対策のために図5に示したようにT型終端の構成としてもよいし、図6の受信側ICチップ1fのように型終端の構成をとってもよい。

【0029】

[第6の実施例]

次に、本発明の第6の実施例について説明する。図7は本発明の第6の実施例に係る受信側ICチップの構成を示す回路図である。本実施例の受信側ICチップ1gは、第5の実施例と同様の構成を有するものであるが、非反転側の信号線16pと終端抵抗11pとの接続点Apから受信側入力部回路10eの非反転入力端子Inpまでの長さLp、および反転側の信号線16nと終端抵抗11nとの接続点Anから受信側入力部回路10eの反転入力端子Innまでの長さLnが、受信側ICチップ1g(受信側入力部回路10e)で取り扱う信号DSの最大周波数成分の波長よりも十分に短いことを特徴とする。

【0030】

第2の実施例と同様に、長さLp, Lnは、受信側ICチップ1g(受信側入力部回路10e)で取り扱う信号DSの最大周波数成分の波長の1/20未満とすればよい。

第5の実施例で説明したとおり、コモンモードノイズ対策のために図7に示したようにT型終端の構成としてもよいし、図8の受信側ICチップ1hのように型終端の構成をとってもよい。

【0031】

[第7の実施例]

次に、本発明の第7の実施例について説明する。図9は本発明の第7の実施例に係る受信側ICチップの構成を示す回路図である。本実施例の受信側ICチップ1iは、第5の実施例の構成に対して、受信側入力部回路10eの非反転入力端子Inpに直流バイアス電圧を与えるバイアス印加回路13pと、受信側入力部回路10eの反転入力端子Innに直流バイアス電圧を与えるバイアス印加回路13nとを追加したものである。

【0032】

本実施例では、コンデンサ12p, 12nをオンチップに実装可能なサイズとするため、受信側入力部回路10eの入力インピーダンスZinp, Zinnとバイアス印加回路13p, 13nの出カインピーダンスZoutp, Zoutnとを高くすることが必要となる。入力インピーダンスZinp, Zinnおよび出カインピーダンスZoutp, Zoutnをどの程度に設定すればよいかについては後述する。

【0033】

第5の実施例で説明したとおり、コモンモードノイズ対策のために図9に示したようにT型終端の構成としてもよいし、図10の受信側ICチップ1jのように型終端の構成をとってもよい。

10

20

30

40

50

【 0 0 3 4 】

[第 8 の 実 施 例]

次に、本発明の第 8 の実施例について説明する。図 1 1 は本発明の第 8 の実施例に係る受信側 IC チップの構成を示す回路図である。本実施例の受信側 IC チップ 1 k は、第 7 の実施例と同様の構成を有するものであるが、非反転側の信号線 1 6 p と終端抵抗 1 1 p との接続点 A p から受信側入力部回路 1 0 e の非反転入力端子 I n p までの長さ L p、および反転側の信号線 1 6 n と終端抵抗 1 1 n との接続点 A n から受信側入力部回路 1 0 e の反転入力端子 I n n までの長さ L n が、受信側 IC チップ 1 k (受信側入力部回路 1 0 e) で取り扱う信号 D S の最大周波数成分の波長よりも十分に短いことを特徴とする。第 6 の実施例と同様に、長さ L p、L n は、受信側 IC チップ 1 k (受信側入力部回路 1 0 e) で取り扱う信号 D S の最大周波数成分の波長の 1 / 2 0 未満とすればよい。

10

【 0 0 3 5 】

第 5 の実施例で説明したとおり、コモンモードノイズ対策のために図 1 1 に示したように T 型終端の構成としてもよいし、図 1 2 の受信側 IC チップ 1 l のように π 型終端の構成をとってもよい。

【 0 0 3 6 】

以上のように、第 5 ~ 第 8 の実施例で説明した特徴を有する IC チップの構成を用いると、差動回路において第 1 ~ 第 4 の実施例と同様の効果を得ることができる。第 5、第 6 の実施例の場合、受信側入力部回路 1 0 e の非反転側の入力インピーダンス Z i n p とコンデンサ 1 2 p とによってハイパスフィルタが構成される。このハイパスフィルタのカットオフ周波数とコンデンサ 1 2 p の容量とが、それぞれ所望の値になるように、式 (1) に基づいて入力インピーダンス Z i n p (抵抗 R の値) を設定すればよい。同様に、受信側入力部回路 1 0 e の反転側の入力インピーダンス Z i n n とコンデンサ 1 2 n とによってハイパスフィルタが構成されるので、このハイパスフィルタのカットオフ周波数とコンデンサ 1 2 n の容量とが、それぞれ所望の値になるように、入力インピーダンス Z i n n (抵抗 R の値) を設定すればよい。

20

【 0 0 3 7 】

また、第 7、第 8 の実施例の場合、受信側入力部回路 1 0 e の非反転側の入力インピーダンス Z i n p およびバイアス印加回路 1 3 p の出力インピーダンス Z o u t p の合成抵抗と、コンデンサ 1 2 p とによってハイパスフィルタが構成される。このハイパスフィルタのカットオフ周波数とコンデンサ 1 2 p の容量とが、それぞれ所望の値になるように、入力インピーダンス Z i n p および出力インピーダンス Z o u t p を設定すればよい。同様に、受信側入力部回路 1 0 e の反転側の入力インピーダンス Z i n n およびバイアス印加回路 1 3 n の出力インピーダンス Z o u t n の合成抵抗と、コンデンサ 1 2 n とによってハイパスフィルタが構成されるので、このハイパスフィルタのカットオフ周波数とコンデンサ 1 2 n の容量とが、それぞれ所望の値になるように、入力インピーダンス Z i n n および出力インピーダンス Z o u t n を設定すればよい。

30

【 0 0 3 8 】

[第 9 の 実 施 例]

次に、第 1 ~ 第 4 の実施例の受信側入力部回路 1 0 の構成例について説明する。前述のとおり第 1 ~ 第 4 の実施例の IC チップを実現するためには入力インピーダンスの高い受信側入力部回路 1 0 を備える必要がある。その回路構成として、バイポーラトランジスタを用いる場合にはベースを入力とし、F E T (電界効果トランジスタ) を用いる場合にはゲートを入力とするような回路が適する。

40

【 0 0 3 9 】

すなわち、バイポーラトランジスタの場合には、受信側入力部回路 1 0 の入力段の構成として、図 1 3 A のようにバイポーラトランジスタ Q 1 と電流源 I S 1 とからなるエミッタフォロワを使用することが好ましい。また、F E T の場合には、受信側入力部回路 1 0 の入力段の構成として、図 1 3 B のように F E T Q 2 と電流源 I S 2 とからなるソースフォロワを使用することが好ましい。

50

【 0 0 4 0 】

[第 1 0 の実施例]

次に、第 5 ~ 第 8 の実施例の受信側入力部回路 1 0 e の構成例について説明する。第 1 ~ 第 4 の実施例と同様に、第 5 ~ 第 8 の実施例の IC チップを実現するためには入力インピーダンスの高い受信側入力部回路 1 0 e を備える必要がある。

【 0 0 4 1 】

バイポーラトランジスタの場合には、受信側入力部回路 1 0 e の入力段の構成として、図 1 4 A のようにバイポーラトランジスタ Q 3 , Q 4 と抵抗 R 1 , R 2 と電流源 I S 3 とからなる差動回路を使用することが好ましい。また、F E T の場合には、受信側入力部回路 1 0 e の入力段の構成として、図 1 4 B のように F E T Q 5 , Q 6 と抵抗 R 3 , R 4 と電流源 I S 4 とからなる差動回路を使用することが好ましい。

10

【 0 0 4 2 】

[第 1 1 の実施例]

次に、第 3、第 4、第 7、第 8 の実施例のバイアス印加回路 1 3 , 1 3 p , 1 3 n の構成例について説明する。第 3、第 4 の実施例のバイアス印加回路 1 3 は、例えば図 1 5 に示すように一端が正の電源電圧 V C C (受信側入力部回路 1 0 が F E T で構成される場合には V D D) に接続され、他端がバイアス印加回路 1 3 の出力端子に接続された抵抗 R 5 と、一端がバイアス印加回路 1 3 の出力端子に接続され、他端が負の電源電圧 V E E (受信側入力部回路 1 0 が F E T で構成される場合には V S S) に接続された抵抗 R 6 とからなる分圧回路で実現することができる。

20

第 7、第 8 の実施例のバイアス印加回路 1 3 p , 1 3 n についても同様に分圧回路で実現することができる。

【 0 0 4 3 】

前述のとおりコンデンサ 1 2 , 1 2 p , 1 2 n をオンチップに実装可能なサイズとするため、バイアス印加回路 1 3 , 1 3 p , 1 3 n の出力インピーダンス Z_{out} , $Z_{out p}$, $Z_{out n}$ を高くすることが必要となるので、抵抗 R 5 , R 6 の抵抗値を高くする必要がある。具体的には、バイアス印加回路 1 3 , 1 3 p , 1 3 n から出力するバイアス電圧と、必要な出力インピーダンス Z_{out} , $Z_{out p}$, $Z_{out n}$ とに応じて、抵抗 R 5 , R 6 の値を設定すればよい。

【 0 0 4 4 】

[第 1 2 の実施例]

次に、本発明の第 1 2 の実施例について説明する。図 1 6 は本発明の第 1 2 の実施例に係る受信側 IC チップの構成を示す回路図である。本実施例の受信側 IC チップ 1 m は、第 1、第 2 の実施例の構成に対して、特性インピーダンス Z_0 が 5 0 以上の伝送線路 1 4 を信号線 1 6 中に直列に挿入したことを特徴とする。

30

【 0 0 4 5 】

本実施例では、伝送線路 1 4 を挿入することにより、受信側 IC チップ 1 m の入力部について、入力ポート (伝送線路 2 と接続される信号入力のためのパッドなど) から終端抵抗 1 1 までの寄生容量の影響を抑制することができる。

【 0 0 4 6 】

伝送線路 1 4 は第 1 ~ 第 8 の実施例のいずれにも適用可能である。第 5 ~ 第 8 の実施例に適用する場合には、図 1 7 に示すように、信号線 1 6 p , 1 6 n のそれぞれについて直列に、特性インピーダンス Z_0 が 5 0 以上の伝送線路 1 4 p , 1 4 n を挿入すればよい。図 1 7 の構成は、伝送線路 1 4 p , 1 4 n を図 5 に適用した場合を示しているが、図 6 ~ 図 1 2 にも同様に適用可能である。

40

【 0 0 4 7 】

最後に、本発明の効果を以下に示す。本発明の効果を確認するため、オンチップで実装可能なサイズのコンデンサ 2 . 5 p F を、従来構成の配置で用いた場合と、本発明の構成で用いた場合について、広帯域アンプを例にとり回路シミュレータにて比較した。

【 0 0 4 8 】

50

従来の構成としては、図18に示すように伝送線路2の終端と、終端抵抗11と受信側入力部回路10の入力端子との接続点との間に2.5 pFのコンデンサ120を挿入した構成を用いた。

一方、本発明の構成としては、図4に示した第4の実施例の受信側ICチップ1dにおいてコンデンサ12の容量を2.5 pFとした構成を用いた。

【0049】

図19は従来の受信側ICチップと本発明の受信側ICチップの周波数特性のシミュレーション結果を示す図である。図19の180は従来の受信側ICチップの周波数特性を示し、181は本発明の受信側ICチップの周波数特性を示している。

【0050】

図19によれば、本発明の構成を用いることによって高周波での特性を劣化させることなく、低域のカットオフ周波数を600 MHzから20 kHzまで拡張できていることが分かる。以上のように、本発明を用いることで、ICチップ上に搭載可能な小型で広帯域なDCブロック回路が実現可能となる。

【0051】

[第13の実施例]

次に、本発明の第13の実施例について説明する。図20は本発明の第13の実施例に係る受信側ICチップの構成を示す回路図である。本実施例の受信側ICチップ1nは、第1、第2の実施例の構成に対して、インダクタ17を信号線16中に直列に挿入したことを特徴とする。

【0052】

第1～第12の実施例において、終端抵抗11、11p、11nとコンデンサ12、12P、12nとの接続点A、Ap、Anには回路レイアウト起因の寄生容量が付加されてしまうため、高周波側でのインピーダンス整合・反射特性の劣化が生じてしまう。この高周波側での反射特性の劣化を抑えるためには、図20に示したようにインダクタ17を挿入すればよい。このとき、インダクタ17は、例えばpHオーダーの小さなインダクタンス値を有するものであるから、低周波ではほぼ短絡とみなすことができる。したがって、インダクタ17が、本発明で担保したい低域のカットオフ周波数に大きな影響を与えることはない。

【0053】

第3、第4の実施例の図3、図4にインダクタ17を適用した場合の受信側ICチップ1oの構成を図21に示す。

第5の実施例の図5において、信号線16p、16nのそれぞれに直列にインダクタ17p、17nを挿入した場合の受信側ICチップ1pの構成を図22に示す。図22の構成は、インダクタ17p、17nを図5に適用した場合を示しているが、図6～図8にも同様に適用可能である。

【0054】

第7の実施例の図9において、信号線16p、16nのそれぞれに直列にインダクタ17p、17nを挿入した場合の受信側ICチップ1qの構成を図23に示す。図23の構成は、インダクタ17p、17nを図9に適用した場合を示しているが、図10～図12にも同様に適用可能である。

【0055】

[第14の実施例]

次に、本発明の第14の実施例について説明する。図24は本発明の第14の実施例に係る受信側ICチップの構成を示す回路図である。本実施例の受信側ICチップ1rは、第12の実施例の構成に対して、パッド15と伝送線路14との間の信号線16中にインダクタ18を直列に挿入し、さらに信号線16と終端抵抗11との接続点Aと、伝送線路14との間の信号線16中にインダクタ19を直列に挿入したことを特徴とする。

【0056】

これにより、本実施例では、パッド15の寄生容量による高周波での反射特性劣化を抑え

10

20

30

40

50

ることができる。

第3、第4の実施例の図3、図4にインダクタ18、19を適用した場合の受信側ICチップ1sの構成を図25に示す。

【0057】

第12の実施例の図17において、信号線16p、16nのそれぞれに直列にインダクタ18p、19p、18n、19nを挿入した場合の受信側ICチップ1tの構成を図26に示す。図26の構成は、インダクタインダクタ18p、19p、18n、19nを図17に適用した場合を示しているが、図6～図8の信号線16p、16nのそれぞれについて直列に伝送線路14p、14nを挿入した構成にも同様に適用可能である。

【0058】

第7の実施例の図9において、信号線16p、16nのそれぞれについて直列に伝送線路14p、14nを挿入し、さらに信号線16p、16nのそれぞれに直列にインダクタ18p、19p、18n、19nを挿入した場合の受信側ICチップ1uの構成を図27に示す。図27の構成は、インダクタインダクタ18p、19p、18n、19nを図9に適用した場合を示しているが、図10～図12の信号線16p、16nのそれぞれについて直列に伝送線路14p、14nを挿入した構成にも同様に適用可能である。

【0059】

[第15の実施例]

次に、本発明の第15の実施例について説明する。図28は本発明の第15の実施例に係る受信側ICチップの構成を示す回路図である。本実施例の受信側ICチップ1vは、第14の実施例の図24に示した構成において、伝送線路14を、直列に接続された2本の伝送線路14-1、14-2からなるものとし、この2本の伝送線路14-1、14-2の間の信号線16に接続された静電気放電(ESD: Electro Static Discharge)保護回路20を備えることを特徴とする。

【0060】

例えば実装工程時におけるICの取扱いに際して、ESDにより抵抗、コンデンサ、あるいは受信側入力部回路のトランジスタがダメージを受ける可能性がある。このESD耐性を向上させるために、ICチップにESD保護回路20を設ける。ただし、ESD保護回路20の付加による寄生容量の影響(反射特性の劣化など)を抑えるために、特性インピーダンスZ0が50以上の伝送線路14-1、14-2を2本設け、これら2本の伝送線路14-1、14-2の接続点にESD保護回路20を設ける。

【0061】

ESD保護回路20の構成を図29に示す。ESD保護回路20は、正の電源電圧VCC(受信側入力部回路10がFETで構成される場合にはVDD)と信号線16との間に逆バイアスになるように接続されたN個のダイオードD1と、信号線16と負の電源電圧VEE(受信側入力部回路10がFETで構成される場合にはVSS)との間に逆バイアスになるように接続されたM個のダイオードD2とから構成される。

【0062】

ダイオードD1、D2の段数N、Mは、信号線16の電圧(動作状態における直流動作点)に応じてダイオードD1、D2がブレークダウンしない範囲で任意に設定されるパラメータである。すなわち、N>0かつM>0である。

【0063】

こうして、本実施例では、ICチップ上に搭載可能な小型で広帯域、かつESD耐性の高いDCブロック回路が実現可能となる。

第14の実施例の図25に示した構成において、伝送線路14を、直列に接続された2本の伝送線路14-1、14-2からなるものとし、この2本の伝送線路14-1、14-2の間の信号線16にESD保護回路20を接続した場合の受信側ICチップ1wの構成を図30に示す。

【0064】

第14の実施例の図26に示した構成において、伝送線路14pを特性インピーダンスZ

10

20

30

40

50

0が50以上の2本の伝送線路14p-1, 14p-2からなるものとし、伝送線路14nを特性インピーダンスZ0が50以上の2本の伝送線路14n-1, 14n-2からなるものとし、直列に接続された2本の伝送線路14p-1, 14p-2の間の信号線16pにESD保護回路20pを接続し、直列に接続された2本の伝送線路14n-1, 14n-2の間の信号線16nにESD保護回路20nを接続した場合の受信側ICチップ1xの構成を図31に示す。ESD保護回路20p, 20nの構成は、ESD保護回路20と同様である。図31の構成は、ESD保護回路20p, 20nを図26に適用した場合を示しているが、図6~図8の信号線16pに直列に伝送線路14p-1, 14p-2とインダクタ18p, 19pとを挿入し、信号線16nに直列に伝送線路14n-1, 14n-2とインダクタ18n, 19nとを挿入した構成にも同様に適用可能である。

10

【0065】

第14の実施例の図27に示した構成において、伝送線路14pを特性インピーダンスZ0が50以上の2本の伝送線路14p-1, 14p-2からなるものとし、伝送線路14nを特性インピーダンスZ0が50以上の2本の伝送線路14n-1, 14n-2からなるものとし、直列に接続された2本の伝送線路14p-1, 14p-2の間の信号線16pにESD保護回路20pを接続し、直列に接続された2本の伝送線路14n-1, 14n-2の間の信号線16nにESD保護回路20nを接続した場合の受信側ICチップ1yの構成を図32に示す。図32の構成は、ESD保護回路20p, 20nを図27に適用した場合を示しているが、図10~図12の信号線16pに直列に伝送線路14p-1, 14p-2とインダクタ18p, 19pとを挿入し、信号線16nに直列に伝送線路14n-1, 14n-2とインダクタ18n, 19nとを挿入した構成にも同様に適用可能である。

20

【産業上の利用可能性】

【0066】

本発明は、高速な電気信号の通信を行うICチップに適用することができる。

【符号の説明】

【0067】

1a~1y...受信側ICチップ、2, 2p, 2n, 14, 14-1, 14-2, 14p, 14p-1, 14p-2, 14n, 14n-1, 14n-2...伝送線路、10, 10e...受信側入力部回路、11, 11p, 11n...終端抵抗、12, 12P, 12n...コンデンサ、13, 13p, 13n...バイアス印加回路、15, 15p, 15n...パッド、16, 16p, 16n...信号線、17, 17p, 17n, 18, 18p, 18n, 19, 19p, 19n...インダクタ、20, 20p, 20n...静電気放電保護回路、Q1, Q3, Q4...バイポーラトランジスタ、Q2, Q5, Q6...FET、IS1~IS4...電流源、R1~R6...抵抗、D1, D2...ダイオード。

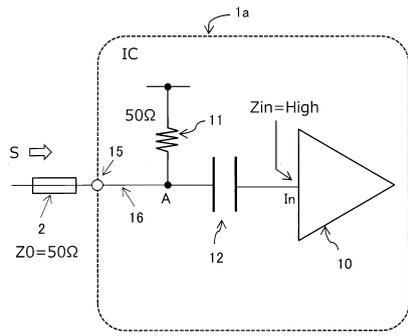
30

40

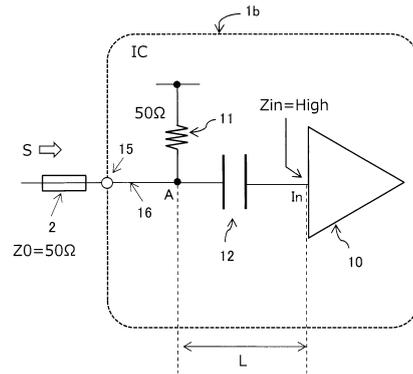
50

【図面】

【図 1】

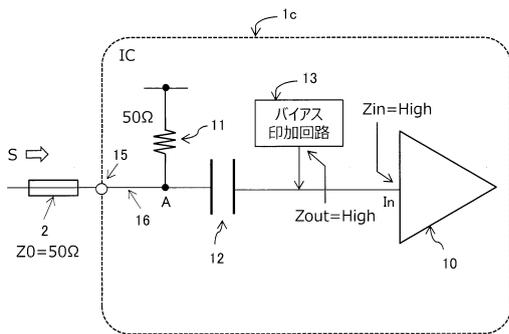


【図 2】

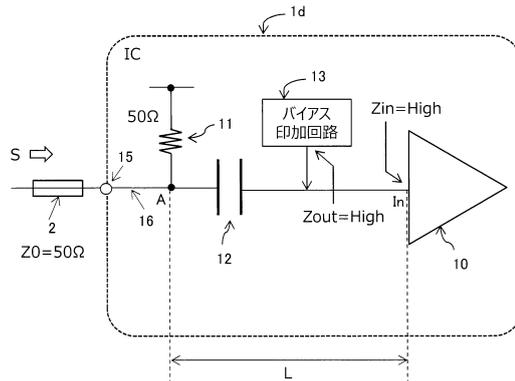


10

【図 3】



【図 4】



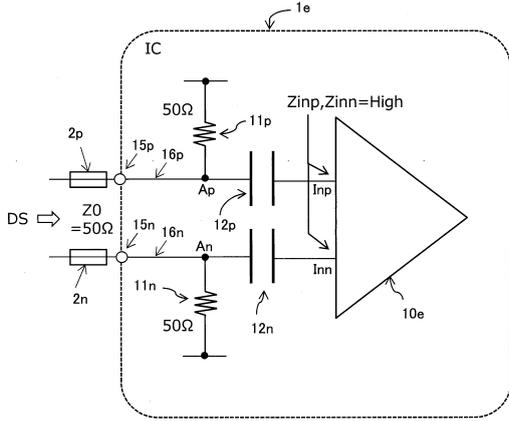
20

30

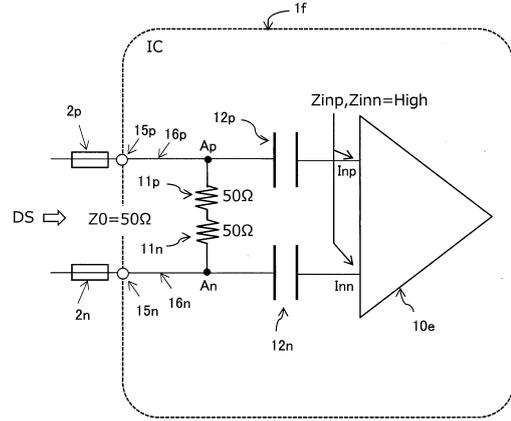
40

50

【図 5】

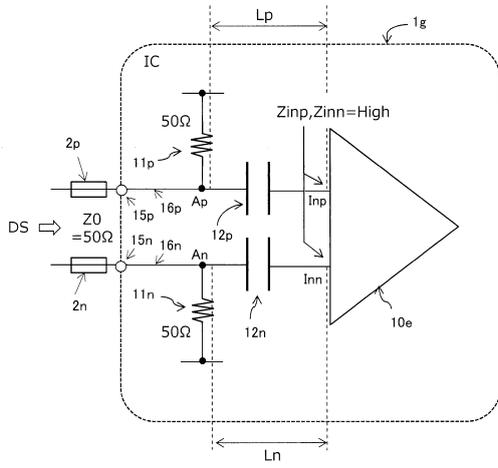


【図 6】

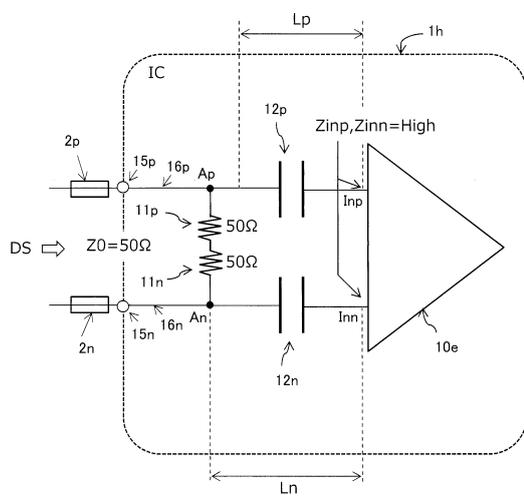


10

【図 7】



【図 8】



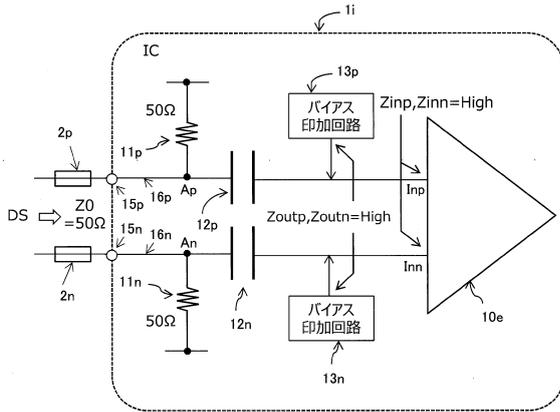
20

30

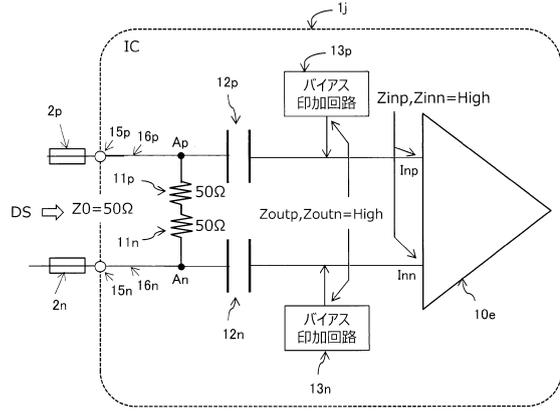
40

50

【図 9】

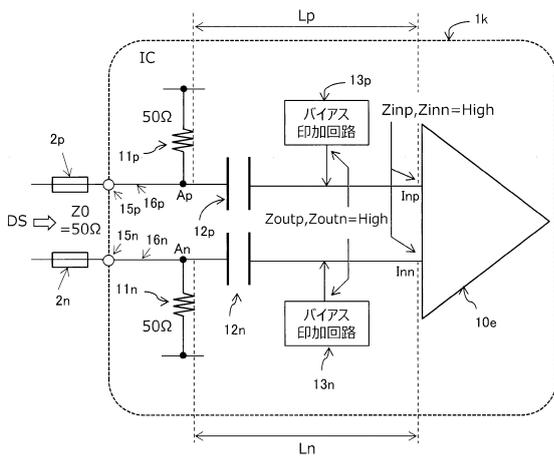


【図 10】

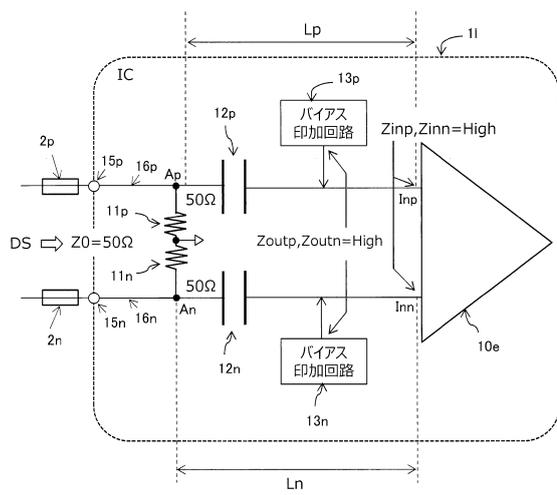


10

【図 11】



【図 12】



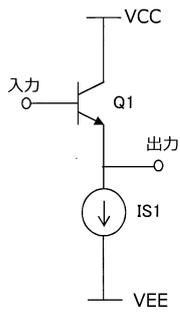
20

30

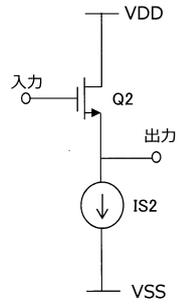
40

50

【図 1 3 A】

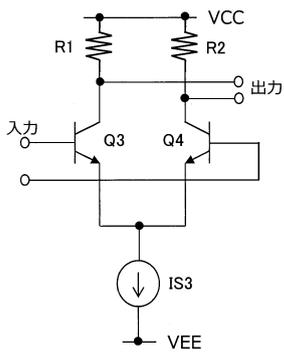


【図 1 3 B】

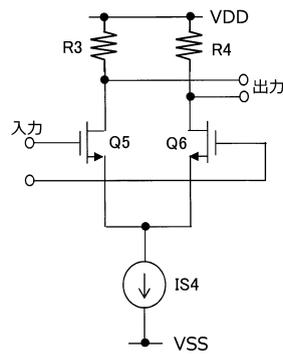


10

【図 1 4 A】

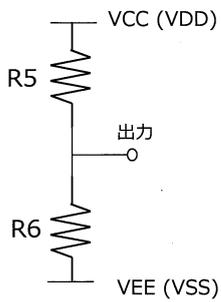


【図 1 4 B】

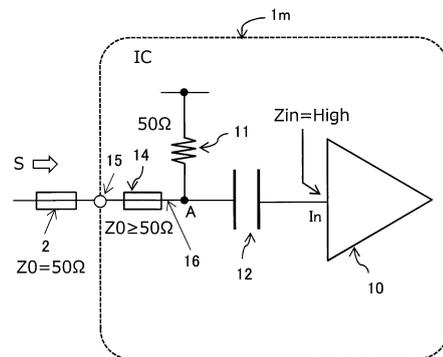


20

【図 1 5】



【図 1 6】

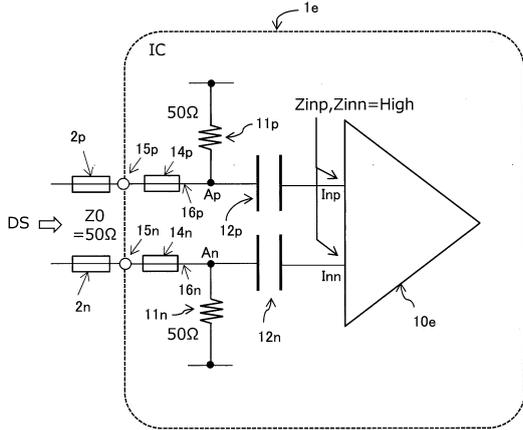


30

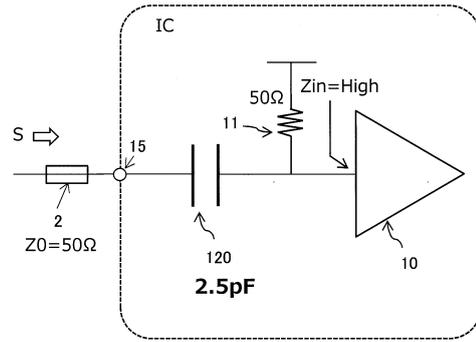
40

50

【図 17】

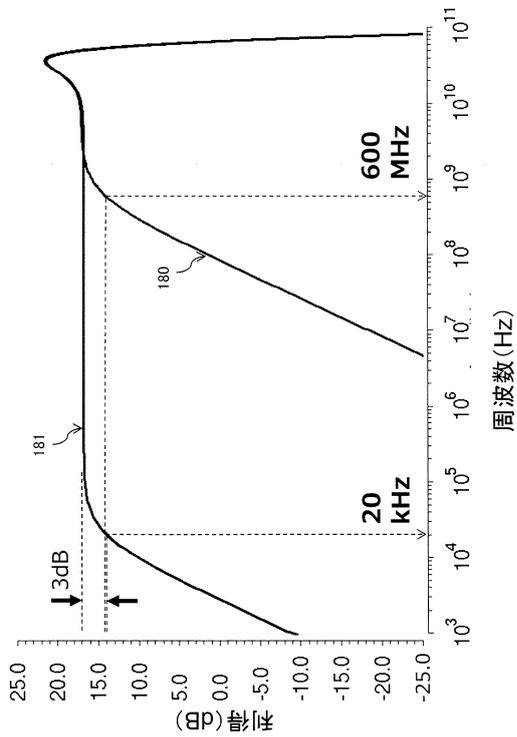


【図 18】

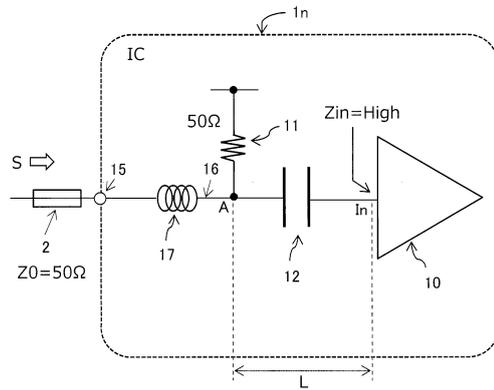


10

【図 19】



【図 20】



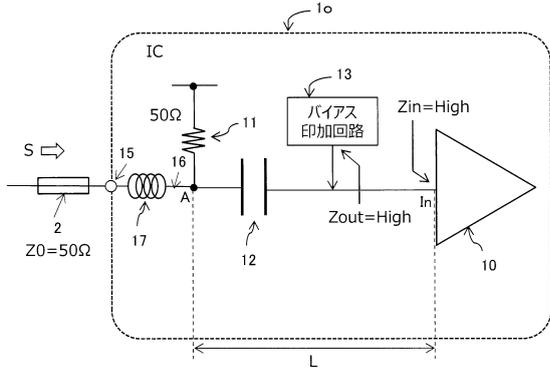
20

30

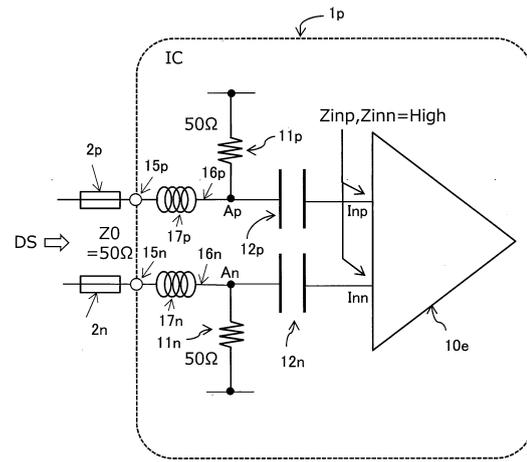
40

50

【図 2 1】

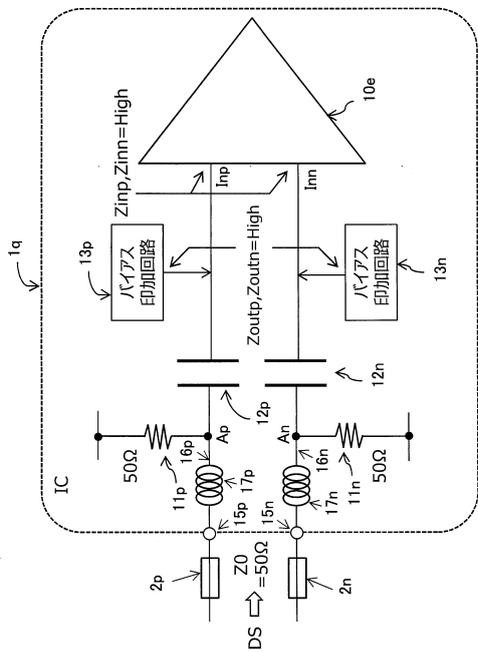


【図 2 2】



10

【図 2 3】

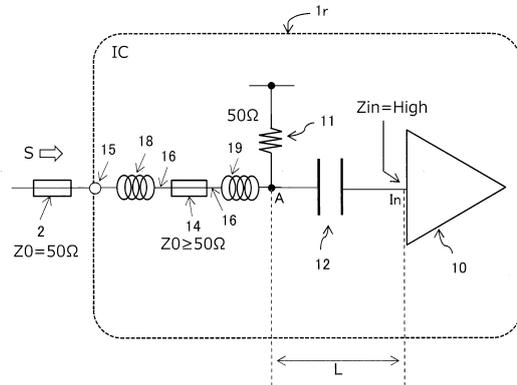


20

30

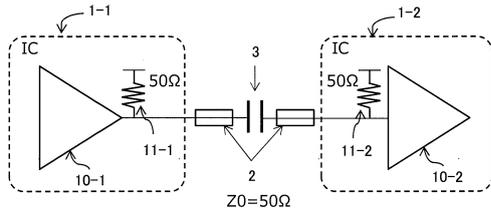
40

【図 2 4】

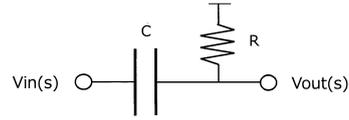


50

【 3 3 】



【 3 4 】



10

20

30

40

50

フロントページの続き

日本電信電話株式会社内

合議体

審判長 佐藤 智康

審判官 吉田 隆之

審判官 衣鳩 文彦

(58)調査した分野 (Int.Cl. , D B 名)

H03H