

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-347760
(P2005-347760A)

(43) 公開日 平成17年12月15日(2005.12.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 25/065	HO 1 L 25/08	Z 4M106
HO 1 L 21/66	HO 1 L 21/66	Y
HO 1 L 25/07		
HO 1 L 25/18		

審査請求 有 請求項の数 18 O L (全 12 頁)

(21) 出願番号	特願2005-164851 (P2005-164851)	(71) 出願人	501209070 インフィネオン テクノロジーズ アクチ エンゲゼルシャフト
(22) 出願日	平成17年6月3日(2005.6.3)	(74) 代理人	100078282 弁理士 山本 秀策
(31) 優先権主張番号	102004027489.4	(74) 代理人	100062409 弁理士 安村 高明
(32) 優先日	平成16年6月4日(2004.6.4)	(74) 代理人	100113413 弁理士 森下 夏樹
(33) 優先権主張国	ドイツ(DE)	(72) 発明者	マルチーン ケルバー ドイツ国 81827 ミュンヘン, フ ロラシュトラーセ 42
		Fターム(参考)	4M106 AA02 AA08 AC13

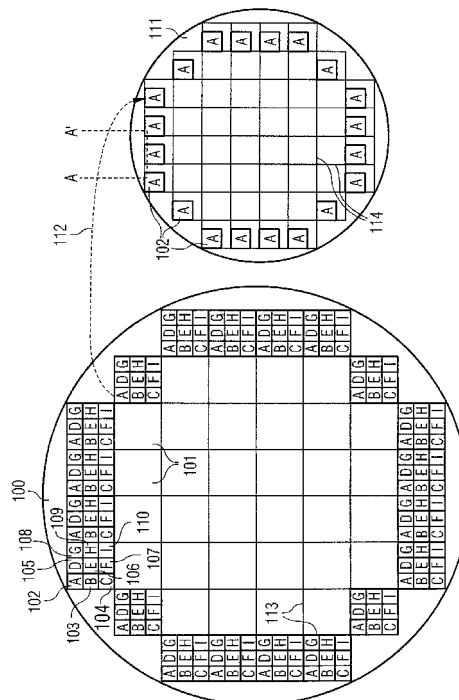
(54) 【発明の名称】 第2の基板上に第1の基板のチップを配置する方法

(57) 【要約】

【課題】 1つの基板の種々のチップの同時検査を、改善された経済性を伴って可能にすること。

【解決手段】 本発明は第2の基板(111)上に第1の基板(100)のチップ(102~110)を配置する方法に関する。本方法においては、チップが少なくとも第1のチップ(102)と第2のチップ(103)とにグループ分けされ、第1の基板(100)の第1のチップ(102)が個別化され、個別化された第1のチップ(102)は、第1のチップの各々(102)が第2の基板(111)上において第1の基板(100)上に属する第1のチップ(102)に一義的に割り当てられるように、一致して第2の基板(111)上に配置される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 2 の基板上に第 1 の基板のチップを配置する方法であって、
該チップが少なくとも第 1 のチップと第 2 のチップとにグループ分けされることと、
該第 1 の基板の該第 1 のチップが個別化されることと、
該個別化された第 1 のチップは、該第 1 のチップの各々が該第 2 の基板上において該第 1 の基板上に該属する第 1 のチップに一義的に割り当てられるように、一致して該第 2 の基板上に配置されることと
を包含する、方法。

【請求項 2】

前記第 1 の基板は前記第 2 の基板より大きい、請求項 1 に記載の方法。

【請求項 3】

前記第 1 の基板は半導体ウェーハである、請求項 1 または 2 に記載の方法。

【請求項 4】

前記第 1 の基板は、300mm の直径を有する半導体ウェーハである、請求項 3 に記載の方法。

【請求項 5】

前記第 2 の基板は半導体ウェーハである、請求項 1 から 4 のうちのいずれか一項に記載の方法。

【請求項 6】

前記第 2 の基板は、300mm より小さい直径、好ましくは 200mm の直径を有する半導体ウェーハである、請求項 5 に記載の方法。

【請求項 7】

前記第 2 の基板は帯状のキャリアである、請求項 1 から 6 のうちのいずれか一項に記載の方法。

【請求項 8】

前記第 1 のチップ上に、前記第 1 の基板の少なくとも一部分の機能性をテストするための少なくとも 1 つのテストパターンが形成されている、請求項 1 から 7 のうちのいずれか一項に記載の方法。

【請求項 9】

前記第 1 のチップは、前記第 1 の基板の少なくとも 1 部分の開発のために第 1 の開発機関に割り当てられ、

前記第 2 のチップは、前記第 1 の基板の少なくとも 1 部分の開発のために第 2 の開発機関に割り当てられる、請求項 1 から 8 のうちのいずれか一項に記載の方法。

【請求項 10】

前記第 1 のチップは、前記第 1 の基板ののこぎり引きによって個別化される、請求項 1 から 9 のうちのいずれか一項に記載の方法。

【請求項 11】

前記のこぎり引きの前に、前記第 1 の基板は薄く研磨される、請求項 10 に記載の方法。

【請求項 12】

前記第 2 の基板上に、前記第 1 のチップを受容する受容領域が形成されている、請求項 1 から 11 のうちのいずれか一項に記載の方法。

【請求項 13】

前記第 2 の基板内において、前記受容領域として、窪みからなるラスタが形成されている、請求項 12 に記載の方法。

【請求項 14】

前記第 2 の基板内において、前記窪みは水酸化カリウムを用いたエッチングによって形成される、請求項 13 に記載の方法。

【請求項 15】

10

20

30

40

50

前記第2の基板は、前記第1のチップのテストのために外部テスト装置に接続される、請求項1から14のうちのいずれか一項に記載の方法。

【請求項16】

前記第1の基板上に属する第1のチップに対する前記第2の基板上での前記第1のチップの各々の前記一義的な割り当ては、該第1のチップを該第2の基板上に、該第1の基板上での該第1のチップの先の配置と一致して模写することによって実現される、請求項1から15のうちのいずれか一項に記載の方法。

【請求項17】

前記第1の基板上に属する第1のチップに対する前記第2の基板上での前記第1のチップの各々の前記一義的な割り当ては、印を有する該第1のチップの各々の提供によって実現される、請求項1から15のうちのいずれか一項に記載の方法。

10

【請求項18】

前記第1の基板上に属する第1のチップに対する前記第2の基板上での前記第1のチップの各々の前記一義的な割り当ては、テーブルによって実現され、該テーブル内には、該第1の基板上の該第1のチップの各々の、該第2の基板上での該属する第1のチップに対する割り当てがファイルされている、請求項1から15のうちのいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第2の基板上に第1の基板のチップを配置する方法に関する。

20

【背景技術】

【0002】

半導体技術における現実の開発は、ますます300mmの直径を有するシリコンウェーハのプロセスに集中している。コスト的理由から、この技術世代の開発は、多数の開発パートナー間での共同開発において、ますます行なわれる傾向にある。

【0003】

半導体製品の増大する品質要求を考慮して、製造プロセスの間およびその後における半導体製品の機能性の監視が要求される。そのため、通常、多数の電子チップを有するウェーハ上に、テストパターン(Testsstruktur)が提供され、それによって集積半導体回路の形成のための製造プロセスが監視される。利用できるテストパターンの規模および数は、増加するウェーハ面積に伴って増加し、そのため200mm技術世代から300mm技術世代への移行に際して、良品質な半導体製品の製造の保証に要求されるテストパターンの数は、増大し、しかも、特に少なくともウェーハ面積に比例する。そのようなPCM(Process Control Monitoring)測定の際に、例えば形成されたトランジスタの閾値電圧が許容値を有するかどうか、形成された導体線路の抵抗が許容値を有するかどうか等が、検査される。

30

【0004】

ウェーハの高コストは、ウェーハ平面上の電気測定の際、実質的にシーケンシャルに、すなわち連続して全体的な評価が行われることを要求する。ウェーハ品質の評価あるいは監視のために要求される測定時間は、同様に、テストパターンの数とともに増加する。

40

【0005】

半導体製品の共通の開発のための多数の半導体開発パートナーの開発連合において、個々の開発パートナーは、それぞれテストパターンの独自のブロックに寄与し、そのブロックは、開発パートナー独自の実験室において開発パートナー独自の研究員によって評価される。開発パートナーに割り当てられたウェーハ上において、しばしば、他の開発パートナーのテストパターンが使用されずに存在し、少なくとも、他の開発パートナーによるさらなる利用は、遅延される。

【0006】

続いて検査されるために、パターンがこのぎり切断され、続いて個別のパッケージ内に

50

組み込まれる場合、ウェーハの種々なサブチップの同時使用あるいは種々なテストパターンの同時使用が可能である。この提供方法は、通常、長期検査のために利用される。

【0007】

勿論、この方法の場合、制限された数のコンタクトのみがボンディングされ得る。後の変更は不可能である。また、そのようなコンタクトの構成は、早期に確定されねばならない。各テストパターンのために、パッケージ費用および加工費用が考慮されねばならないため、かなり多くのテストパターンのシーケンシャルな検査は、費用がかさむ。さらに、ウェーハ上のかなりの面積が、対応する多くののこぎり線によって失われる。

【0008】

換言すれば、パッケージ内にテストパターンを有するチップを組み込む場合、パッケージ内のチップのどのようなチップコンタクトが（または、基本的により多くの数が可能なチップコンタクトからどのように少ない数のチップコンタクトが）外部と接続可能であるかを、すでに組み込みの際に確定されねばならない。それによって、接続されるコンタクトのためのどのような限定が合理的であるかがまだ見通せない時点において、後に検査可能なチップコンタクトの所望しない強い限定が行われる。

10

【0009】

US 4,510,673は、レーザ書き込みによってチップ識別するための方法を開示している。ここでは、機械および人間の識別データが判読可能である。この方法においては、ウェーハ上のチップが検査され、「良」、「不良」あるいは「部分使用化」に区分けされ、対応する識別およびテストデータが個々のチップに書き込まれる。続いて、チップは、個別化され、チップホルダーに配置される。

20

【0010】

JP 11307618 Aは、窪みを有するチップの固定装置を開示している。その窪みは、傾斜した壁および中央に吸い込み孔を有する。そのため、チップ電極は正確にボンディングされる。

【0011】

EP 1150552 A2は、チップ類似の電子部品、そのためのダミーウェーハ、および対応する製造方法を、半導体ウェーハから切断されたベアチップを有するウェーハとともに開示している。

【0012】

JP 2003078069 Aは、マルチチップモジュール製造のためのシリコンダミーウェーハを開示している。ここでは、ダミーウェーハの裏面上において樹脂層を調節することによって、ダミーウェーハのそりが回避される。

30

【0013】

JP 2004115044 Aは、ベアチップの受容のための仕切りを開示している。ここでは、仕切りは、帯状のパターンに配置され、吸い込み孔を有する窪みからなる。

【0014】

US 4,021,276は、イオン注入のための肋骨状パターンのシャドウマスクの製造方法を開示している。ここでは、ウェーハ表面において、水酸化カリウムを用いて窪みがエッチングされる。

40

【0015】

US 2002/0017708 A1は、大量生産のための生産ラインにおいて、半導体製品を少量生産する方法を開示している。この方法では、チップ識別コードは各チップの座標を有する。

【0016】

DE 102 19 346 A1は、ウェーハ上に配置された複数の機能チップの特性を模写する方法を開示している。ここでは、機能チップの特性が模写テーブル内に格納され、格納された特性の個々の機能チップへの割り当てが可能ないように、複数の基準チップがウェーハ上に固定される。

【発明の開示】

50

【発明が解決しようとする課題】

【0017】

本発明の課題は、1つの基板の種々のチップの同時検査を、改善された経済性を伴って可能にすることにある。

【課題を解決するための手段】

【0018】

本課題は、独立請求項による特徴を有する第2の基板上に第1の基板のチップを配置する方法によって解決される。

【0019】

本発明による第2の基板上に第1の基板のチップを配置する方法においては、チップが少なくとも第1のチップと第2のチップとにグループ分けされ、第1の基板の第1のチップが個別化され、個別化された第1のチップは、第1のチップの各々が第2の基板上において第1の基板上に属する(zugehörig)第1のチップに一義的に割り当てられるように、一致して第2の基板上に配置される。

【0020】

本発明の基本理念は、特に第1のチップの効果的な電气的分析のために、第1の基板(例えば、300mmの半導体ウェーハ)のチップの第2の基板(例えば、より小さい直径を有する好適なキャリアウェーハ)上への(好ましくは一致した)移転を実現することに見出される。移転は、第2の基板上の各第1のチップにとって、第1の基板上の第1のチップの位置に対する一義的な割り当て(Zuordnung)が可能に行われる。換言すれば、第2の基板上の各第1のチップにとって、第1の基板のチップの個別化の前に、チップが第1の基板上のどの場所に配置されていたかによって一義的に決定され得る。

【0021】

具体的には(anschaulich)、種々のチップ(例えば、第1のチップ、第2のチップ、第3のチップ、...)は、開発連合(Entwicklungs kooperation)の種々の半導体開発パートナーに割り当てられ得(例えば、第1のチップは第1の開発パートナーに割り当てられ得、第2のチップは第2の開発パートナーに割り当てられ得、第3のチップは第3の開発パートナーに割り当てられ得、...)、まず、第1の基板から個別化される。個別化の際に、第1の基板上の個々のチップは、例えばのこぎりを用いて、および/または第1の基板の分断によって、好ましくは事前に規定されたのこぎり線あるいは所定分断線に沿って、物質的に互いに分離され得る。のこぎりによる切断と、個別化のための第1の基板の裏面材料の削減(例えば、エッチングによる)との組み合わせも可能である。

【0022】

続いて、第1の基板の第1のチップは、所定の幾何学的配布に対応して、第2の基板上に配置される。この配置、すなわち、第1の基板上の第1のチップのピクセルイメージが第2の基板上に具体的に模写され、そのため、具体的には、第1の基板上の各第1のチップは、対応する幾何学的位置を、後の第2の基板上のように、占める。あるいは、第2の基板上の第1のチップは、他の方法によって、例えば、印を用いて、あるいは、テーブル、あるいはデータバンク内において、第2の基板上の実際のチップ位置が、以前の第1の基板上のチップ位置に一義的に割り当てられることによって、以前の第1の基板上の位置に割り当てられ得る。そのようなテーブルは、例えば、コンピュータの外部記憶装置内に配置され得、あるいは第2のチップ上の記憶装置上に配置され得る。

【0023】

換言すれば、好ましくは、第1の基板上の第1のチップの位置決定(すなわち、配置の場所)と第2の基板上の第1のチップの位置決定との間の一義的な幾何学的割り当が行われ、その結果、第2の基板上の第1のチップの各々は、第1の基板上に属する第1のチップに容易に割り当てられ得る。

【0024】

10

20

30

40

50

第1の基板上の以前の幾何学的位置に対する第2の基板上の各第1のチップの一義的な割り当ての手段は、第2の基板上の第1のチップがテスト測定を受ける場合に、特に有利である。例えば、第1の基板上の第1のチップのテスト用電界効果トランジスタの製造のためのプロセスの等級を検査するために、第2の基板上の第1のチップのテスト用電界効果トランジスタのゲート絶縁層の厚さが確定される場合、この厚さは、第1の基板にわたってプロセスに制限されて変化し得る。そのために、位置の特定された割り当てが有利であり、それによって、第2の基板上の第1のチップのために、検査されたテスト用電界効果トランジスタが、第1の基板上のどの位置において処理されたかが確定される。

【0025】

第1のチップは、第2の基板上において、特に貼り付け (Kleben) 手段によってあるいは粘着 (Adhesion) の使用によって、好ましくは機械的に固定される。この方法によって、第2の基板上に取り付けられた第1のチップは、ウェーハテストにおける繰り返しの取り扱いに耐え得ることが確保される。

10

【0026】

第1の基板および第2の基板は異なる大きさを有する (好ましくは、第1の基板は第2の基板より大きい直径を有する) ため、第1のチップの本発明による再配置によって、第1の基板上の第1のチップのイメージの、第2の基板上への拡大あるいは縮小が行われる。例えば、第1の基板上の第1のチップのデカルト座標が x および y である場合、第2の基板上の第1のチップの例えば一致するイメージは、第2の基板上においてデカルト座標 ax および by を有する。ここで a および b は、拡大因子 (Factor) であり、好ましくは1より小さい。

20

【0027】

換言すれば、配置は、第2の基板上の第1のチップは、第2の基板上での相対位置が第1の基板上での相対位置に対応し、あるいは少なくともスケール因子に対応するように配置されることにあり得る。

【0028】

第1のチップが第1の基板から選択的に離され、対応した配置で第2の基板上に提供されることによって、例えば、第1の開発パートナーに割り当てられるチップのみが第2の基板上に配置され、後の検査 (例えば、第1の基板上に形成され得るテストパターンによる) のために使用可能にされ得る。第1のチップに依存せずに、別のチップが、その別のチップが割り当てられる他の開発パートナーによって、例えばこのチップを検査しあるいはさらに開発するために、同時に使用され得る。例えば、第2の開発パートナーに割り当てられた第2のチップは、一致する方法で、すなわち第1の基板上での第2のチップの配置に対応して、第3の基板上に配置され得る。

30

【0029】

具体的に、一体化されたチップが他の基板上に (好ましくは一致して) 配置されることによって、本発明は、第1の基板の種々のチップの実際の効果的な使用を可能にする。

【0030】

例えば、本発明による方法によって、300mmウェーハのチップは、サブチップにのこぎり切断され、例えば、より小さい直径 (200mmあるいはより少ない) を有する別のキャリアウェーハ上に貼り付けられる。チップの調節を軽減するために、その中に、あるいはキャリアウェーハ内に、例えば規則正しいラスタによる窪みが、例えば水酸化カリウム (KOH) を用いてエッチングされる。それによって、窪みの縁は、第2の基板としてのその都度のキャリアウェーハ内に第1のチップとしてのチップの設置の際に、機械的ストッパーを形成する。そのようなキャリアウェーハ、あるいは子ウェーハは経済的である。なぜなら、それらに対して、いかなる特別な特性 (特に、いかなる特別な電子的な要求のない) も必要とされないからである。それらは、マイクロメカニクスからよく知られた容易なプロセス方法によって準備されて、処理される。のこぎり線内におけるテストパターンの基本特性化の後に、生産ハードウェアの際に通常であるように、開始ウェーハは、薄く研磨され、提供されたのこぎり線に沿ってのこぎり切断される。続いて、チップ

40

50

が子ウェーハの割り当てられたラスタ位置上に移転され、そのため、チップの相対的位置が維持される。

【0031】

子ウェーハ上において、さらに、対応する検査のために全てのテストパターンが利用可能であり、それは、これまでのようにより小さい直径を有するウェーハ上において行われる得る。それによって、全てのサブチップが、開発パートナーによって時間的に並行して、互いに依存せずかつ制限されることなく、検査され得る。その上、最新の300mmウェーハの加工に適さない旧来の装置が、さらに、制限されずに使用可能である。また、テストパターン(すなわち、種々のチップの)の信頼性が保証される。なぜなら、各開発パートナーにとって、その独自のハードウェアが、その都度、割り当てられた子基板の割り当てられたチップの形状に利用可能であるからである。

10

【0032】

円盤状の、実質的に円形の300mmウェーハから円盤状の、実質的に円形のキャリアウェーハへの移転に代えて、チップは、帯状のキャリア上へも提供され得、必要に応じて、適合したテスト装置によって検査され得る。

【0033】

そのため、本発明の重要な局面は、例えば、多数の異なる開発パートナーによるハードウェアの同時使用を可能にするために、および研究室の装置がさらに制限なく使用できるように、第1の基板と異なる第2の基板の一義的に割り当てられた位置上の第1の基板(例えば、300mmウェーハ)の呈示されたチップの分配にある。

20

【0034】

第2の基板の第1のチップの配置は、パッケージされずに行われ、そのため、第2の基板の第1のチップの全てのコンタクト(例えば、後のテスト測定のための)は、制限されずに利用可能である。換言すれば、第2の基板の第1のチップの自由なコンタクト性が、可能である。高価なパッケージおよびコスト高なパッケージプロセスは、本発明によれば不要である。

【0035】

第2の基板として、従来のシリコンウェーハを使用する場合、機械的に固定された第1のチップを有するこの第2の基板は、定着し、従来のシリコンウェーハに適合したテスト装置の使用によって検査され得る。

30

【0036】

本発明の好ましいさらなる形態は、従属請求項によって示される。

【0037】

好ましくは、第1の基板は第2の基板より大きい。

【0038】

特に、第1の基板は300mmの直径を有するウェーハ(例えば、シリコンウェーハ)であり、第2の基板はより小さいウェーハ(例えば、200mmのあるいはより少ない直径を有する)であり得る。第1の基板と第2の基板とのこの大きさ関係は、経済的である。なぜなら、第2の基板上においては、第1の基板上と比べて、より小さいチップが配置されねばならないためであり、また、そのため、第2の基板上においてはより小さい面積で十分であるためである。さらに、第1のチップの検査は、第1の基板より小さい基板の検査に適した測定装置を用いて行われ得る。

40

【0039】

第1の基板は半導体ウェーハであり得、第1のチップは半導体ウェーハの第1の電子チップであり得、第2のチップは半導体ウェーハの第2の電子チップであり得る。

【0040】

第1の基板は、300mmの直径を有する半導体ウェーハであり得る。

【0041】

また、第2の基板は半導体ウェーハであり得、例えば、300mmより小さい直径、好ましくは200mmの直径を有する半導体ウェーハであり得る。

50

【0042】

半導体ウェーハとしての第2の基板の提供の代替として、第2の基板は帯状のキャリアとしても提供され得る。この形態によれば、同様に、第1の基板上の位置に対応して、帯状のキャリア上の第1のチップの位置の一義的な割り当てが可能である。

【0043】

第1のチップ上に、第1の基板の少なくとも一部分の機能性をテストするための少なくとも1つのテストパターンが形成され得る。

【0044】

第1のチップは、テストパターン、および追加的に他の集積回路要素を含み得、あるいはテストパターンのみを有し得る、すなわちテストパターンからなり得る。

10

【0045】

そのようなテスト領域は、例えば電界効果トランジスタあるいは別の集積部品を含み得る。その別の集積部品は、プロセス技術的に臨界的(kritisch)な要素を含み(例えば、電界効果トランジスタのゲート絶縁層)、その臨界的な要素は、製造プロセスの後に、その品質に関して検査される。第1のチップからなるテストパターンは、第1のチップが割り当てられた開発パートナーによって、第2の基板上で電氣的に装着され検査され得る。その結果、半導体製品の製造の際に、プロセス操作および半導体製品の機能性が検査され得る。

【0046】

第1のチップは、第1の基板の少なくとも1部分の開発のために第1の開発機関(Entwicklungsinstanz)に割り当てられ得、第2のチップは、第1の基板の少なくとも1部分の開発のために(第1の開発機関とは異なる)第2の開発機関に割り当てられ得る。

20

【0047】

そのような開発パートナーは、例えば、第1の基板の製造に共通に必要な異なる技術分野に従事する異なる会社であり得る。そのような開発パートナーは、半導体製品を開発するためおよび製造するために、共同開発の範囲において、異なるノウハウおよび技術的知識を寄与する。本発明によれば、各開発パートナーが、自身に割り当てられたチップおよびテストパターンのみを利用できるため、開発パートナーの、他の開発パートナーには利用できない内密なノウハウが、秘密に維持され得る。自身の(例えば第1の)チップの制限されない利用性は、同時に保障される。

30

【0048】

第1のチップは、本発明の方法によれば、第1の基板ののこぎり引きによって個別化される得る。

【0049】

のこぎり引きの前に、第1の基板は薄く研磨され得る。

【0050】

まず、好ましくは第1の基板の裏面が、薄く研磨され、そのとき、少ない深さを伴う時間的に短いのこぎり引きで十分であるため、のこぎり引きの前に行われる薄くする研磨によって、のこぎり引きの時間消費が低減され得る。

40

【0051】

第2の基板の上に、第1のチップを受容する受容領域が形成され得る。

【0052】

換言すれば、第2の基板の上に所定の表面領域が、対応する第1のチップを受容するために適切であるように仕上げられ得る。例えば、受容領域は、第1のチップが正確に、あるいはある種の誤差を有して適合する幾何学的な形状を有する窪みであり得る。受容領域は、例えば、長方形に提供され得、長方形の第1のチップより大きい寸法を有し得る。その際、長方形の縁は、第1の基板から個別化された第1のチップが、この長方形の縁に沿って特徴付けられ得、例えば、長方形の受容領域の上部の左に配置され得る。これは、第2の基板において、第1のチップの一致する配置を容易にする。

50

【 0 0 5 3 】

第 2 の基板内において、受容領域として、窪みからなるラスタが形成され得る。

【 0 0 5 4 】

この形態によって、例えば、第 1 の基板上の第 1 のチップのマトリックス状の配置が、第 2 の基板上的第 1 のチップのラスタ状の配置にイメージされ得る。

【 0 0 5 5 】

窪みは、第 2 の基板内において、例えば水酸化カリウム（苛性カリ溶液、KOH）を用いたエッチングによって形成され得る。

【 0 0 5 6 】

第 2 の基板は、第 1 のチップのテストのために外部テスト装置に接続され得る。

10

【 0 0 5 7 】

第 2 の基板上的第 1 のチップの配置が、第 1 の基板上的第 1 のチップの配置の一義的に割り当て可能な再生を示すため、第 1 のチップ上に配置されたテストパターンをテストするために、従来のテスト装置が使用し得る。そのために、外部テスト装置のコンタクトが第 1 のチップ上のテストパターンのコンタクトに接続され得る。そのようなコンタクトは、例えば、チップの表面に形成され得る。

【 0 0 5 8 】

第 1 の基板の上に属する第 1 のチップに対する第 2 の基板上的第 1 のチップの各々の一義的な割り当ては、第 1 のチップを該第 2 の基板の上に、第 1 の基板上的第 1 のチップの先の配置と一致して模写する (a b b i l d e n) ことによって実現され得る。数学的に表現すると、第 2 の基板上的第 1 のチップの配置は、第 1 の基板上的第 1 のチップの配置の引き伸ばし (S t r e c k u n g) と見なし得る。

20

【 0 0 5 9 】

第 1 の基板の上に属する第 1 のチップに対する第 2 の基板上的第 1 のチップの各々の一義的な割り当ては、あるいは、印を有する該第 1 のチップの各々の提供によって実現され得る。例えば、各ウェーハは、識別（例えば、数の切り込み、あるいはチップの書き込み (B e s c h r e i b e n) ）を備え得る。

【 0 0 6 0 】

第 1 の基板の上に属する第 1 のチップに対する第 2 の基板上的第 1 のチップの各々の一義的な割り当ては、別の代替によれば、テーブルによって実現され得、テーブル内には、第 1 の基板上的第 1 のチップの各々の、第 2 の基板上的属する第 1 のチップに対する割り当てがファイルされている。そのようなテーブルあるいはデータバンクは、第 1 の基板上的各チップ位置を第 2 の基板上的属するチップ位置に割り当て得る。

30

【 発明を実施するための最良の形態 】

【 0 0 6 1 】

本発明の実施例は図面に示され、以下において詳細に説明される。

【 0 0 6 2 】

異なる図面内の同一あるいは類似の要素は、同一の参照符号を有する。

【 0 0 6 3 】

図面内の表示は、概略的であり縮尺に従わない。

40

【 0 0 6 4 】

以下において、本発明の好ましい実施例による、300mmシリコンウェーハ100に一致するサブチップ102の構造を200mmシリコンウェーハ111上に形成する方法が、図1に関連して記載される。

【 0 0 6 5 】

図1には、多数の電子チップグループ101に区分された300mmシリコンウェーハ100が示される。電子チップグループ101の各々は、それぞれの内部に、論理サブ回路および記憶サブ回路を有する集積電子回路が形成され、九つのチップ102～110に区分されている。第1のチップ102は、図1において文字Aによって示され、第2のチップ103は文字Bによって示され、第3のチップ104は文字Cによって示され、第4

50

のチップ105は文字Dによって示され、第5のチップ106は文字Eによって示され、第6のチップ107は文字Fによって示され、第7のチップ108は文字Gによって示され、第8のチップ109は文字Hによって示され、第9のチップ110は文字Iによって示される。チップ102～110の各々は、所定の半導体技術の機能性を有するチップグループ101の形成のためのそのつどの開発パートナーに割り当てられる。第1のチップ102は開発パートナーAに割り当てられ、第2のチップ103は開発パートナーBに割り当てられる、・・・。

【0066】

従来の使用の際には、300mmシリコンウェーハ100の全体が、例えば開発パートナーAに割り当てられ、開発パートナーAは、300mmシリコンウェーハ100において、その開発領域Aに割り当てられたテストパターンを、第1のチップ102の検査によって、検査し得た。他の全てのチップB～Iは、従来技術のこの方法の際には、利用されない。

10

【0067】

ここで本発明によれば、このぎり線113に沿って、チップ102～110を有するチップグループ101のみならず全てのチップ102～110も、このぎり引きおよび裏面の材料削減によって300mmシリコンウェーハ100から個別化、すなわち分離される。続いて、各チップは、300mmシリコンウェーハ100上の配置に対応して、200mmシリコンウェーハ111上に、一致する方法で配置される。これは、図1において、第1のチップ102 Aに基づいて示される。第1のチップ102 Aは、模写(Abbildung)112によって、300mmシリコンウェーハ100から200mmシリコンウェーハ111上に模写される。換言すれば、200mmシリコンウェーハ111上の第1のチップ102 Aの位置は、300mmシリコンウェーハ100上の各第1のチップ102の属する位置に対応する。さらに換言すれば、第1のチップ102の相対的な配置は、互いに維持される。

20

【0068】

200mmシリコンウェーハ111は、チップグループ101の開発範囲において、第1のチップ102 Aの資格を有する第1の開発パートナーに割り当てられる。そのため、部分的な機能性のテストのために第1のチップ102上に配置されたテストパターン(図示されず)は、全て、第1の開発パートナーに割り当てられる200mmシリコンウェーハ111上に配置される。その結果、開発パートナーAの開発技術に関して、他の開発パートナーに対する秘密保持が保証される。なぜなら、他の開発パートナーは200mmシリコンウェーハ111上の第1のチップ102 Aを利用できないからである。

30

【0069】

200mmシリコンウェーハ111上に第1のチップ102 Aの一致した配置を保証するために、200mmシリコンウェーハ111上にラスタ114が形成される。ラスタ114は、平面図では200mmシリコンウェーハ111上に長形状を呈する。このラスタ114は、第1のチップ102 Aを200mmシリコンウェーハ111上に固定する(例えば、粘着する)際に、ストッパー(Anschlag)を提供するために利用され、その結果、300mmシリコンウェーハ100上での第1のチップ102 Aの配置に一致した第1のチップ102 Aの配置が、かなりの正確さを伴って得られる。

40

【0070】

そのため、図1には、第1のチップ102 Aの、300mmシリコンウェーハ100からキャリアウェーハ111への一致した移転が示される。同様にして、ウェーハ100の他のチップ103～110は、他のキャリアウェーハ上に固定される、すなわち、第2のチップ103は第2の200mmシリコンウェーハ上に、第3のチップ104は第3の200mmシリコンウェーハ上に、・・・。

【0071】

換言すれば、図1は、概略的に、300mmウェーハ100のチップ102の一致した配置を、より小さい直径を有するキャリアウェーハ上111に示す。

50

【 0 0 7 2 】

以下に、図 2 に関連して、図 1 の切断線 A - A ' による 2 0 0 mm ウェーハ 1 1 1 の領域の断面が記載される。

【 0 0 7 3 】

図 2 において、2 0 0 mm ウェーハ 1 1 1 が断面図に示され、そこでは、種々の第 1 のチップ 1 0 2 が 2 0 0 mm ウェーハ 1 1 1 上に接着されている。ラスター 1 1 4 は、2 0 0 mm ウェーハ 1 1 1 内において KOH によってエッチングされた窪みから形成される。そのため、第 1 のチップ 1 0 2 A がラスター 1 1 4 上に配置され、接着剤 2 0 1 によって固定される場合に、残留したラスター要素 1 1 4 は、機械的なストッパーを形成する。

【 0 0 7 4 】

換言すれば、図 2 は、第 1 のチップ 1 0 2 A が接着される窪みを有するキャリアウェーハ 1 1 1 の断面図を示す。その際、キャリアウェーハ 1 1 1 の幾何学的な角 (T o p o l o g i e k a n t e) が機械的なストッパーとして利用される。

【 図面の簡単な説明 】

【 0 0 7 5 】

【 図 1 】 複数のチップを有する 3 0 0 mm ウェーハ、および 3 0 0 mm ウェーハのチップの一部が一致してその上に模写された 2 0 0 mm ウェーハを示す。

【 図 2 】 図 1 の切断線 A - A ' に沿った 2 0 0 mm ウェーハの断面図である。

【 符号の説明 】

【 0 0 7 6 】

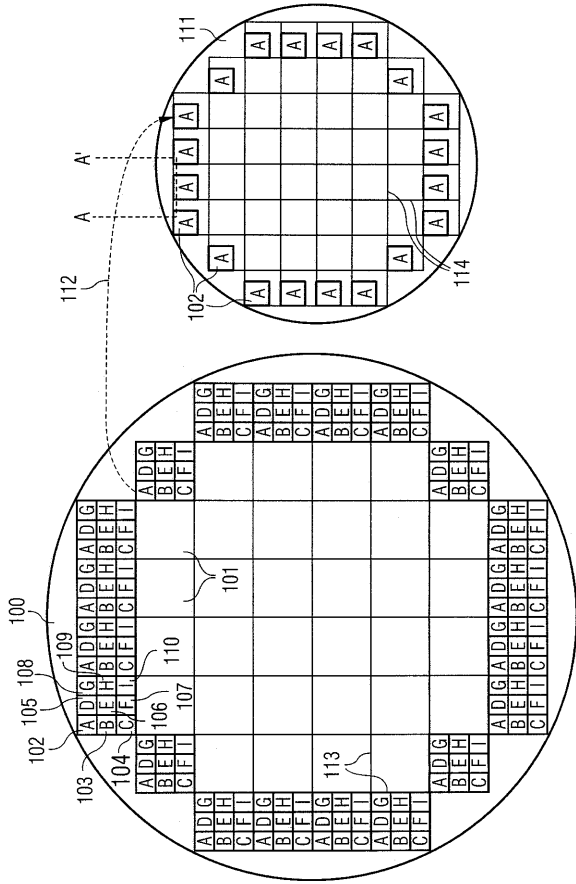
- 1 0 0 3 0 0 mm シリコンウェーハ
- 1 0 1 チップグループ
- 1 0 2 第 1 のチップ
- 1 0 3 第 2 のチップ
- 1 0 4 第 3 のチップ
- 1 0 5 第 4 のチップ
- 1 0 6 第 5 のチップ
- 1 0 7 第 6 のチップ
- 1 0 8 第 7 のチップ
- 1 0 9 第 8 のチップ
- 1 1 0 第 9 のチップ
- 1 1 1 2 0 0 mm シリコンウェーハ
- 1 1 2 模写
- 1 1 3 のこぎり線
- 1 1 4 ラスター
- 2 0 0 断面図
- 2 0 1 接着剤

10

20

30

【 図 1 】



【 図 2 】

