



(12) 发明专利

(10) 授权公告号 CN 111415902 B

(45) 授权公告日 2023.07.14

(21) 申请号 202010147555.4

H01L 23/528 (2006.01)

(22) 申请日 2020.03.05

B82Y 40/00 (2011.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 111415902 A

(56) 对比文件

CN 110620033 A, 2019.12.27

CN 104795326 A, 2015.07.22

(43) 申请公布日 2020.07.14

CN 104609360 A, 2015.05.13

CN 108091569 A, 2018.05.29

(73) 专利权人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路3号

审查员 马泽宇

(72) 发明人 周娜 李俊杰 高建峰 刘耀东

李永亮 罗军 赵超 杨涛

李俊峰 王文武

(74) 专利代理机构 北京知迪知识产权代理有限公司

11628

专利代理师 何丽娜

(51) Int. Cl.

H01L 21/768 (2006.01)

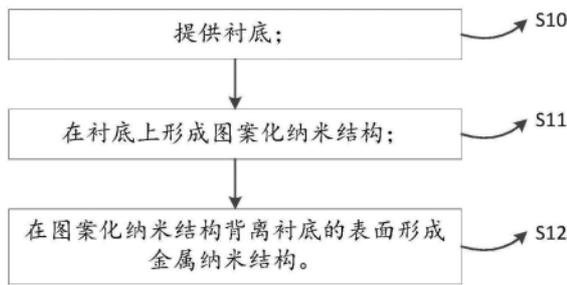
权利要求书2页 说明书8页 附图6页

(54) 发明名称

一种金属纳米结构及其制作方法、电子器件、电子设备

(57) 摘要

本发明公开一种金属纳米结构及其制作方法、电子器件、电子设备,涉及纳米结构制作技术领域,以有效地解决常规图案化工艺不适用于金属纳米结构制作的问题。金属纳米结构的制作方法包括,提供衬底;在衬底上形成图案化纳米结构;在图案化纳米结构背离衬底的表面形成金属纳米结构。所述金属纳米结构采用本发明提供的方法制成,本发明提供的金属纳米结构应用于电子器件和电子设备中。



1. 一种金属纳米结构的制作方法,其特征在于,包括:

提供衬底;

在所述衬底上形成图案化纳米结构;所述图案化纳米结构具有多个槽体以及覆盖多个槽体的图案化掩膜层;图案化掩膜层具有与多个槽体一一对应的多个镂空部;

在所述衬底上形成图案化纳米结构,包括:

在所述衬底的表面形成图案化掩膜层;利用所述图案化掩膜层在所述衬底上形成所述多个槽体;所述镂空部在槽体的槽底所在层面的正投影位于槽体的槽体内,或与槽体的槽底重合;所述图案化掩膜层包括多个遮挡部;

在所述衬底上形成与多个遮挡部一一对应的多个凸起,相邻两个槽体具有向所述凸起延伸的内壁;

在所述图案化纳米结构背离所述衬底的表面形成金属纳米结构。

2. 根据权利要求1所述的金属纳米结构的制作方法,其特征在于,在所述衬底上形成图案化纳米结构,包括:

在所述衬底上形成多个槽体以及覆盖所述多个槽体的图案化掩膜层;所述图案化掩膜层具有与多个槽体一一对应的多个镂空部。

3. 根据权利要求2所述的金属纳米结构的制作方法,其特征在于,在所述衬底上形成多个槽体以及覆盖所述多个槽体的图案化掩膜层,包括:

在所述衬底的表面形成所述图案化掩膜层;

利用所述图案化掩膜层在所述衬底上形成所述多个槽体。

4. 根据权利要求2所述的金属纳米结构的制作方法,其特征在于,每个所述镂空部在所述槽体的槽底所在层面的正投影位于所述槽体的槽底内,或与所述槽体的槽底重合。

5. 根据权利要求2所述的金属纳米结构的制作方法,其特征在于,所述图案化掩膜层还包括多个遮挡部;在所述衬底上形成多个槽体以及覆盖所述多个槽体的图案化掩膜层时,在所述衬底上形成多个槽体以及覆盖所述多个槽体的图案化掩膜层还包括:

在所述衬底上形成与多个遮挡部一一对应的多个凸起;相邻两个所述槽体具有向所述凸起延伸的内壁。

6. 根据权利要求2所述的金属纳米结构的制作方法,其特征在于,相邻两个所述槽体彼此连通。

7. 根据权利要求2所述的金属纳米结构的制作方法,其特征在于,所述图案化掩膜层包括:

第一支撑部;

与所述第一支撑部间隔且相对设置的第二支撑部;

以及设置在所述第一支撑部和第二支撑部之间的至少一个承载梁。

8. 根据权利要求1~7任一项所述的金属纳米结构的制作方法,其特征在于,在所述图案化纳米结构背离所述衬底的表面形成金属纳米结构时,还包括:

在所述衬底的表面形成底部金属层,所述金属纳米结构在所述底部金属层所在层面的正投影与所述底部金属层相互独立;

和/或,

所述图案化纳米结构的材料为氮化硅、碳化硅、氧化硅、氮氧化硅中的任意一种;

和/或，

所述金属纳米结构的材料为钕、钴、钼中的任意一种。

9. 一种金属纳米结构,其特征在於,所述金属纳米结构采用权利要求1-8任一项所述的金属纳米结构的制作方法制成。

10. 一种电子器件,其特征在於,包括权利要求9所述的金属纳米结构。

11. 一种电子设备,其特征在於,包括权利要求9所述的金属纳米结构。

一种金属纳米结构及其制作方法、电子器件、电子设备

技术领域

[0001] 本发明涉及纳米结构制作技术领域,特别是涉及一种金属纳米结构及其制作方法、电子器件、电子设备。

背景技术

[0002] 纳米结构是由至少一个方向上的尺寸被限定在100纳米以下的纳米材料制成,包括纳米线、纳米棒、纳米管、纳米带、纳米片等。

[0003] 金属纳米结构具有机械强度高、导电性好和比表面积大的优点,在多个方面具有广阔的应用前景。

[0004] 基于金属纳米线材料制作应用在电子器件上的金属纳米结构时,由于金属纳米线材料极难刻蚀,常规的图案化工艺不再适用于金属纳米结构的制作,因此,亟待提出一种适用于金属纳米结构的制作方法。

发明内容

[0005] 本发明的目的在于提供一种金属纳米结构及其制作方法、电子器件、电子设备,以在图案化纳米结构的遮挡下,直接在图案化纳米结构的表面形成金属纳米结构,使得一次成膜无需图案化即可直接制成金属纳米结构,以有效地解决常规图案化工艺不适用于金属纳米结构制作的问题。

[0006] 为了实现上述目的,本发明提供一种金属纳米结构的制作方法,包括:

[0007] 提供衬底;

[0008] 在衬底上形成图案化纳米结构;

[0009] 在图案化纳米结构背离衬底的表面形成金属纳米结构。

[0010] 优选地,在衬底上形成图案化纳米结构,包括:

[0011] 在衬底上形成多个槽体以及覆盖多个槽体的图案化掩膜层;图案化掩膜层具有与多个槽体一一对应的多个镂空部。

[0012] 优选地,在衬底上形成多个槽体以及覆盖多个槽体的图案化掩膜层,包括:

[0013] 在衬底的表面形成图案化掩膜层;

[0014] 利用图案化掩膜层在衬底上形成多个槽体。

[0015] 优选地,每个镂空部在槽体的槽底所在层面的正投影位于槽体的槽底内,或与槽体的槽底重合。

[0016] 优选地,图案化掩膜层还包括多个遮挡部;在衬底上形成多个槽体以及覆盖多个槽体的图案化掩膜层时,在衬底上形成多个槽体以及覆盖多个槽体的图案化掩膜层还包括:

[0017] 在衬底上形成与多个遮挡部一一对应的多个凸起;相邻两个槽体具有向凸起延伸的内壁。

[0018] 优选地,相邻两个槽体彼此连通。

- [0019] 优选地,图案化掩膜层包括:
- [0020] 第一支撑部;
- [0021] 与第一支撑部间隔且相对设置的第二支撑部;
- [0022] 以及设置在第一支撑部和第二支撑部之间的至少一个承载梁。
- [0023] 优选地,在图案化纳米结构背离衬底的表面形成金属纳米结构时,还包括:
- [0024] 在衬底的表面形成底部金属层,金属纳米结构在底部金属层所在层面的正投影与底部金属层相互独立;
- [0025] 和/或,
- [0026] 图案化纳米结构的材料包括氮化硅、碳化硅、氧化硅、氮氧化硅中的任意一种;
- [0027] 和/或,
- [0028] 金属纳米结构的材料包括钌、钴、钼中的任意一种。
- [0029] 与现有技术相比,本发明提供的金属纳米结构的制作方法,由于先在衬底上形成图案化纳米结构,使得在图案化纳米结构背离所述衬底的表面形成金属纳米结构时,可以以图案化纳米结构为遮挡层,一次成膜无需图案化处理金属纳米结构材料层,即可在图案化纳米结构背离衬底的表面形成与图案化纳米结构一致的金属纳米结构。由此可见,本发明提供的金属纳米结构的制作方法,不需要图案化极难刻蚀的金属纳米线材料层,能够有效地解决常规图案化工艺不适用制作金属纳米结构的问题。
- [0030] 本发明还提供一种金属纳米结构,该金属纳米结构采用本发明提供的金属纳米结构的制作方法制成。
- [0031] 与现有技术相比,采用本发明提供的金属纳米结构的制作方法制成的金属纳米结构具有与制作方法相同的有益效果,在此不再赘述。
- [0032] 本发明还提供一种电子器件,该电子器件包括本发明提供的金属纳米结构。
- [0033] 与现有技术相比,包括本发明提供的金属纳米结构的电子器件,具有与本发明提供的金属纳米结构的制作方法相同的有益效果,在此不再赘述。
- [0034] 本发明还提供一种电子设备,该电子设备包括本发明提供的金属纳米结构。
- [0035] 与现有技术相比,包括本发明提供的金属纳米结构的电子设备,具有与本发明提供的金属纳米结构的制作方法相同的有益效果,在此不再赘述。

附图说明

- [0036] 此处所说明的附图用来提供对本发明的进一步理解,构成本发明的一部分,本发明的示意性实施例及其说明用于解释本发明,并不构成对本发明的不当限定。在附图中:
- [0037] 图1是本发明实施例提供的一种金属纳米结构的制作方法流程图;
- [0038] 图2是本发明实施例提供的图案化纳米结构的俯视示意图;
- [0039] 图3是图2主视方向的剖面图;
- [0040] 图4是图2左视方向的剖面图;
- [0041] 图5是本发明实施例提供的金属纳米结构的俯视示意图;
- [0042] 图6是图5的主视方向的剖面图;
- [0043] 图7是图5的左视方向的剖面图;
- [0044] 图8是本发明实施例提供的第二种图案化纳米结构主视方向的剖面;

- [0045] 图9是本发明实施例提供的第三种图案化纳米结构主视方向的剖面；
- [0046] 图10是本发明实施例提供的第三种图案化纳米结构对应的金属纳米结构的示意图；
- [0047] 图11是本发明实施例提供的第四种图案化纳米结构主视方向的剖面；
- [0048] 图12是第四种图案化纳米结构对应的金属纳米结构的示意图；
- [0049] 图13是本发明实施例提供的在衬底上形成掩膜材料层的结构示意图；
- [0050] 图14是本发明实施例提供的在衬底上形成凸台后的结构示意图；
- [0051] 图15是本发明实施例提供的图案化光刻胶的俯视示意图；
- [0052] 图16是图15主视方向的剖面图；
- [0053] 图17是本发明实施例提供的图案化掩膜层的结构示意图；
- [0054] 图18是本发明实施例提供的去除图案化光刻胶后的结构示意图。
- [0055] 其中,10.衬底,100.槽体,101.凸起,102.凸台,11.图案化纳米结构,110.图案化掩膜层,1100.镂空部,1101.遮挡部,1102.掩膜材料层,1103.第一支撑部,1104.第二支撑部,1105.承载梁,12.金属纳米结构,120.第一金属纳米结构,121.第二金属纳米结构,122.第三金属纳米结构,13.底部金属层,14.图案化光刻胶。

具体实施方式

[0056] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。

[0057] 在附图中示出本发明实施例的各种示意图,这些图并非按比例绘制。其中,为了清楚明白的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0058] 以下,术语“第一”、“第二”等仅用于描述目的,而不能理解为指示或暗示相对重要性或隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或更多个该特征。在本申请的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0059] 此外,本发明中,“上”、“下”等方位术语是相对于附图中的部件示意置放的方位来定义,应当能理解到,这些方向性术语是相对概念,它们用于相对的描述和澄清,其可以根据附图中部件所放置的方位变化而相应地发生变化。

[0060] 在本发明中,除非另有明确的规定和限定,术语“连接”应做广义理解,例如,“连接”可以是固定连接,也可以是可拆卸连接,或成一体;可以是直接相连,也可以是通过中间媒介间接相连。

[0061] 将包括但不限于钌(Ru)、钴(Co)、钼(Mo)等金属纳米线材料应用在集成电路先进互联工艺中是当前研究的热点。金属纳米线材料形成金属纳米结构的方法包括金属剥离工艺、侧墙转移工艺、大马士革工艺等。

[0062] 上述金属剥离工艺适用于表面呈光滑形貌的金属纳米线材料层,而不适用于呈阶梯形貌的金属纳米线材料层。另外,金属剥离工艺还存在杂质残留的问题,这将会降低采

用该金属纳米结构的电子器件的性能。

[0063] 上述侧墙转移工艺所形成的金属纳米结构的截面形状不可控,而且还存在等离子损伤等问题。

[0064] 上述大马士革工艺虽然能够克服金属剥离工艺存在的问题,但是却又出现工艺复杂的问题。

[0065] 由上可见,现有技术中虽然出现了制作金属纳米结构的方法,但是却因杂质污染、形貌不可控和工艺复杂等问题,不适用金属纳米结构的制作。

[0066] 针对以上问题,本发明提供一种金属纳米结构的制作方法,图1示出的是本发明实施例提供的一种金属纳米结构的制作方法流程图。如图1所示,该金属纳米结构的制作方法,包括:

[0067] S10:具体参见图2,提供衬底10。衬底10例如可以是体硅衬底,绝缘体上硅(Silicon-On-Insulator,缩写为SOI)衬底,锗衬底,绝缘体上锗(Germanium-on-Insulator,缩写为GOI)衬底,硅锗衬底,III-V族化合物半导体衬底或通过执行选择性外延生长(Selective epitaxial growth,缩写为SEG)获得的外延薄膜衬底,当然不仅限于此。

[0068] S11:具体参见图2至图4,在衬底10上形成图案化纳米结构11。图案化纳米结构11可以看作是后续形成金属纳米结构12的掩膜板或者是金属纳米结构12自动图案化的图案化模板。图案化纳米结构11的具体结构根据实际工况所需的金属纳米结构12的具体结构而定,在此不做具体限定。

[0069] 为了便于在衬底10上采用例如光刻刻蚀工艺等常规图案化工艺形成图案化纳米结构11,图案化纳米结构11优选易于形成在衬底10上且易于实施常规图案化工艺的材料。例如:氮化硅、碳化硅、氧化硅、氮氧化硅中的任意一种,当然,也不仅限于此。

[0070] S12:具体参见图5至图7,在图案化纳米结构11背离衬底10的表面形成金属纳米结构12。金属纳米结构12的具体结构与作为掩膜板或图案化模板的图案化纳米结构11的具体结构一致。金属纳米结构12优选电流负载能力强且与图案化纳米结构11接触电阻小的材料制成,例如:钌、钴或钼等,但不限于此。

[0071] 形成图案化纳米结构11后,以此作为后续形成金属纳米结构12的掩膜板或图案化模板。在此基础上,能够形成与图案化纳米结构11一致的金属纳米结构12。鉴于形成金属纳米结构12的材料相对于形成图案化纳米结构11的材料更不易于实施常规图案化工艺,而本发明实施例提供的金属纳米结构的制作方法,一次成膜且不需要图案化工艺即可直接形成金属纳米结构12,可有效地解决常规图案化工艺不适用形成金属纳米结构12的问题。

[0072] 作为一种可能的实现方式,继续参见图2至图4,在衬底10上形成图案化纳米结构11,包括:

[0073] 在衬底10上形成多个槽体100以及覆盖多个槽体100的图案化掩膜层110。图案化掩膜层110具有与多个槽体100一一对应的多个镂空部1100。

[0074] 此处多个槽体100与多个镂空部1100一一对应是指从空间对应的角度,多个槽体100与多个镂空部1100一一对应。

[0075] 当形成的图案化纳米结构11具有多个槽体100以及覆盖多个槽体100的图案化掩膜层110,且图案化掩膜层110具有与多个槽体100一一对应的多个镂空部1100时,后续采用一次成膜工艺在图案化掩膜层110背离衬底10的表面形成金属膜层,同时,由于图案化掩膜

层110具有与多个槽体100一一对应的多个镂空部1100,使得一次成膜的过程中,金属膜层通过多个镂空部1100自动图案化,从而在图案化掩膜层110没有镂空部1100的区域背离衬底10的表面形成金属纳米结构12。而金属膜层对应多个镂空部1100的区域,则自动的位于与多个镂空部1100对应的多个槽体100内,以及衬底10没有被图案化掩膜层110覆盖的区域内。

[0076] 作为一种示例,具体参见图3,镂空部1100在槽体100的槽底所在层面的正投影位于槽体100的槽底内,或与槽体100的槽底重合。应理解,至于槽体100和镂空部1100的截面形状在此不做具体限定。

[0077] 参见图3,对于图案化掩膜层110来说,除了包括多个镂空部1100以外,还会包括多个遮挡部1101。此时,在衬底10上形成多个槽体100以及覆盖多个槽体100的图案化掩膜层110时,在衬底10上形成多个槽体100以及覆盖多个槽体100的图案化掩膜层110还包括:在衬底10上形成与多个遮挡部1101一一对应的多个凸起101(具体参见图8),此处多个遮挡部1101与多个凸起101一一对应是指从空间对应的角度,多个遮挡部1101与多个凸起101一一对应。

[0078] 作为一种示例,具体参见图9,相邻两个槽体100具有向凸起101延伸的内壁,内壁与衬底10垂直。换句话说,镂空部1100在槽体100的槽底所在层面的正投影位于槽体100的槽底内,也就是说,与位于相邻两个槽体100之间的凸起101相对应的遮挡部1101在凸起101所在层面的正投影覆盖凸起101。即遮挡部1101和与其对应的凸起101形成近T字形结构。具体参见图10,采用一次成膜工艺形成金属纳米结构12时,近T字形结构能够使形成在遮挡部1101上的金属纳米结构12和形成在衬底10没有被遮挡部1101覆盖的区域的金属膜层完全自然隔离。即由于凸起101向内延伸,因此,不会在凸起101的侧壁形成金属膜层,实现完全自然隔离的目的。将具有该结构的金属纳米结构应用在电子器件上时,能够进一步提升电子器件的性能。

[0079] 应理解,当上述凸起101部比较高时,采用一次成膜工艺在图案化掩膜层110背离衬底10的表面形成金属膜层时,金属膜层通过磁控溅射的方式可以比较容易的形成图案化成金属纳米结构12。

[0080] 作为另外一种示例,具体参见图11,相邻两个槽体100具有向凸起101凹陷的内壁。具体参见图12,由于相邻两个槽体100具有向凸起101凹陷的内壁,采用一次成膜工艺形成金属纳米结构12时,凸起101具有的凹陷部能够使得形成在遮挡部1101上的金属纳米结构12和形成在衬底10没有被遮挡部1101覆盖的区域的金属膜层完全自然隔离。将具有该结构的金属纳米结构应用在电子器件上时,能够进一步提升电子器件的性能。

[0081] 作为第三种示例,具体参见图3,即位于相邻两个槽体100之间的凸起101完全被去除,与被去除凸起101所在位置对应的遮挡部1101处于悬空的状态。具体参见6,形成在遮挡部1101的金属纳米结构12和形成在衬底10没有被遮挡部1101覆盖的区域的金属膜层之间没有任何可以承载金属层的实体结构,使得能够完全确保表面金属纳米结构12和底部金属膜层13之间完全自然隔离。将具有该结构的金属纳米结构应用在电子器件上时,能够进一步提升电子器件的性能。

[0082] 作为另一种可能的实现方式,继续参见图2至图4,图案化掩膜层110包括:第一支撑部1103。与第一支撑部1103间隔且相对设置的第二支撑部1104;以及设置在第一支撑部

1103和第二支撑部1104之间的至少一个承载梁1105。这种情况下,由第一支撑部1103、第二支撑部1104和至少一个承载梁1105构成多个遮挡部1101,由第一支撑部1103、第二支撑部1104和承载梁1105围合形成多个镂空部1100。此时,参见图5,在图案化纳米结构11背离衬底10表面形成的金属纳米结构12包括,对应形成在第一支撑部1103背离衬底10表面的第一金属纳米结构120,对应形成在第二支撑部1104背离衬底10表面的第二金属纳米结构121,以及对应形成在承载梁1105背离衬底10表面的第三金属纳米结构122。其中,第三金属纳米结构122为纳米线、纳米片等,第一金属纳米结构120和第二金属纳米结构121可以作为焊盘,实际应用时,电连通第一金属纳米结构120和第二金属纳米结构121即可直接测量作为纳米线或纳米片的第三金属纳米结构122的导电性能。

[0083] 需要说明的是,作为纳米线或纳米片的第三金属纳米结构122的尺寸可以通过控制承载梁1105的尺寸控制,而承载梁1105的尺寸可以通过常规的图案化工艺灵活控制,因此,本实施例中的第三金属纳米结构122具有尺寸灵活控制的优点。

[0084] 作为一种可能的实现方式,如图5至图7、图10、图12所示,在图案化纳米结构11背离衬底10的表面形成金属纳米结构12时,上述金属纳米结构的制作方法还包括:

[0085] 在衬底10的表面形成底部金属层13,金属纳米结构12在底部金属层13所在层面的正投影与底部金属层13相互独立。

[0086] 例如:当利用图案化掩膜层110在衬底10上形成多个槽体100后,如果在图案化纳米结构11背离衬底10的表面形成金属纳米结构12,那么上述金属纳米结构12实质形成在图案化掩膜层110所具有的遮挡部1101背离衬底10的表面。同时,在遮挡部1101的遮挡下,底部金属层13形成在槽体100的底部以及衬底10没有被遮挡部1101覆盖的区域。

[0087] 又例如:当上述衬底10所具有的凸起部越高,金属纳米结构12与底部金属层13之间的垂直距离也就越高,金属纳米结构12和底部金属层13的隔离性也就越佳。相应的,具有该金属纳米结构12的电子器件性能也就越好。

[0088] 金属膜层对应镂空部1100的这些部分区域会在衬底10没有被图案化纳米掩膜层110覆盖到的区域形成底部金属层13。

[0089] 而在衬底10上形成的多个槽体100能够增大金属纳米结构12和底部金属层13之间的垂直距离,以确保金属纳米结构12和底部金属层13的隔离,使得应用了该金属纳米结构12的电子器件具有良好的性能。

[0090] 下面将结合附图详细说明在衬底10上形成图案化纳米结构11,以及在图案化纳米结构11背离衬底10的表面形成金属纳米结构12的方法,应理解,以下说明仅用于解释,不作为限定。

[0091] S20:具体参见图13,采用现有膜层制作工艺,例如低压力化学气相沉积法(Low Pressure Chemical Vapor Deposition,缩写为LPCVD)在衬底10的表面形成掩膜材料层1102。需要说明的是,为了降低掩膜材料层1102的内应力,形成掩膜材料层1102后进行高温退火处理,至于高温退火处理的具体方法不做限定。

[0092] S21:具体参见图14,图案化掩膜材料层1102和衬底10形成凸台102。凸台102为本实施例中形成图案化纳米结构11的区域。可以采用常规的光刻刻蚀工艺处理图案化掩膜材料层1102和衬底10,以形成包括部分掩膜材料层1102和部分衬底10的凸台102。

[0093] S22:具体参见图15和图16,在凸台102背离衬底10的表面形成图案化光刻胶14。可

以在凸台102背离衬底10的表面形成一层光刻胶,基于上述一层光刻胶形成图案化光刻胶14。图案化光刻胶14的具体结构决定后续形成的图案化掩膜层110、图案化纳米结构11和金属纳米结构12的具体结构。

[0094] S23:具体参见图17,以图案化光刻胶14为掩膜去除凸台102上的图案化掩膜材料层1102,形成图案化掩膜层110,图案化掩膜层110的一种示例性的具体结构参见前文所述的图案化掩膜层110的具体结构,在此不再赘述。

[0095] S24:具体参见图18,去除图案化光刻胶14。

[0096] S25:具体参见图8,以图案化掩膜层110为掩膜向下刻蚀凸台102区域的衬底10,以形成槽体100,被图案化掩膜层110遮挡的凸台102区域则形成凸起101。

[0097] S26:具体参见图3、图9和图11,采用各向异性刻蚀方法刻蚀两个相邻槽体100之间的凸起101,凸起101被刻蚀的量可以根据具体工况确定,在此不做具体限定。例如:可以将两个相邻槽体100之间的凸起101全部刻蚀掉,也可以刻蚀一定量的凸起101,使得最终形成的凸起101在衬底10表面的正投影完全被与其对应的图案化掩膜层110所具有的遮挡部1101在衬底10表面的正投影覆盖。

[0098] S27:具体参见图5至图7、图10、图12,采用金属化工艺在遮挡部1101背离衬底10的表面形成金属纳米结构12,与此同时,在槽体100的槽底以及衬底10没有被图案化掩膜层110覆盖的区域形成底部金属层13。形成的金属纳米结构12的一种示例性的具体结构参见前文述及金属纳米结构12的具体结构,在此不再赘述。

[0099] 本发明实施例还提供一种金属纳米结构。该金属纳米结构采用本发明实施例提供的金属纳米结构的制作方法制成。

[0100] 采用本发明实施例提供的金属纳米结构的制作方法制成的金属纳米结构具有与制作方法相同的有益效果,此处不再赘述。

[0101] 本发明实施例还提供一种电子器件。该电子器件至少包括上述实施例制作的金属纳米结构。例如:该电子器件可以为环栅晶体管等。至于电子器件的有益效果,则可以参考前文金属纳米结构的制作方法的有益效果,此处不再赘述。

[0102] 本发明实施例还提供一种集成电路。该集成电路至少包括上述实施例提供的金属纳米结构。至于集成电路的有益效果,则可以参考前文金属纳米结构的制作方法的有益效果,此处不再赘述。

[0103] 本发明实施例还提供一种芯片。该芯片包括上述实施例提供的金属纳米结构。至于芯片的有益效果,则可以参考前文金属纳米结构的制作方法的有益效果,此处不再赘述。

[0104] 本发明实施例还提供一种电子设备,该电子设备包括上述实施例提供的金属纳米结构。至于电子设备的有益效果,则可以参考前文金属纳米结构的制作方法的有益效果,此处不再赘述。

[0105] 本说明书中的各个实施例均采用递进的方式描述,各个实施例之间相同相似的部分互相参见即可,每个实施例重点说明的都是与其他实施例的不同之处。尤其,对于设备实施例而言,由于其基本相似于方法实施例,所以描述得比较简单,相关之处参见方法实施例的部分说明即可。

[0106] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵

盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

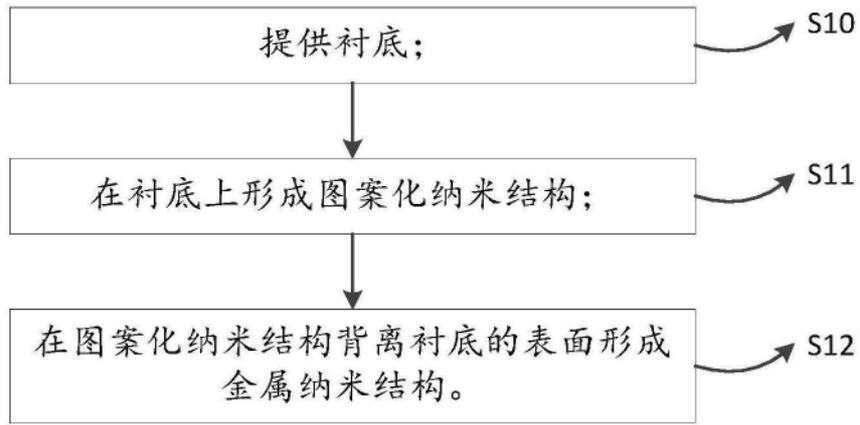


图1

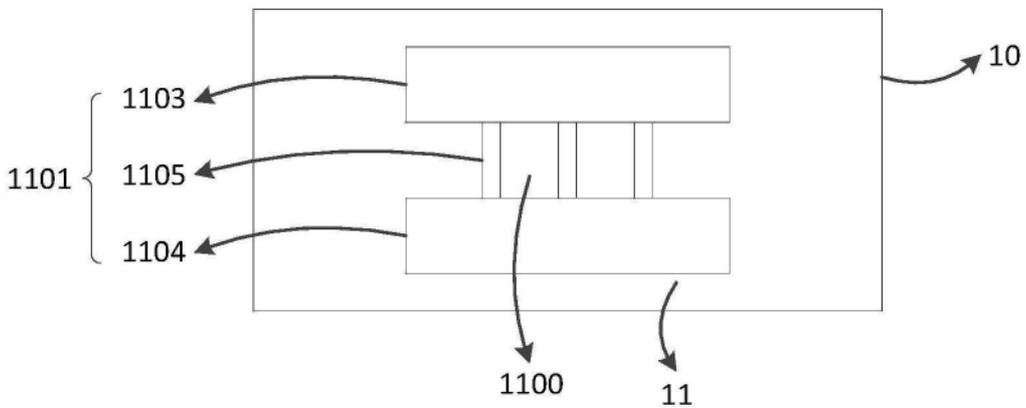


图2

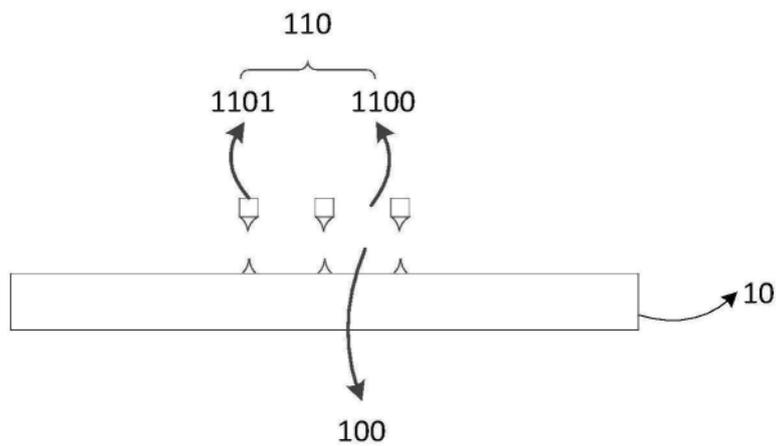


图3

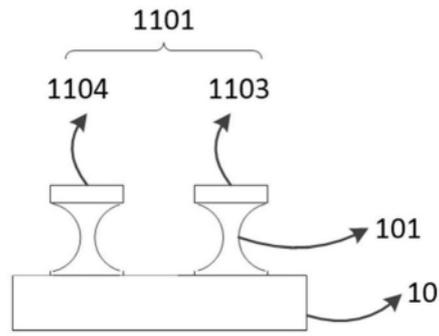


图4

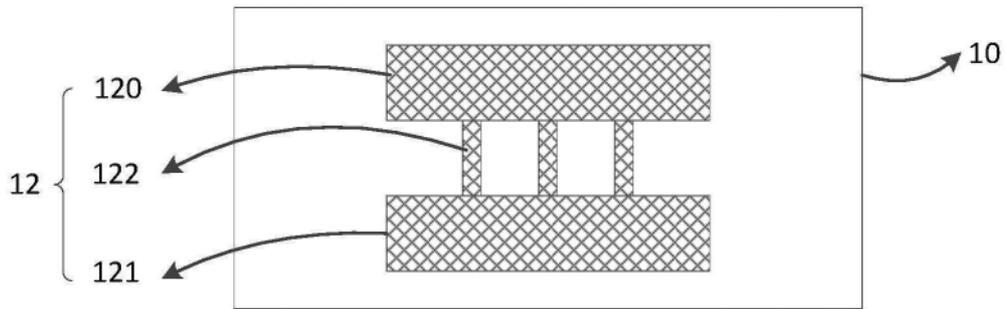


图5

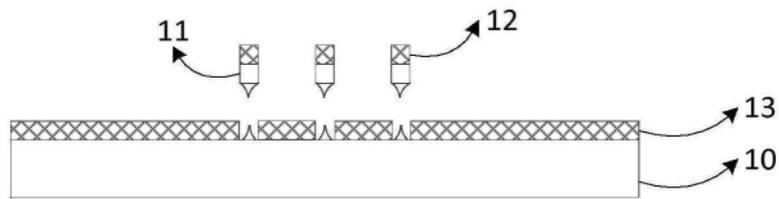


图6

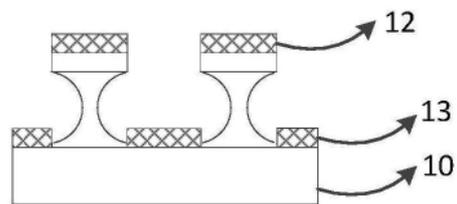


图7

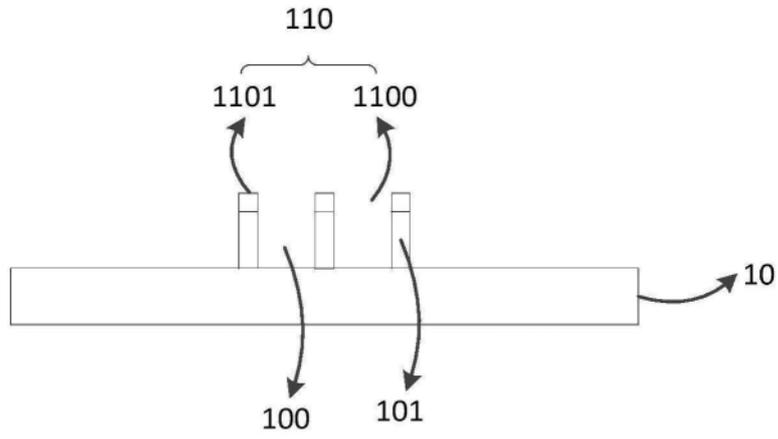


图8

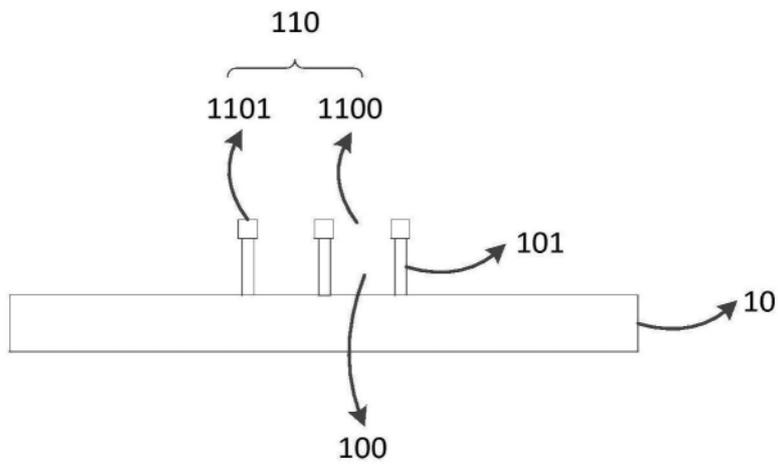


图9

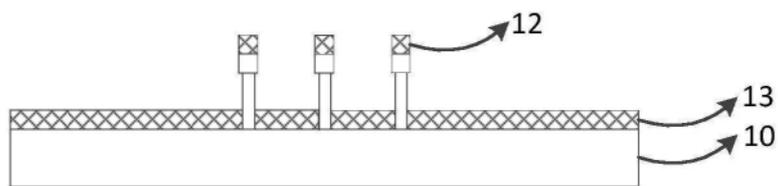


图10

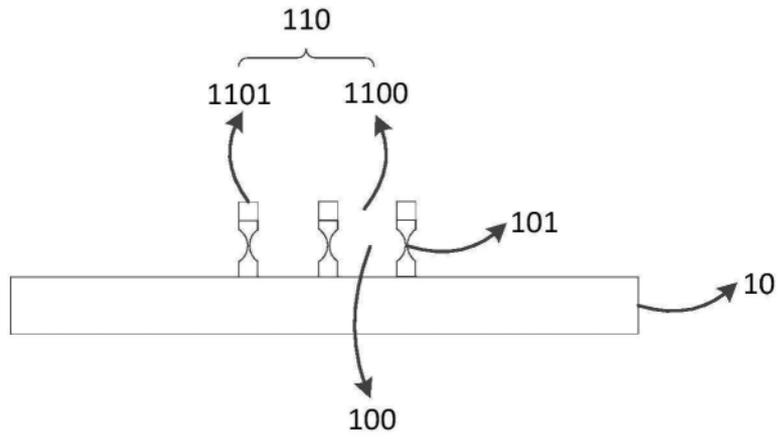


图11

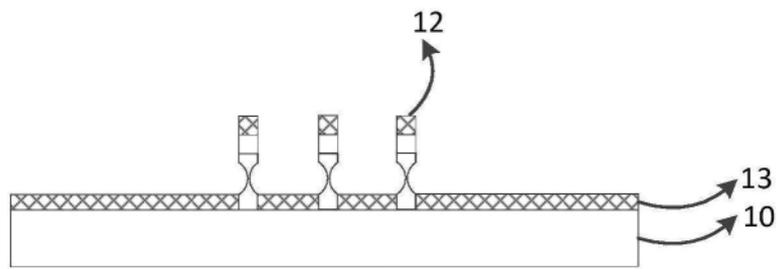


图12



图13



图14

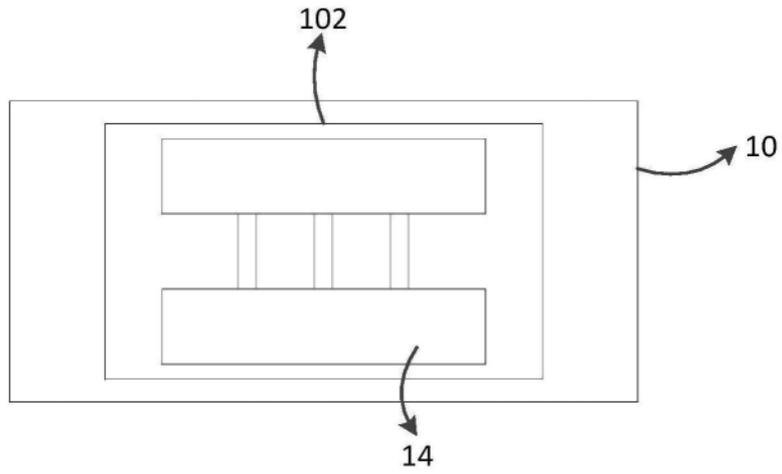


图15

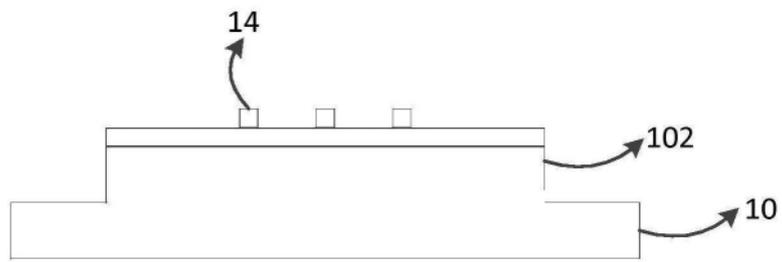


图16

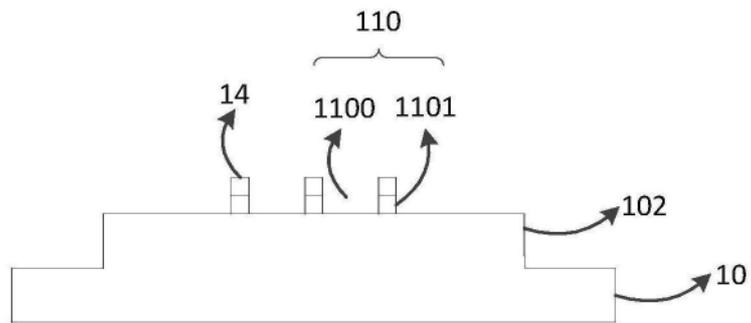


图17

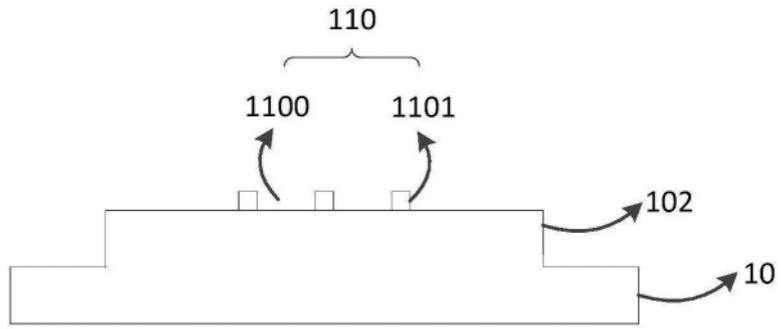


图18