

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 7/033 (2006.01)

H04L 27/22 (2006.01)

H03L 7/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 03131406.6

[45] 授权公告日 2007 年 4 月 4 日

[11] 授权公告号 CN 1309205C

[22] 申请日 2003.5.12 [21] 申请号 03131406.6

[73] 专利权人 瑞昱半导体股份有限公司

地址 台湾省新竹

[72] 发明人 郭郁斌 周裕彬 童旭荣

[56] 参考文献

US 6049233 A 2000.4.11

WO 02/073791 A2 2002.9.19

CN 1116466 A 1996.2.7

审查员 郭海波

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 祁建国

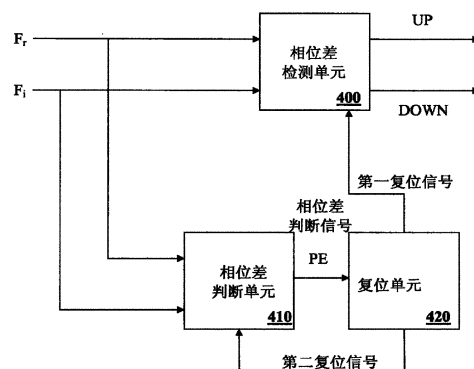
权利要求书 3 页 说明书 8 页 附图 7 页

[54] 发明名称

用于数字锁相环系统的相位频率检测器

[57] 摘要

一种用于数字锁相环系统的相位频率检测器，包括：一相位差检测单元，用以当检测到一第一输入信号或一第二输入信号具有一跳变 (transition) 时输出该相位差信号；一相位差判断单元，用以当检测到该第一输入信号及该第二输入信号皆具有一跳变时输出一相位差判断信号，其中，该相位差判断信号的信号时间 (duration) 与该第一输入信号及该第二输入信号的相位差大小相对应；以及一复位单元，与该相位差检测单元及该相位差判断单元耦接，用以依据该相位差判断信号输出一第一复位信号以复位该相位差检测单元，并输出一第二复位信号以复位该相位差判断单元。



1. 一种相位频率检测电路，用以依据一第一输入信号及一第二输入信号，以输出一相位差信号，其特征在于，该相位频率检测电路包括：

一相位差检测单元，用以当检测到该第一输入信号或该第二输入信号具有一跳变时输出该相位差信号；

一相位差判断单元，用以当检测到该第一输入信号及该第二输入信号皆具有一跳变时输出一相位差判断信号；

以及

一复位单元，与该相位差检测单元及该相位差判断单元耦接，用以依据该相位差判断信号输出至少一复位信号以复位该相位差检测单元及该相位差判断单元的至少其中之一。

2. 如权利要求 1 所述的相位频率检测电路，其特征在于，该相位差信号包括一第一输出信号及一第二输出信号，该相位差检测单元还包括：

一第一边沿触发器，用以依据该第一输入信号输出该第一输出信号；

一第二边沿触发器，用以依据该第二输入信号输出该第二输出信号；

一第一预复位单元，与该第一边沿触发器耦接，用以依据该第一输出信号或该复位信号复位该第二边沿触发器；以及

一第二预复位单元，与该第二边沿触发器耦接，用以依据该第二输出信号或该复位信号复位该第一边沿触发器。

3. 如权利要求 1 所述的相位频率检测电路，其特征在于，该相位差判断单元还包括：

一第三边沿触发器，用以依据该第一输入信号输出一第三输出信号；

一第四边沿触发器，用以依据该第二输入信号输出一第四输出信号；以及

一相位差判断信号输出单元，分别与该第三边沿触发器及该第四边沿触发器耦接，用以接收该第三输出信号及该第四输出信号，并输出该相位差判断信号。

4. 如权利要求 1 所述的相位频率检测电路，其特征在于，该相位差判断信号的信号时间与该第一输入信号及该第二输入信号的相位差大小相对应。

5. 如权利要求 1 所述的相位频率检测电路，其特征在于，该复位信号包

括一第一复位信号及一第二复位信号，且该复位单元还包括：

一第五边沿触发器，用以依据该相位差判断信号输出该第一复位信号及一第五输出信号；

一第六边沿触发器，用以依据该相位差判断信号输出该第一复位信号及一第六输出信号；以及

一复位信号输出单元，分别与该第五边沿触发器及该第六边沿触发器耦接，用以依据该第五输出信号或该第六输出信号输出该第二复位信号。

6. 如权利要求 1 所述的相位频率检测电路，其特征在于，该复位信号包括一第一复位信号及一第二复位信号，且该复位单元还包括：

一第五边沿触发器，用以依据一时钟信号，当收到该相位差判断信号时输出该第一复位信号及一第五输出信号；以及

一第七边沿触发器，用以依据该时钟信号，当收到该第五输出信号时输出该第二复位信号。

7. 如权利要求 1 所述的相位频率检测电路，其特征在于，该复位信号包括一第一复位信号及一第二复位信号，且该复位单元还包括：

一第五边沿触发器，用以依据该相位差判断信号输出该第一复位信号及一第五输出信号；

一第六边沿触发器，用以依据该相位差判断信号输出该第一复位信号及一第六输出信号；

一第七边沿触发器，用以依据一时钟信号，当收到该第五输出信号输出一第七输出信号；

一第八边沿触发器，用以依据一反相时钟信号，当收到该第六输出信号输出一第八输出信号；以及

一复位信号输出单元，分别与该第七边沿触发器及该第八边沿触发器耦接，用以依据该第七输出信号或该第八输出信号输出该第二复位信号。

8. 如权利要求 1 所述的相位频率检测电路，其特征在于，该第一输入信号及该第二输入信号的跳变可为上升沿及下降沿其中之一。

9. 一种锁相环，其特征在于，包括：

一相位频率检测电路，用以依据一第一输入信号及一第二输入信号，以输出一相位差信号，其中，该相位频率检测电路还包括：

一相位差检测单元,用以当检测到该第一输入信号或该第二输入信号具有一跳变时输出该相位差信号;

一相位差判断单元,用以当检测到该第一输入信号及该第二输入信号皆具有一跳变时输出一相位差判断信号,其中,该相位差判断信号的信号时间与该第一输入信号及该第二输入信号的相位差大小相对应;以及

一复位单元,与该相位差检测单元及该相位差判断单元耦接,用以依据该相位差判断信号输出至少一复位信号以复位该相位差检测单元及该相位差判断单元的至少其中之一;

一相位差量化器,与该相位频率检测电路耦接,用以依据该相位差信号输出相对应的一计数信号,其中该计数信号的大小系与该相位差信号的信号时间有关;以及

一数字控制振荡器,与该相位差量化器耦接,用以依据该计数信号输出相对应的一锁相输出信号,其中,该锁相输出信号的频率及相位与该计数信号相对应。

10. 如权利要求9所述的锁相环,其特征在于,该第一输入信号及该第二输入信号的跳变可为上升沿及下降沿其中之一。

用于数字锁相环系统的相位频率检测器

技术领域

本发明为一种相位频率检测器，特别是一种用于数字锁相环系统的相位频率检测器。

背景技术

锁相环(phase locked loop; PLL)是一种能够追踪输入信号的频率与相位的自动控制电路系统，它广泛的运用在频率合成(frequency synthesis)、时钟/数据恢复(clock/data recovery)、时钟差异消除(clock de-skewing)等等的应用上。一般锁相环(PLL)大致可分为模拟锁相环(Analog PLL; APLL)与数字锁相环(Digital PLL; DPLL)。

一般的数字锁相环的系统结构框图如图1所示，包括相位频率检测器100、相位差量化器(Phase Error Quantizer)110、数字控制振荡器(Digital-Controller Oscillator; DCO)120以及分频电路(Divider)130。相位频率检测器100的作用是比较反馈信号 F_i 与输入信号 F_r 的相位差，并依据两者相位差输出相位差信号。一般相位差信号分为上升信号UP及下降信号DOWN，由两信号值及时间差来代表反馈信号 F_i 与输入信号 F_r 的相位差的大小。相位差量化器110依据上升信号UP及下降信号DOWN的信号值及时间差，将相位差的大小以数字量化(Quantized)的方式输出一计数信号。而数字控制振荡器(DCO)120再依据计数信号大小输出相对应的一输出信号 F_o 。需注意的是，输出信号 F_o 的频率与输入信号 F_r 并不一定相同。当输出信号 F_o 的频率与输入信号 F_r 不同时，输出信号 F_o 必须经过分频器130分频后，由相位频率检测器100来检测反馈信号 F_i 与输入信号 F_r 的相位差。

图2为现有相位频率检测器(PFD)的电路框图，其中包括两个D触发器(D-type Flip-Flop)200、210及一个与门(AND门)220。D触发器200的信号输入端(D)与一高电压源耦接，用以接收一高电平信号，时钟输入端(CK)用以接收输入信号 F_r ，当输入信号 F_r 为高电平信号时，则驱动该触发器200由

信号输出端(Q)输出高电平信号。触发器 210 的工作原理与触发器 200 相似，其不同之处在于时钟输入端(CK)用以接收反馈信号 F_i 。与门 (AND 门) 220 的两个信号输入端分别与触发器 200 及 210 的信号输出端(Q) 耦接，其信号输出端分别与触发器 200 及 210 的复位信号输入端(SET) 耦接。相位频率检测器的工作原理请参考图 3A 的时序图所示。假设本文所提到的频率检测器中的组件皆为一上升沿触发电路，以 F_r 信号超前 F_i 信号为例，当 F_r 信号输入触发器 200 时，触发器 200 输出上升信号 UP，上升信号 UP 会随 F_r 提升为高电平。直到 F_i 信号输入触发器 210 时，触发器 210 输出下降信号 DOWN，亦即下降信号 DOWN 会随 F_i 提升为高电平。当上升信号 UP 与下降信号 DOWN 皆为高电平时，两输入端分别接收上升信号 UP 与下降信号 DOWN 的与 (AND) 门 220 后会输出一复位(Reset)信号分别输入触发器 200、210 中，复位触发器 200、210。故触发器 200、210 分别输出的上升信号 UP 与下降信号 DOWN 皆回到低电平。当 F_r 信号滞后 F_i 信号时，两触发器的工作原理相同，所不同的是此时触发器 210 输出的下降信号 DOWN 会先提升为高电平，然后与后提升为高电平的上升信号 UP 一同输入与 (AND) 门 220，使得与 (AND) 门 220 输出复位信号分别复位触发器 200、210，使得触发器 200、210 分别输出的上升信号 UP 与下降信号 DOWN 皆回到低电平。故通过上升信号 UP 与下降信号 DOWN 何者先提升为高电平信号，可以得知输入信号 F_r 与反馈信号 F_i 的相位的超前与滞后，并通过上升信号 UP 与下降信号 DOWN 提升至高电平的时间差的长短得知相位超前或滞后的大小。

相位频率检测器对反馈信号 F_i 与输入信号 F_r 的相位差大小的灵敏度是很重要的。灵敏度的定义为锁相环所能检测到的反馈 F_i 与输入 F_r 的相位差的最小差距。由于逻辑组件实际的电路特性并不理想，造成触发器的工作及与门 (AND 门) 的逻辑运算都会有延迟时间(delay time)。例如：当输入信号 F_r 与反馈信号 F_i 分别输入至触发器 200 及 210 时，触发器 200 及 210 分别接收到输入信号 F_r 与反馈信号 F_i 后，会经过一段延迟时间之后，才接收到与门 (AND 门) 所输出的复位信号。延迟时间的长度与相位差大小并没有呈现规则的关系。延迟时间会使得输入信号 F_r 与反馈信号 F_i 的相位差的大小与输出信号 F_o 的关系会有误差的存在。当输入信号 F_r 或反馈信号 F_i 的相位差越小，上述误差对输入信号 F_r 与反馈信号 F_i 的相位差的大小与输出信号 F_o 的关系的影响就越大。且当输入信号 F_r 或反馈信号 F_i 的相位差小到一定的程度时，会因为上述的电路不理想的特性所

造成延迟时间的缘故，造成相位频率检测器所输出的上升信号UP或下降信号DOWN无法被后级电路所利用或甚至是无法被后级电路检测到的情况，此情况被称之为死区(dead zone)。对使用现有的相位频率检测器的数字锁相环而言，当输入信号 F_i 或反馈信号 F_f 的相位差小于一个时钟信号的话，量化器将不会检测到其相位的差异，故不会输出一计数信号，如图3B所示，即现有数字锁相环对相位差的灵敏度的最小值为一个时钟周期。

发明内容

有鉴于上述的需求，本发明提出一种用于数字锁相环系统的相位频率检测器，以期在数字锁相环中，能解决死区(Dead Zone)的问题并避免同步误动作(glitch)的产生，即使相位差小于一个时钟信号时，还可提高数字锁相环对相位差的灵敏度。

本发明所提的相位频率检测电路，如图4所示，包括：一相位差检测单元400，用以当检测到一第一输入信号或一第二输入信号具有一跳变(transition)时输出该相位差信号；一相位差判断单元410，用以当检测到该第一输入信号及该第二输入信号皆具有一跳变时输出一相位差判断信号，其中，该相位差判断信号的信号时间(duration)与该第一输入信号及该第二输入信号的相位差大小相对应；以及一复位单元420，与该相位差检测单元及该相位差判断单元耦接，用以依据该相位差判断信号输出一第一复位信号以复位该相位差检测单元，并输出一第二复位信号以复位该相位差判断单元。

本发明所提出一种锁相环，包括：一相位频率检测电路，用以依据一第一输入信号及一第二输入信号，以输出一相位差信号，其中，该相位频率检测电路还包括：一相位差检测单元，用以当检测到该第一输入信号或该第二输入信号具有一跳变时输出该相位差信号；一相位差判断单元，用以当检测到该第一输入信号及该第二输入信号皆具有一跳变时输出一相位差判断信号，其中，该相位差判断信号的信号时间与该第一输入信号及该第二输入信号的相位差大小相对应；以及，一复位单元，与该相位差检测单元及该相位差判断单元耦接，用以依据该相位差判断信号输出至少一复位信号以复位该相位差检测单元及该相位差判断单元的至少其中之一；一相位差量化器，与该相位频率检测电路耦接，用以依据该相位差信号输出相对应的一计数信号，其中该计数信号的大

小系与该相位差信号的信号时间有关；以及，一数字控制振荡器，与该相位差量化器耦接，用以依据该计数信号输出相对应的一锁相输出信号，其中，该锁相输出信号的频率及相位与该计数信号相对应。

附图说明

- 图 1 为现有数字锁相环的系统结构框图；
 图 2 为现有相位频率检测器的电路框图；
 图 3A~3B 为现有相位频率检测器的时序示意图；
 图 4 为本发明的相位频率检测系统结构框图；
 图 5 为本发明的相位频率检测器的第一实施例详细电路图；
 图 6 为本发明第一实施例的时序示意图；
 图 7 为本发明的相位频率检测器的第二实施例详细电路图；及
 图 8 为本发明的相位频率检测器的第三实施例详细电路图。

符号说明

100	相位频率检测器	110	相位差量化器
120	数字控制振荡器	130	分频器
200、210	D 触发器		
220	与门 (AND 门)		
400	相位差检测单元	401	第一触发器
402	第二触发器	403	第一预复位单元
404	第二预复位单元	410	相位差判断单元
411	第三触发器	412	第四触发器
413	与门 (AND 门)	420	复位单元
421	第一复位单元	4211	第五触发器
4212	第六触发器	422	第二复位单元
4221	第七触发器	4222	第八触发器
4223	或非门 (NOR 门)		

具体实施方式

图 4 为依据本发明的较佳实施例显示的相位频率检测器的功能方块图。本

发明的特征在于除了相位差检测单元 400 之外,还设计一相位差判断单元 410 及复位单元 420。相位差判断单元 410 与相位差检测单元 400 同步地接收输入信号 F_r 及反馈信号 F_i , 并依据输入信号 F_r 及反馈信号 F_i 的相位差输出相位差信号至复位单元 420。复位单元 420 依据相位差信号输出第一复位信号来复位相位差检测单元 400, 并输出第二复位信号来复位相位差判断单元 410。图 5 为依据图 4 显示的本发明提出的相位频率检测器的详细电路图。其中, 相位差检测单元 (Phase-Error Detecting) 400 包括第一触发器 401、第二触发器 402、第一预复位单元 403 及第二预复位单元 404。其中, 第一触发器 401 与第二触发器 402 为 D 触发器, 其信号输入端 (D) 和时钟信号输入端 (CK) 所接收的信号及其工作原理皆分别与图 2 所显示的触发器 200、210 相对应, 请自行参照前文的说明, 于此不再赘述。第一触发器 401 与第二触发器 402 的信号输出端 (Q) 分别输出第一指针 (Flag 1) 信号、第二指针 (Flag 2) 信号。其中, 第一指针信号即是上升信号 UP, 第二指针信号即是下降信号 DOWN。当输出信号 F_r 超前反馈信号 F_i 输入相位差检测单元 400 时, 第一触发器 401 会输出第一指针信号, 即上升信号 UP。反之, 当反馈信号 F_i 超前输出信号 F_r 输入相位差检测单元 400 时, 第二触发器 401 会输出第二指针信号, 即下降信号 DOWN。第一指针信号及第二指针信号会分别输入至第一预复位单元 403 及第二预复位单元 404 中。在本实施例中, 其中, 第一预复位单元 403 及第二预复位单元 404 皆为或非门 (NOR 门)。第一预复位单元 403 用以复位第二触发器 402, 而第二预复位单元 404 用以复位第一触发器 401。第一预复位单元 403 及第二预复位单元 404 的动作需与复位单元 420 配合。其工作原理将于下文中再作详尽的说明。

本发明与现有的相位频率检测单元不同之处在于, 本发明设计一相位差判断单元 410, 用以判断输出信号 F_r 及反馈信号 F_i 的相位差大小, 以及复位单元 420, 用以输出复位信号, 分别复位相位差检测单元 400 及相位差判断单元 410。相位差判断单元 410 包括第三触发器 411、第四触发器 412 及与门 (AND 门) 413。其中, 第三触发器 411 及第四触发器 412 皆为 D 触发器, 信号输入端及时钟信号输入端所接收的信号及工作原理分别与第一触发器 401 及第二触发器 402 相对应, 请参照前文的说明, 于此不再赘述。第三触发器 411 及第四触发器 412 用以分别依据输入信号 F_r 及反馈信号 F_i 输出一第三指针 (Flag 3) 信号、一第四指针 (Flag 4) 信号至与门 (AND 门) 413。当第三触发器 411 及第

四触发器 412 分别接收到输入信号 F_r 及反馈信号 F_i 时, 与门 (AND 门) 413 会依据第三指针信号及第四指针信号输出相位差信号至复位单元 420。复位单元 420 为一 D 触发器, 其信号输入端 (D) 用以接收相位差信号, 时钟输入端 (CK) 用以接收时钟信号, 当收到相位差信号时, 该触发器 420 由第一信号输出端 (Q) 输出第一复位信号复位相位差检测单元 400, 并由第二信号输出端 (QB) 输出第二复位信号复位相位差判断单元 410。相位差判断单元 410 及复位电路 420 详细的工作原理将于下文作详细的说明。

为配合动作说明, 亦请参考图 6 的时序示意图, 假设本发明所提出的相位频率检测器的所有电路组件皆为上升沿触发电路。当输入信号 F_r 的相位超前反馈信号 F_i 时, 第一触发器 401 与第三触发器 411 分别同时输出高电平的第一指针信号及第三指针信号。此时, 相位差检测单元 400 会输出高电平的上升信号 UP。同时第一指针信号会输入至第一预复位单元 403, 第一预复位单元 403 依据接收的第一指针信号复位第二触发器 402, 使第二指针信号, 即下降信号 DOWN 维持在低电平。当相位滞后的反馈信号 F_i 端输入第二触发器 402 及第四触发器 412 时, 由于第二触发器 402 处于复位状态, 故不会输出第二指针信号。此时, 第四指针信号则输出在高电平。由于第三指针信号及第四指针信号皆为高电平, 与门 (AND 门) 电路 413 会输出相位差判断信号 PE 至复位单元 420。复位单元会在下一个时钟信号的升沿输出第一复位信号至第一预复位单元 403 及第二预复位单元 404, 使得第二预复位单元 404 去复位第一触发器 401。此时, 第一指针信号, 即上升信号 UP 会拉回至低电平。需注意的是, 在本实施例中, 在复位单元 420 收到相位差判断信号 PE 之后的下一个时钟周期, 才会输出第一复位信号, 才可同时复位第一触发器 401 及第二触发器 402。如此, 只要输入信号 F_r 及反馈信号 F_i 具有相位差, 即使两信号的相位差小于一个时钟周期, 输出的高电平的上升信号 UP 或是下降信号 DOWN 都会持续大于一个时钟周期。如此, 后级的量化器才可依据收到的上升信号 UP 或下降信号 DOWN 工作。故本发明所提出的相位频率检测单元对相位差的灵敏度会比现有作法要高许多。同时, 复位单元 420 会输出第二复位信号分别去复位第三触发器 411 及第四触发器 412。使得高电平的第三指针信号及第四指针信号同时回到低电平。当输入信号 F_r 的相位滞后反馈信号 F_i 时, 本发明所提出的相位频率检测器其工作原理与前文的说明相似, 请参考图 6 的时序图所示, 于此不再赘述。

请再参照图 5，由于第一触发器 401 及第二触发器 402 分别与第三触发器 411 及第四触发器 412 相对应。由于两两相对应的触发器其所接收的信号及工作原理皆完全相同，故可以将触发器工作的延迟时间所造成的效应视为完全相同。如此即可有效地降低触发器工作造成的延迟时间对电路表现的影响。此外，本实施例利用复位单元 420 及相位差检测单元 400 的第一预复位单元 403 及第二预复位单元 404 的联合动作，即使 F_1/F_2 信号的相位差小于一个时钟周期，输出的上升信号 UP 或下降信号 DOWN 会持续至少一个时钟周期，使得本实施例提出的相位频率检测单元对相位差的灵敏度大为提高。

本发明还提出第二实施例，如图 7 所示，图 7 与图 5 的不同之处在于，在图 7 中，复位单元 420 除了第五触发器 4211 之外，还包括一第六触发器 4212，皆用以输出第一复位信号至第一预复位单元 403 及第二预复位单元 404，并其信号输出端皆同或非门 (NOR 门) 4223 耦接，用以输出第二复位信号至第三触发器 411 及第四触发器 412。第五触发器 4211 与图 5 中复位单元 420 的触发器相同，而第六触发器 4212 与第五触发器 4211 不同之处在于，其时钟信号输入端 (CK) 接收反相时钟信号 CKB。故当同时收到相位差判断信号 PE 时，第五触发器 4211 与第六触发器 4212 输出的第一复位信号及第二复位信号的时间会相差半个时钟周期。与第一实施例相比，第二实施例的改进之处在于，在第一实施例中，由相位差判断信号 PE 输入复位单元 420 到复位单元 420 输出第一及第二复位信号的时间差最长为一个时钟周期。但在第二实施例中，由于加入了第六触发器 4211，相位差判断信号 PE 输入复位单元 420 到复位单元 420 输出第一及第二复位信号的时间差最长仅为半个时钟周期。如此可大为提升本发明所提出的相位频率检测器的反应速度。图 7 中其它电路组件的工作原理皆与图 5 的相对应的电路组件相同，于此不再赘述。

本发明还提出第三实施例，如图 8 所示，图 8 与图 7 的不同之处在于，在图 8 中，复位单元 420 除了第一复位单元 421 之外，还包括一第二复位单元 422。第一复位单元 421 包括第五触发器 4211 及第六触发器 4212，其工作原理皆与图 7 中相对应的电路组件相同，与此不再赘述。第二复位单元 422 包括一第七触发器 4221，其信号输入端与第五触发器 4211 的信号输出端耦接，且其时钟信号输入端接收时钟信号 CK，以及一第八触发器 4222，其信号输入端与第六触发器 4212 的信号输出端耦接，且其时钟信号输入端接收反相时钟信号 CKB。与第一实施例及第二实施例相比，第三实施例的改进之处在于，通过增设第二复位单元 422，以避免同步误动作 (glitch) 的产生。由于相位差判断

信号 PE 产生的时间并不一定,当相位差判断信号 PE 与时钟信号或反相时钟信号同时输入第五触发器 4211 或第六触发器 4212 时,会使得第五触发器 4211 或第六触发器 4212 的状态不稳定,在这个时钟周期内输出的第一复位信号及第二复位信号,其信号电平会处于高电平与低电平之间,此状态称为亚稳态 (Meta-Stable)。此状态会持续一个时钟周期,在下一个时钟周期时才会恢复正常。但是,当后级电路收到此状态不稳定的信号时,有可能会造成后级电路,如第三触发器 411 及第四触发器 412 的误动作。如果后级电路真的发生误动作,则下一个时钟周期之后虽然收到的是正常的信号,但是因为之前的误动作的影响,后级电路就会持续地发生误动作。此状态称为持续误动作。为了避免持续误动作的发生,本实施例再增设一级复位单元,万一相位差判断信号 PE 与时钟/反相时钟信号同步地输入第一复位单元 421,造成第一复位单元 421 输出信号不稳定时,利用增设的第二复位单元 422,即可避免此情形。除非相位差判断信号 PE 与时钟/反相时钟信号同步地输入第一复位单元 421,且第一复位单元 421 的输出信号与时钟/反相时钟信号同步地输入第二复位单元 422 (此种状况发生的机率微乎其微),否则本实施例所提出的电路不会有持续误动作的情况发生。

当然,还有其它实施例,例如第三实施例加以变形,如省略第 8 图的第六触发器 4212,第八触发器 4222 以及或非门 (NOR 门) 4223,或是省略第 8 图的第五触发器 4211,第七触发器 4221 以及或非门 (NOR 门) 4223,仍不脱离本发明的精神。

需注意的是,本说明书提出的实施例以电路组件为上升沿触发电路为例来说明本发明的实施手段。但本发明并不以此为限。电路组件亦可为下降沿触发电路,或者是上升/下降沿触发电路。若电路组件为下降沿触发电路,当输入信号由高电平转换成低电平时,会触发电路组件进行动作。若电路组件为升/下降沿触发电路,则只要输入信号具有一跳变 (transition),无论是低电平转换成高电平(上升沿)或是高电平转换成低电平(下降沿),皆会触发电路组件进行动作。另外,本发明为了电路实际制作的考虑,以或非门 (NOR 门) 来达到和或门 (OR 门) 等效的功效,但本发明并不以此为限。

以上所述仅为本发明其中的较佳实施例而已,并非用来限定本发明的实施范围;凡依本发明所作的等效变化与修饰,皆为本发明权利要求范围所涵盖。

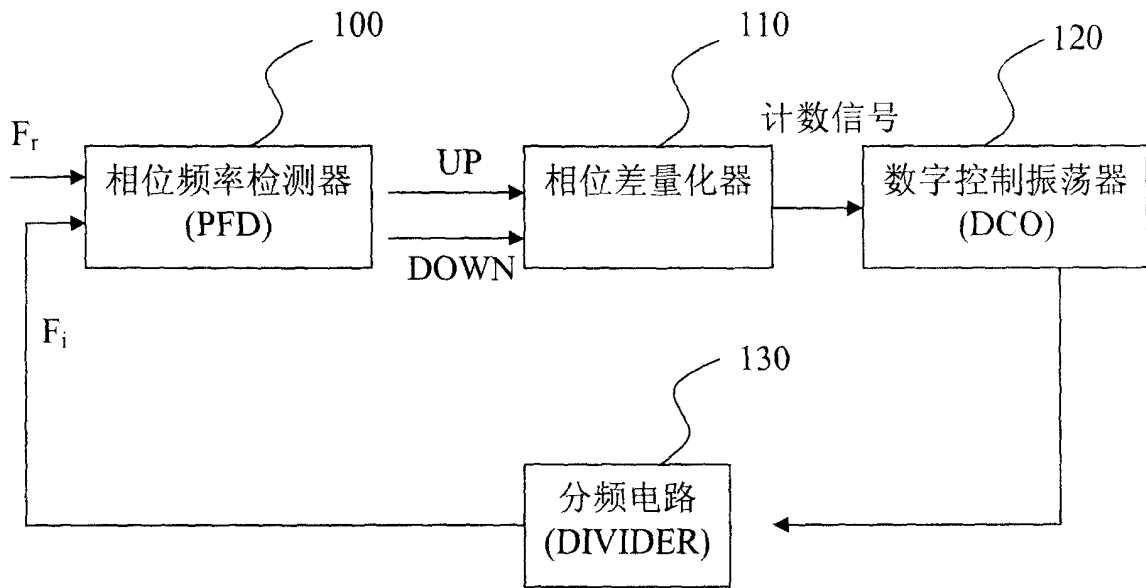


图 1

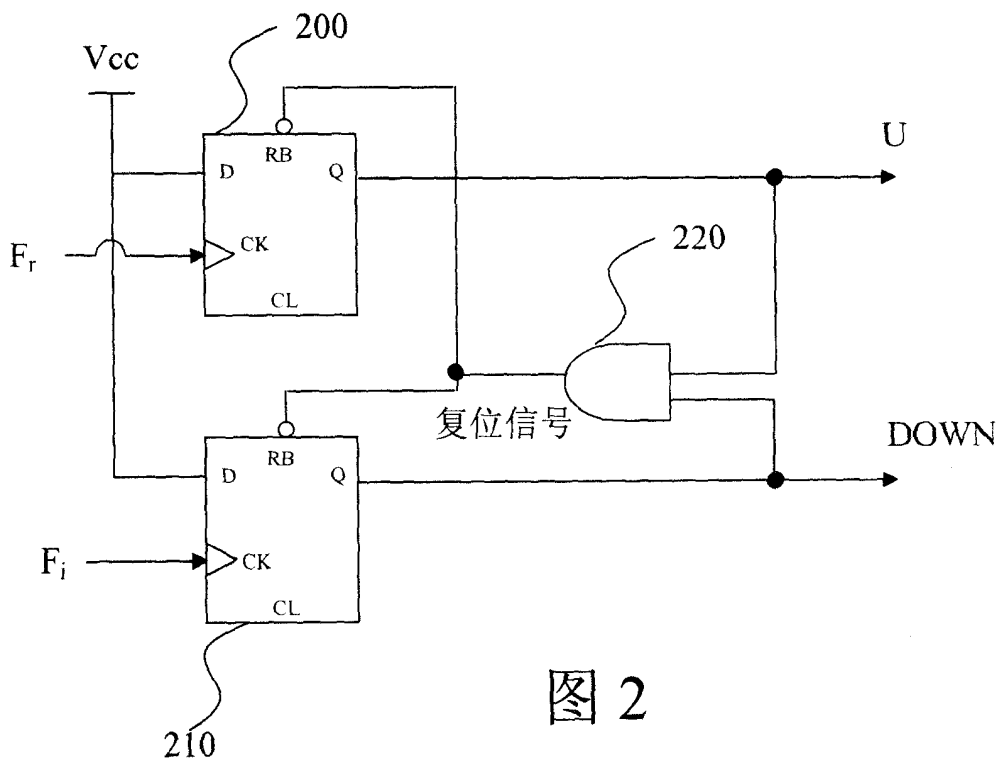


图 2

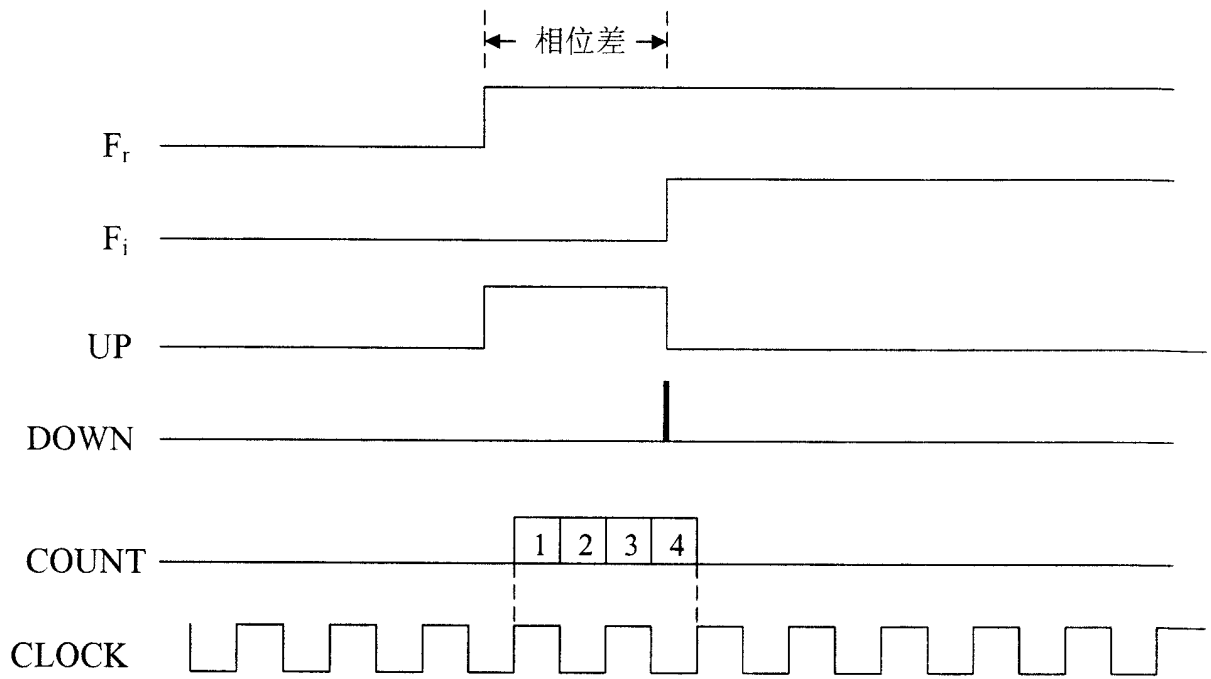


图 3A

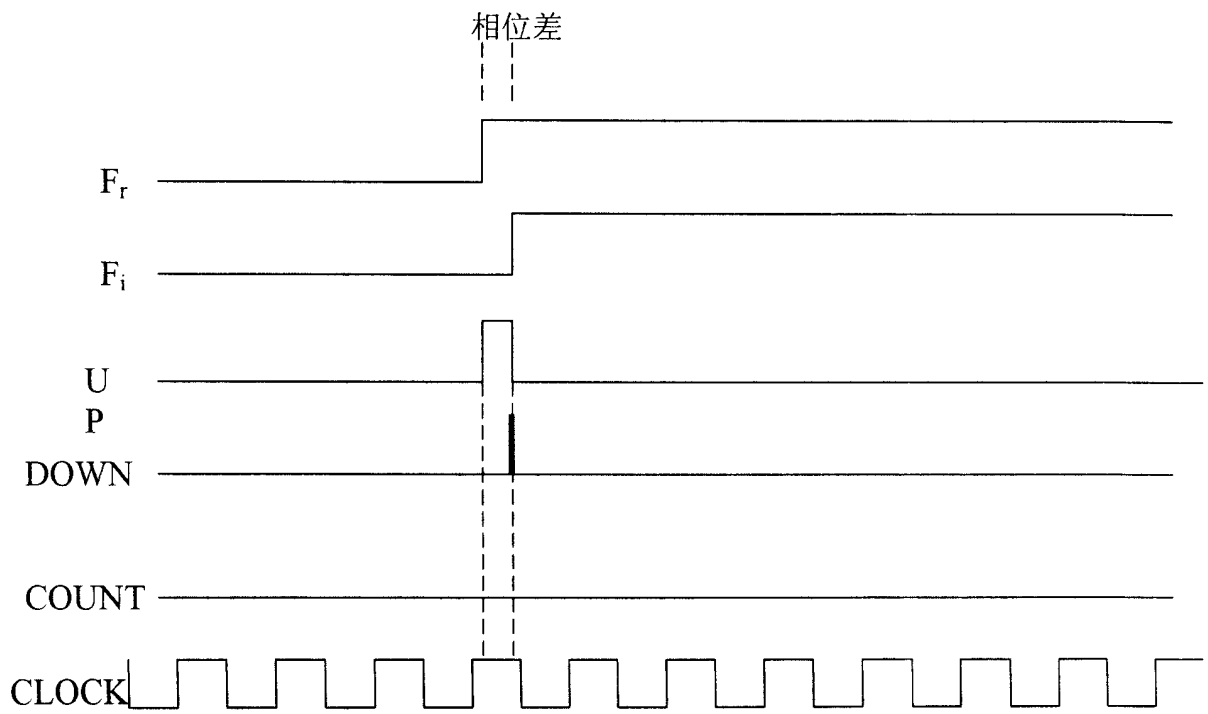


图 3B

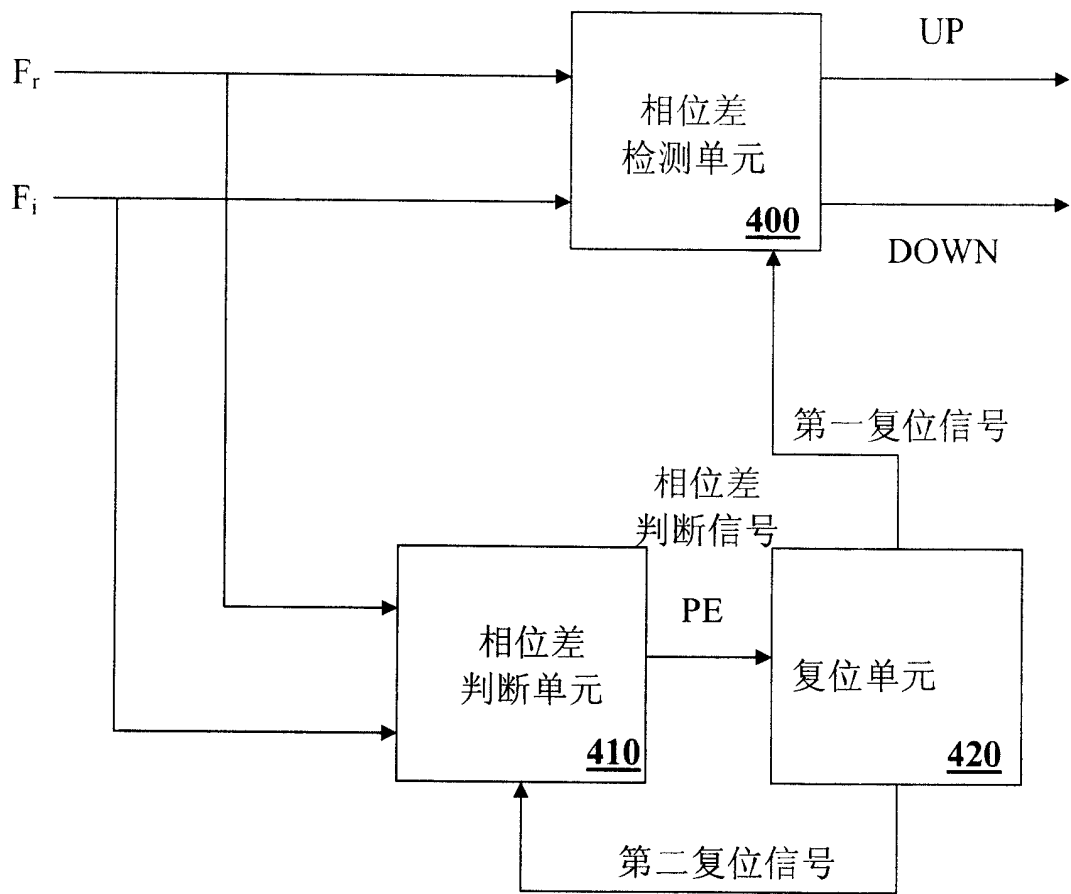


图 4

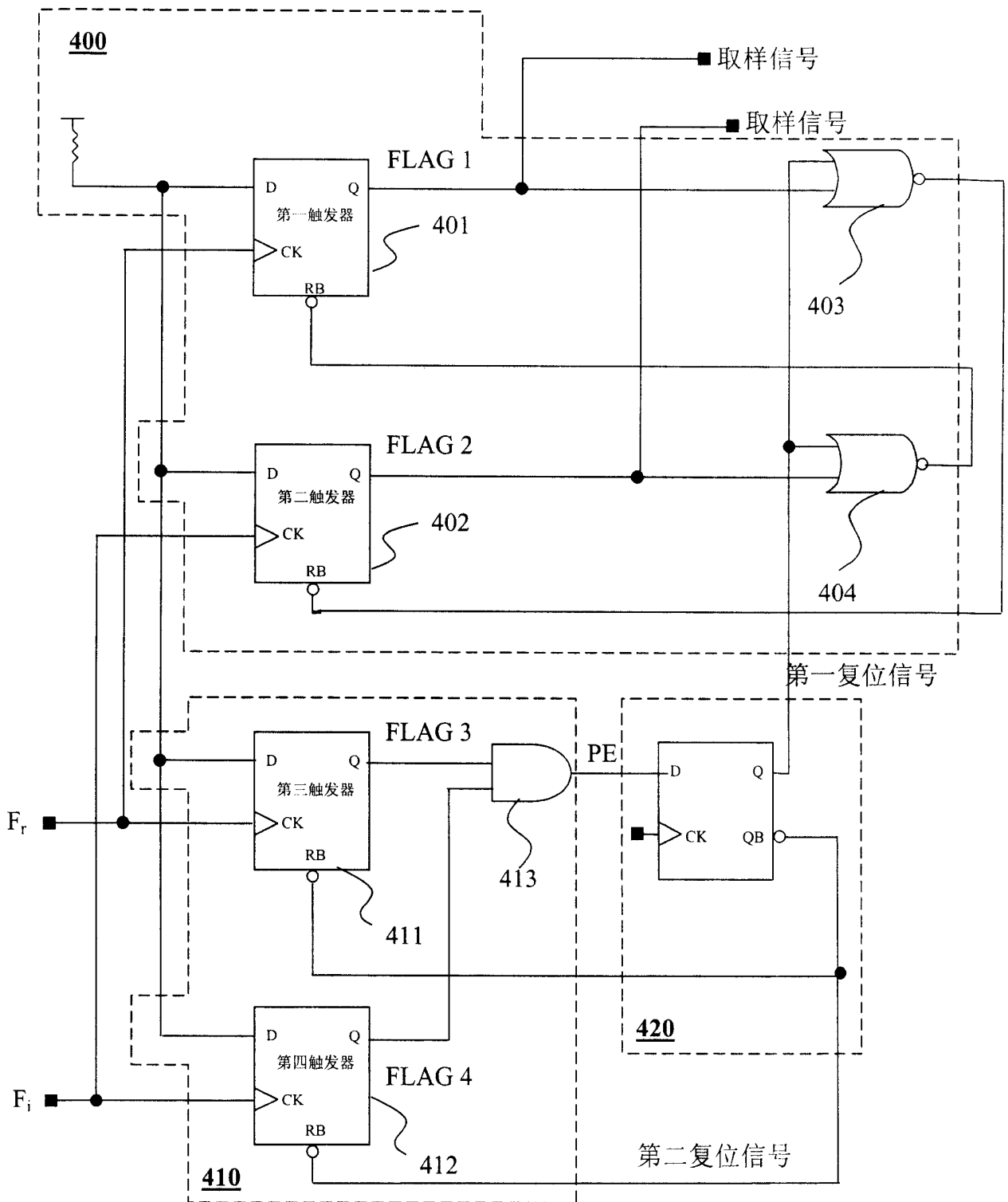


图 5

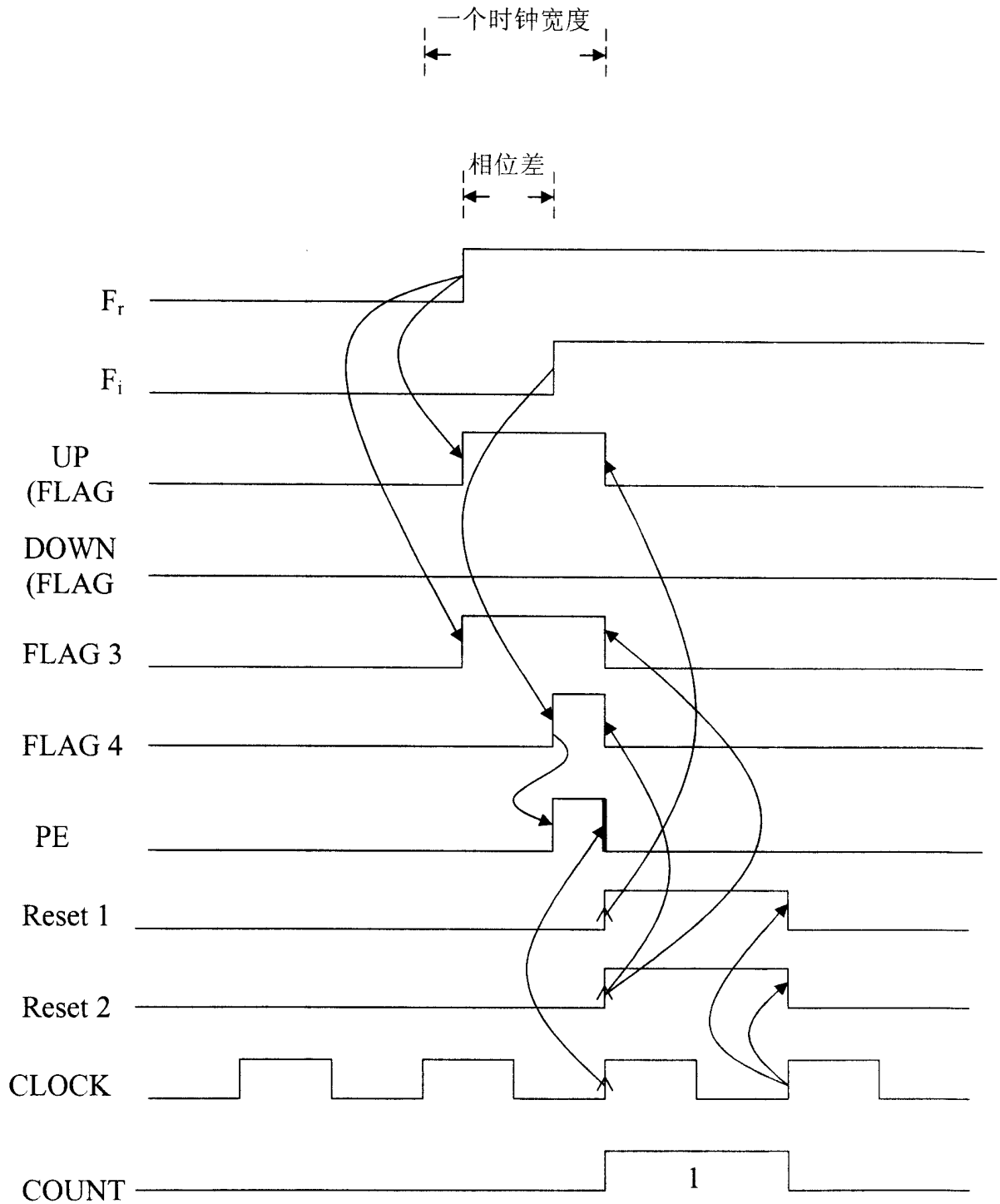


图 6

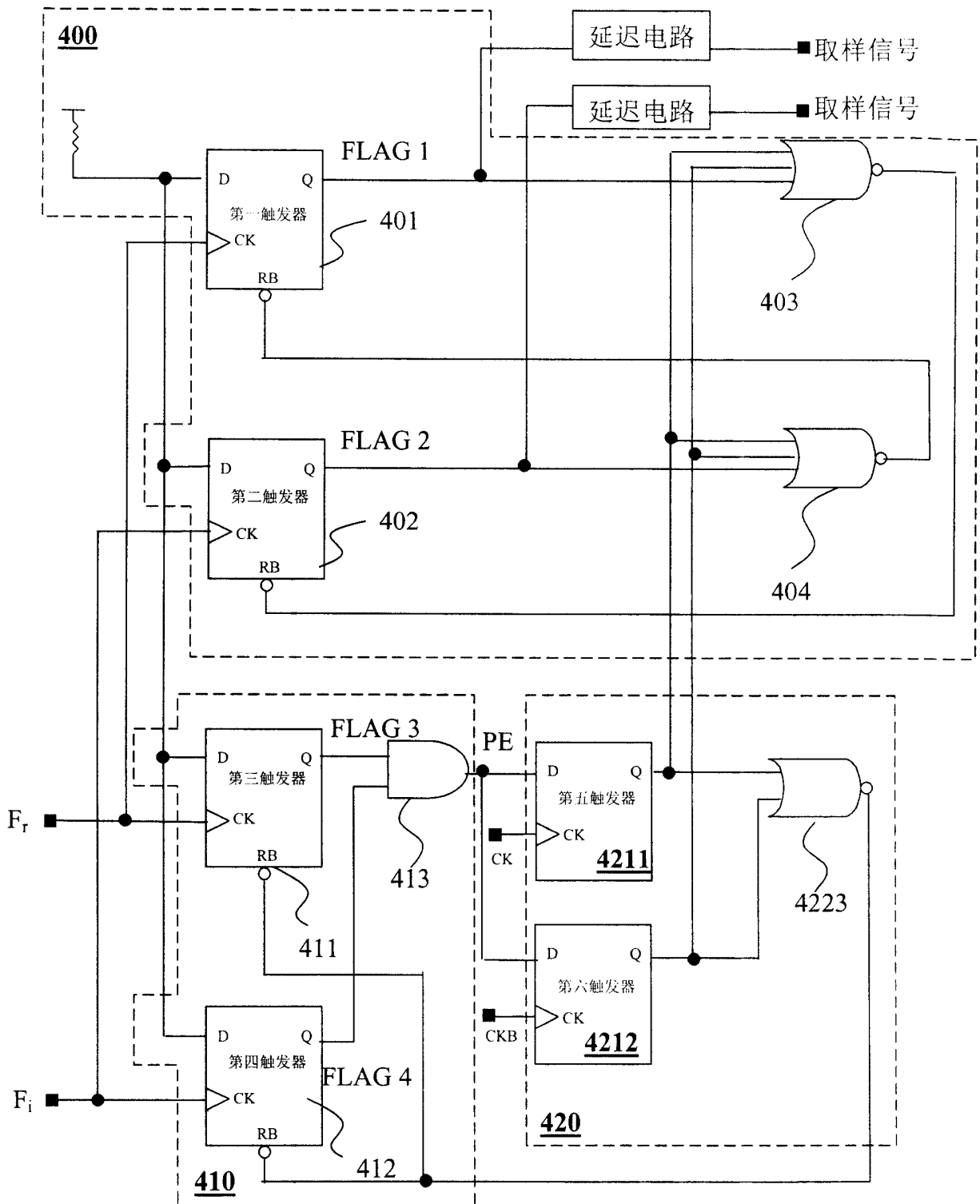


图 7

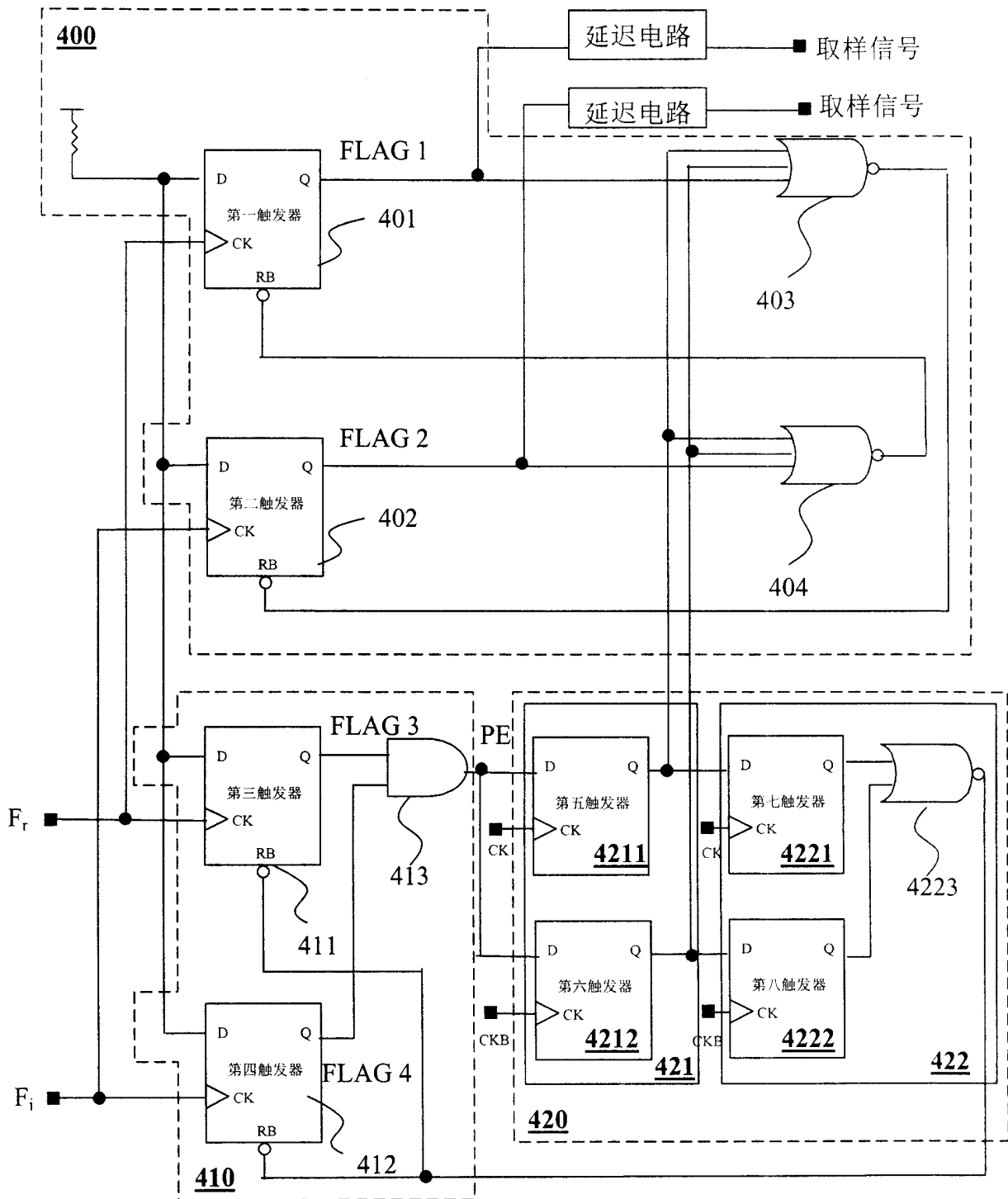


图 8