

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4307919号
(P4307919)

(45) 発行日 平成21年8月5日(2009.8.5)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.		F I	
HO 1 L 21/822	(2006.01)	HO 1 L 27/04	C
HO 1 L 27/04	(2006.01)		

請求項の数 4 (全 8 頁)

(21) 出願番号	特願2003-184371 (P2003-184371)	(73) 特許権者	000001889 三洋電機株式会社
(22) 出願日	平成15年6月27日(2003.6.27)		大阪府守口市京阪本通2丁目5番5号
(65) 公開番号	特開2005-19800 (P2005-19800A)	(74) 代理人	100131071 弁理士 ▲角▼谷 浩
(43) 公開日	平成17年1月20日(2005.1.20)	(72) 発明者	福田 幹夫 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
審査請求日	平成18年6月1日(2006.6.1)	審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

多結晶シリコン膜、タンゲステンシリサイド膜、シリコン酸化膜を積層する工程と、前記シリコン酸化膜をハードマスクとして利用し、パターニングを行うことで下部電極を形成する工程と、

前記下部電極上のシリコン酸化膜に開口部を形成した後、前記下部電極上に容量膜を形成する工程と、

前記容量膜上に、多結晶シリコン膜を成膜した後、上部電極と容量膜のパターニングを行うことで容量素子を形成する工程を有する半導体装置の製造方法において、

前記下部電極上のシリコン酸化膜に開口部を形成した後に、容量膜を成膜する前に、加熱処理を行うことにより、タンゲステンシリサイドを再結晶化させる工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記容量膜を形成する工程は、シリコン窒化膜を形成する工程であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記容量膜を形成する工程は、シリコン窒化膜とシリコン酸化膜を形成する工程を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記加熱処理では R T A 装置を用い、窒素あるいは酸素を流しながら 7 5 0 以上の温

10

20

度に加熱することを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は容量素子を持つ半導体装置の製造方法において、容量膜の特性を向上させるために有用な技術に関する。

【0002】

【従来の技術】

半導体装置の中に容量素子を形成するために、下部電極の構造をゲート電極と同じ構造にし、この上に容量膜、上部電極を形成することで容量素子を作る方法がある。この製造方法では、下部電極の構造を多結晶シリコン膜とタングステンシリサイド膜を積層したポリサイド構造とすることが多い。

10

【0003】

この下部電極の上に絶縁材料からなる容量膜を形成し、前記容量膜の上に多結晶シリコン膜による上部電極を形成する。この方法では、下部電極をゲート電極と同じ構造にするため、ゲート電極のパターニングと同時に容量の下部電極を形成できる利点がある。その製造方法を以下に示す。

【0004】

図 6 参照：不図示の半導体基板上に、LOCOS (local oxidation of silicon) 法により形成されたシリコン酸化膜 11 の上に、多結晶シリコン膜 12 を形成する。

20

【0005】

なお、LOCOS 法によりシリコン酸化膜を作る作業方法は、当業者においては周知の事項であるので、ここでは省略する。

【0006】

なお、前記多結晶シリコン膜 12 は電極として使用するために、低抵抗化させる必要がある。多結晶シリコン膜を低抵抗化させる方法としては、多結晶シリコン膜の成膜時に、不純物をドーパさせながら成膜する方法、多結晶シリコン膜の成膜後に、加熱やイオン注入を行い不純物をドーピングする方法があるが、いずれの方法を用いてもよい。

【0007】

30

その後、前記多結晶シリコン膜 12 上にタングステンシリサイド膜 13、下部電極のパターニング時にハードマスクとして用いるシリコン酸化膜 14 を形成する。

【0008】

不図示のレジスト膜をパターニングし、ハードマスクとして利用するシリコン酸化膜 14 をエッチングし、レジスト膜を除去する。パターニングされたシリコン酸化膜 14 をマスクとして、タングステンシリサイド膜 13 と多結晶シリコン膜 12 をエッチングする。これにより下部電極が形成される。

【0009】

図 7 参照：その後、前記下部電極と同時に形成されるゲート電極に隣接するように不純物をイオン注入、熱拡散を行うことで、ソース、ドレイン領域を形成する。その際、ソース、ドレイン領域を LDD 構造にするために、下部電極の側面にサイドウォールとなるシリコン酸化膜 15 が形成される。前記ソース、ドレイン領域形成のための熱処理により、図 7 中の 13' として示したように、タングステンシリサイド膜 13 は結晶化する。

40

【0010】

図 8 参照：次に、ハードマスクとして用いたシリコン酸化膜 14 に開口部を設けて、タングステンシリサイド膜 13 とその後に成膜する容量膜が接触できる領域を形成する。この時、開口部付近の結晶化したタングステンシリサイド膜 13' はプラズマエッチによるダメージを受け、結晶化したタングステンシリサイド膜 13' は、図 8 に 13'' として示したようにアモルファス化する。

【0011】

50

図9参照：容量膜を形成し、その容量膜上に、容量素子の上部電極となる多結晶シリコン膜18を形成する。このシリコン酸化膜18についても、前述した方法で低抵抗化させる。

【0012】

なお、容量膜の材料としては、シリコン窒化膜が最も一般的であるが、シリコン窒化膜の下にシリコン酸化膜を成膜したり、シリコン窒化膜成膜後に、後酸化を行い、シリコン窒化膜上にシリコン酸化膜を成膜してもよい。ここでは、容量膜をシリコン酸化膜15、シリコン窒化膜16、後酸化によるシリコン酸化膜17の3つの絶縁膜による積層構造としている。

【0013】

その後、不図示のレジスト膜でパターニングを行い、多結晶シリコン膜18と容量膜のエッチングを行うことで、容量素子が完成する。

【0014】

【特許文献1】

特許公報 第2705476号

【0015】

【発明が解決しようとする課題】

前述した容量素子の製造方法には問題点があった。

【0016】

それは、容量膜の耐圧が低いことであった。その結果、動作電圧の高い半導体装置に容量素子が使えない、容量素子に蓄積できる電荷を多くすることができなかった。

【0017】

容量素子の電荷蓄積量は、誘電率と素子にかかる電圧の積で表される。さらに、誘電率は、物質固有の値である比誘電率と容量素子の電極面積の積を電極間の距離で割った値として表される。

【0018】

半導体装置を微細化しながら、電荷蓄積量を増大させるには、容量膜の材料変更で、比誘電率を大きくする方法が考えられる。しかし、容量膜の材料変更は、専用の材料にかかるコスト、成膜用の装置にかかるコスト等を考慮すると、最適な方法であるとはいえない。

【0019】

そこで、本発明者は、容量膜の耐圧を向上させる方法を考えた。容量膜の耐圧を上げることができれば、これまでの耐圧を維持したままで容量膜を薄くすることができる。あるいは、容量膜の厚さを維持すれば、容量素子に印加する電圧を大きくすることができる。さらには、耐圧を大幅に向上させれば、これまでより薄い容量膜の厚さで、かつ印加電圧が大きい容量素子を実現できる。

【0020】

発明者が容量膜の耐圧が低い原因を調査したところ、図8で示したように、アモルファス化したタングステンシリサイド膜13''が、容量素子形成後の熱処理で再結晶化してしまうためであることが判明した。以下に、タングステンシリサイド膜の再結晶化の発生機構について述べる。

【0021】

図8、9に示すように、アモルファス化したタングステンシリサイド膜13''は、容量膜の成膜温度では再結晶化しない。しかし、容量素子形成以降に行う熱処理には、容量膜の成膜温度より高い処理条件を用いるものがあり、そのような熱処理によってタングステンシリサイド膜の再結晶化が起こる。その結果、容量膜とタングステンシリサイド膜の接触状態が不均一になり、容量膜の耐圧の低下につながる。

【0022】

【課題を解決するための手段】

本発明では、前述したように、タングステンシリサイド膜が半導体装置の容量素子形成以

10

20

30

40

50

降の製造工程で再結晶化し、容量膜と下部電極の接触が不均一になるのを防止するために、容量膜を成膜する前に加熱処理を行い、再結晶化させる工程を設ける。その結果、容量膜の耐圧を大きく向上させることができ、蓄積電荷容量の増大、高電圧で動作させる半導体装置への適用が可能になる。

【0023】

【発明の実施の形態】

以下、本発明の半導体装置の製造方法の一実施形態について説明する。

【0024】

図1参照：不図示の半導体基板上に、LOCOS法により形成したシリコン酸化膜1の上に、多結晶シリコン膜2を80～120nm、タングステンシリサイド膜3を80～120nm、エッチング時にハードマスクとして使用するシリコン酸化膜4を120～180nm成膜する。その後、不図示のレジスト膜を塗布し、パターニングを行うことで下部電極を形成する。

10

【0025】

なお、多結晶シリコン膜は、従来例の説明で述べたような方法で、低抵抗化させる。

【0026】

図2参照：従来の技術で述べたように、下部電極と同時に形成するゲート電極に隣接するようにソース、ドレイン領域を形成し、それをLDD構造にした場合、図2に示すように下部電極の側面にサイドウォールとなるシリコン酸化膜5が形成される。

20

【0027】

ただし、本発明はサイドウォールを持たない下部電極構造にすることを制限するものではない。

【0028】

そして、ソース、ドレイン領域を形成する時に行われる熱処理により、3'として示したように、下部電極のタングステンシリサイドは結晶化する。

【0029】

図3参照：その後、不図示のレジストパターンを形成し、エッチング処理によりハードマスクとして利用したシリコン酸化膜4に開口部を形成する。このエッチング時のダメージにより、図3の3''に示したように、開口部付近表面部の結晶化したタングステンシリサイド膜はアモルファス化する。

30

【0030】

図4参照：アモルファス化したタングステンシリサイド膜3''を、容量膜成膜前に再結晶化させるために、窒素あるいは酸素を流しながらRTA(Rapid Thermal Annealing)装置による加熱処理を行う。この加熱処理により、図4中のaで示したように、タングステンシリサイド膜のアモルファス化した部分が、再結晶化される。その結果、容量素子形成後の熱処理が行われても、容量膜とタングステンシリサイド膜の接触が不均一になることがなくなり、耐圧が低くなることがない。

【0031】

なお、加熱処理時に流すガスは、酸素でもよいが、窒素の方が望ましい。また、タングステンシリサイド膜を再結晶化させるためには、750以上の温度に加熱することが必要である。加熱装置としては、拡散炉を用いても750以上の加熱は可能であるが、炉内にウエハを搬入する際に、大気巻き込み等が発生するため、ウエハ周辺部の再結晶化が安定して行われず、RTA装置を用いた場合に比べると、表面の凹凸が大きくなる、完成後の耐圧が十分でないといった問題が発生する。

40

【0032】

図5参照：容量膜としてシリコン酸化膜6を15～25nm、シリコン窒化膜7を10～20nm、シリコン酸化膜8を30～40nm成膜する。なお、前述したように、容量膜の構造としては、ここで提示した酸化膜、窒化膜、酸化膜の積層構造だけでなく、窒化膜のみ、酸化膜+窒化膜、窒化膜+酸化膜という構造でもよい。更に言えば、容量膜の膜厚は、必要とされる容量値によって変化するものであり、本実施例に挙げた膜厚とは異なる

50

る膜厚になることもありうる。

【0033】

その後、上部電極として用いる多結晶シリコン膜9を120～180nm成膜する。さらに、不図示のレジストマスクにより、多結晶シリコン膜9と容量膜をエッチングすることにより容量素子を形成する。

【0034】

本発明による効果の例を示す。図10は、横軸に印加電圧、縦軸に平均測定電流値をとり、印加電圧に対する平均測定電流値の変化を示したグラフである。ある電圧を容量素子にかけた時の、ウエハ面内35点の測定電流値の平均値をプロットしている。印加電圧を高くしていくと、容量膜の静電破壊が生じるため、平均測定電流値が急激に上昇する所がある。この時の印加電圧が大きいほど、耐圧が高いことになる。本発明により、静電破壊が生じる印加電圧の値が約2倍となっていることがわかる。

10

【0035】

【発明の効果】

これまでに説明した半導体装置の製造方法により、容量膜の耐圧を大幅に改善できる。その結果、容量素子に蓄積可能な電荷量を増大させることができ、高耐圧で動作する半導体装置への容量素子の適用が可能になる。

【0036】

しかも、本発明において必要となる装置は、他の作業で使用している加熱装置であり、増える工程も加熱処理工程のみであることより、生産費用、手順の増加を最小限にしつつ、容量膜の大幅な性能向上を図ることができることも本発明の効果と言える。

20

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図2】本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図3】本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図4】本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法の断面図である。

【図6】従来の半導体装置の製造方法の断面図である。

【図7】従来の半導体装置の製造方法の断面図である。

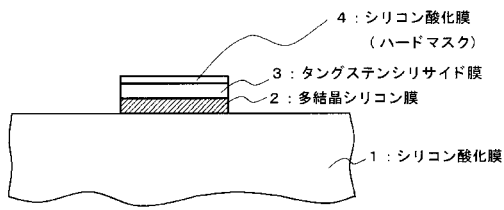
【図8】従来の半導体装置の製造方法の断面図である。

【図9】従来の半導体装置の製造方法の断面図である。

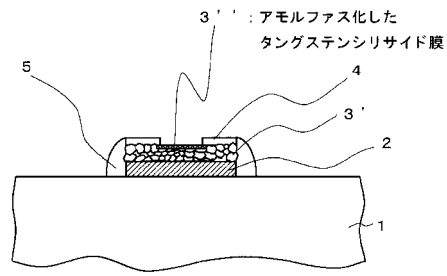
【図10】本発明の実施による効果を示す図である。

30

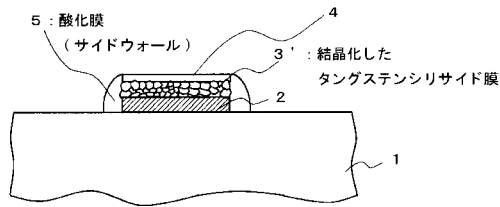
【図1】



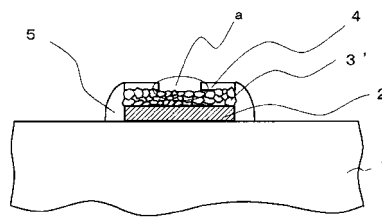
【図3】



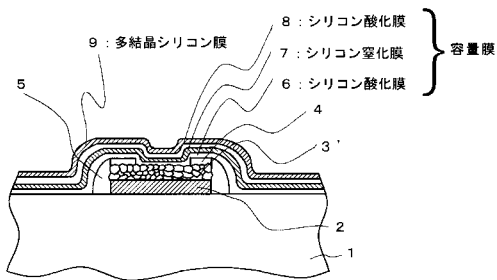
【図2】



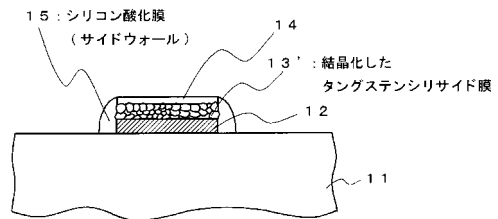
【図4】



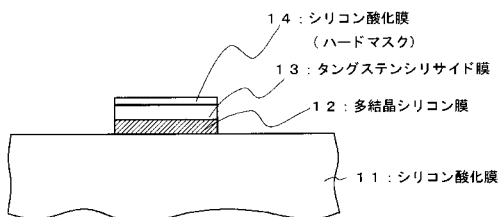
【図5】



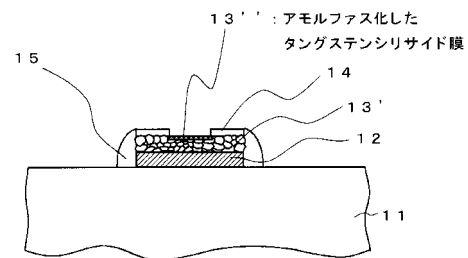
【図7】



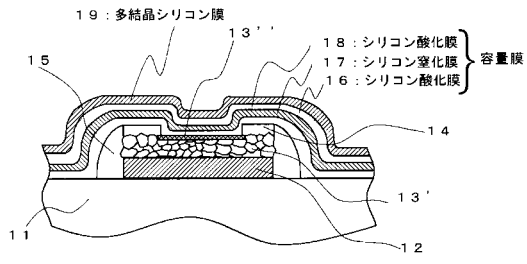
【図6】



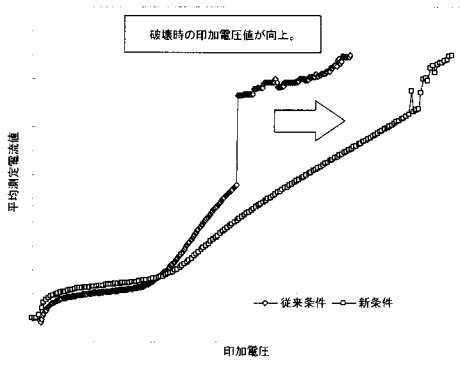
【図8】



【図9】



【図10】



フロントページの続き

- (56)参考文献 特開平 1 0 - 2 5 6 4 9 2 (J P , A)
特開平 0 8 - 0 7 8 5 4 8 (J P , A)
特開平 1 0 - 0 5 0 8 3 4 (J P , A)
特開平 1 1 - 3 1 7 4 0 6 (J P , A)
特開 2 0 0 0 - 0 2 2 0 9 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/822
H01L 27/04
H01L 27/06
H01L 29/78