

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-503491  
(P2013-503491A)

(43) 公表日 平成25年1月31日(2013.1.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 M	
	HO 1 L 29/78 6 5 8 G	
	HO 1 L 29/78 6 5 2 D	

審査請求 有 予備審査請求 未請求 (全 36 頁) 最終頁に続く

(21) 出願番号 特願2012-527049 (P2012-527049)  
 (86) (22) 出願日 平成22年8月27日 (2010. 8. 27)  
 (85) 翻訳文提出日 平成24年4月18日 (2012. 4. 18)  
 (86) 国際出願番号 PCT/US2010/047039  
 (87) 国際公開番号 W02011/031563  
 (87) 国際公開日 平成23年3月17日 (2011. 3. 17)  
 (31) 優先権主張番号 12/548, 841  
 (32) 優先日 平成21年8月27日 (2009. 8. 27)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 506173145  
 ビシエーシリコニクス  
 アメリカ合衆国 95054 カリフォル  
 ニア州 サンタ クララ、 ローレルウッ  
 ド ロード 2201  
 (74) 代理人 100105924  
 弁理士 森下 賢樹  
 (72) 発明者 ガオ、ヤン  
 アメリカ合衆国 95134 カリフォル  
 ニア州 サン ノゼ、アパートメント 3  
 316、リオ ロブレス イースト 85  
 (72) 発明者 テリル、カイル  
 アメリカ合衆国 95050 カリフォル  
 ニア州 サンタ クララ、ロンドンペリー  
 ドライブ 3385

最終頁に続く

(54) 【発明の名称】 スーパージャンクショントレンチパワーMOSFETデバイス

(57) 【要約】

スーパージャンクショントレンチパワーMOSFET (金属酸化膜半導体電界効果トランジスタ) デバイスにおいて、スーパージャンクションにおけるp型ドーパントのカラムは、酸化物の第1のカラムによってn型ドーパントの第1のカラムから分離されるとともに、酸化物の第2のカラムによってn型ドーパントの第2のカラムから分離される。nチャネルデバイスでは、FETのためのゲート要素がp型ドーパントのカラム上にわたって配置されるのが有益であり、また、pチャネルデバイスでは、FETのためのゲート要素がn型ドーパントのカラム上にわたって配置されるのが有益である。

【選択図】 図1

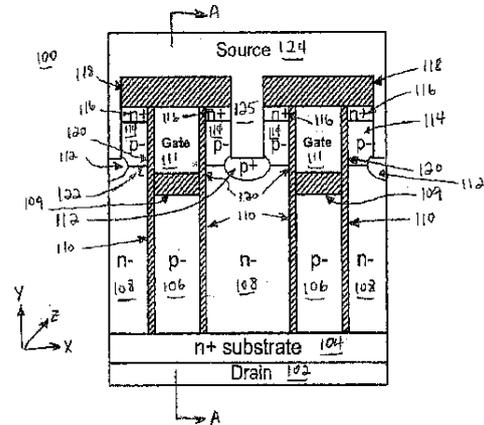


Figure 1

## 【特許請求の範囲】

## 【請求項 1】

第 1 型ドーパントのチャンネルを有するスーパージャンクショントレンチパワー金属酸化膜半導体電界効果トランジスタ (M O S F E T) デバイスであって、

第 2 型ドーパントのカラムを前記第 1 型ドーパントの第 1 のカラムから分離する絶縁材料を備える第 1 のカラムと、

前記第 2 型ドーパントの前記カラムを前記第 1 型ドーパントの第 2 のカラムから分離する絶縁材料を備える第 2 のカラムと、

絶縁材料の前記第 1 のカラムと絶縁材料の前記第 2 のカラムとの間に位置合わせされる電界効果トランジスタのためのゲート要素と、

を備えるスーパージャンクショントレンチパワー M O S F E T。

10

## 【請求項 2】

前記ゲート要素を前記第 2 型ドーパントの前記カラムから分離する絶縁層を更に備える請求項 1 に記載のスーパージャンクショントレンチパワー M O S F E T。

## 【請求項 3】

前記第 1 型ドーパントが n 型ドーパントを備える場合には前記第 2 型ドーパントが p 型ドーパントを備え、前記第 1 型ドーパントが p 型ドーパントを備える場合には前記第 2 型ドーパントが n 型ドーパントを備える請求項 1 に記載のスーパージャンクショントレンチパワー M O S F E T。

## 【請求項 4】

前記第 2 型ドーパントの前記カラムに電氣的に短絡されるソース金属の層を更に備える請求項 1 に記載のスーパージャンクショントレンチパワー M O S F E T。

20

## 【請求項 5】

前記ゲート要素と隣接するゲート要素との間に形成されたトレンチを更に備え、前記ソース金属が前記トレンチを満たす請求項 4 に記載のスーパージャンクショントレンチパワー M O S F E T。

## 【請求項 6】

前記ゲート要素と前記トレンチとの間に配置された前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える請求項 5 に記載のスーパージャンクショントレンチパワー M O S F E T。

30

## 【請求項 7】

前記トレンチは、前記第 1 型ドーパントの前記第 1 のカラムの長手方向軸と位置合わせされる請求項 5 に記載のスーパージャンクショントレンチパワー M O S F E T。

## 【請求項 8】

前記トレンチは、前記第 2 型ドーパントの領域によって前記第 1 型ドーパントの前記第 1 のカラムから分離される請求項 7 に記載のスーパージャンクショントレンチパワー M O S F E T。

## 【請求項 9】

第 1 型ドーパントのチャンネルを有する半導体デバイスであって、

前記第 1 型ドーパントの基板と、

前記基板に結合されるとともに、前記第 1 型ドーパントの柱状の第 1 の領域と前記第 1 型ドーパントの柱状の第 2 の領域との間に配置される第 2 型ドーパントの柱状領域を備え、前記第 2 型ドーパントの前記領域が、第 1 の絶縁層によって前記第 1 型ドーパントの前記第 1 の領域から分離されるとともに、第 2 の絶縁層によって前記第 1 型ドーパントの前記第 2 の領域から分離される、スーパージャンクション構造体と、

40

前記スーパージャンクション構造体に結合されるとともに、ゲート要素を備え、前記ゲート要素が前記第 2 型ドーパントの前記領域の長手方向軸と位置合わせされる電界効果トランジスタと、

を備える半導体デバイス。

## 【請求項 10】

50

前記ゲート要素を前記第 2 型ドーパントの前記領域から分離する酸化物層を更に備える請求項 9 に記載の半導体デバイス。

【請求項 1 1】

前記第 2 型ドーパントの前記領域に電氣的に短絡されるソース金属の層を更に備える請求項 9 に記載の半導体デバイス。

【請求項 1 2】

前記ゲート要素と隣接するゲート要素との間に形成されるトレンチを更に備え、前記ソース金属が前記トレンチを満たす請求項 1 1 に記載の半導体デバイス。

【請求項 1 3】

前記ゲート要素と前記トレンチとの間に配置される前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える請求項 1 2 に記載の半導体デバイス。

10

【請求項 1 4】

前記トレンチは、前記第 1 型ドーパントの前記第 1 の領域の長手方向軸と位置合わせされる請求項 1 2 に記載の半導体デバイス。

【請求項 1 5】

第 1 型ドーパントのチャンネルを有する半導体デバイスであって、

前記第 1 型ドーパントの基板と、

前記基板に結合されるとともに、前記第 1 型ドーパントの第 1 の領域と前記第 1 型ドーパントの第 2 の領域との間に配置された第 2 型ドーパントの領域を備え、前記第 2 型ドーパントの前記領域および前記第 1 型ドーパントの前記第 1 および第 2 の領域がそれぞれ第 2 の寸法よりも大きい第 1 の寸法を有し、前記第 1 の寸法が第 1 の方向で測定され、前記第 2 の寸法が前記第 1 の方向と直交する第 2 の方向で測定される、スーパージャンクション構造体と、

20

ゲート要素を備え、前記第 2 型ドーパントの前記領域が前記第 1 の方向で前記ゲート要素と前記基板との間に位置する、電界効果トランジスタと、

前記第 1 の方向および前記第 2 の方向の両方と直交する第 3 の方向で前記第 2 型ドーパントの前記領域に電氣的に短絡されるソース金属の層と、

を備える半導体デバイス。

【請求項 1 6】

30

前記第 2 型ドーパントの前記領域は、第 1 の絶縁層によって前記第 1 型ドーパントの前記第 1 の領域から分離されるとともに、第 2 の絶縁層によって前記第 1 型ドーパントの前記第 2 の領域から分離される請求項 1 5 に記載の半導体デバイス。

【請求項 1 7】

前記ゲート要素を前記第 2 型ドーパントの前記領域から分離する酸化物層を更に備える請求項 1 5 に記載の半導体デバイス。

【請求項 1 8】

前記ゲート要素と隣接するゲート要素との間に形成されたトレンチを更に備え、前記ソース金属が前記トレンチを満たす請求項 1 5 に記載の半導体デバイス。

【請求項 1 9】

40

前記ゲート要素と前記トレンチとの間に配置された前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える請求項 1 8 に記載の半導体デバイス。

【請求項 2 0】

前記第 1 型ドーパントの前記第 1 の領域が前記第 1 の方向で前記トレンチと前記基板との間に位置する請求項 1 8 に記載の半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

この文書に係る実施形態は、一般に、半導体デバイスに関する。

50

## 【0002】

## 相互参照

この出願は、本出願の譲受人に譲渡された「Super Junction Trench Power MOSFET Device Fabrication」と題される Gao 等による 2009 年 8 月 27 日に出願された同時係属の米国特許出願第 12 / 549, 190 号に関連する。

## 【背景技術】

## 【0003】

電力を節約するためには、例えば直流(DC)-DCコンバータで使用されるトランジスタの電力損失を減らすことが重要である。金属酸化膜半導体電界効果トランジスタ(MOSFET)デバイスでは、特にパワーMOSFETとして知られるMOSFETのクラスにおいては、デバイスのオン抵抗( $R_{ds(on)}$ )を減らすことにより電力損失を低減できる。

10

## 【0004】

絶縁破壊電圧は、逆電圧状態下での絶縁破壊に耐えることができるデバイスの能力の表示を与える。絶縁破壊電圧は $R_{ds(on)}$ に反比例するため、 $R_{ds(on)}$ が減少すると、絶縁破壊電圧が悪影響を受ける。この問題に対処するため、デバイスの活性領域の下側に p 型領域と n 型領域とを交互に含むスーパージャンクション(SJ)パワーMOSFETが導入された。SJパワーMOSFETにおける交互に位置する p 型および n 型領域は、理想的には、これらの領域が逆電圧状態下で互いを空乏化するように電荷平衡( $Q_p = Q_n$ )にあり、それにより、デバイスが絶縁破壊によりいっそう耐えることができる。

20

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

従来の SJ パワー MOSFET は前述したような利点を与えるが、改良の余地がある。例えば、従来の SJ トレンチパワー MOSFET デバイスでは、スーパージャンクションを形成する p 型カラムおよび n 型カラムが、それらが製造中に加熱されるときに互いの中へと拡散する場合がある。この拡散は絶縁破壊電圧を低下させる。また、p 型カラムは、それらのカラム中のキャリアを急速に除去できないように浮いており、したがって、従来の SJ トレンチパワー MOSFET デバイスは一般に高速回路での使用に適さないと考えられている。また、従来の SJ トレンチパワー MOSFET デバイスでは、各トレンチゲートの配置により、能動デバイスの密度が制限される。例えば、従来の n チャネルデバイスでは、トレンチゲートが 2 つの p 型カラム間に配置される(すなわち、ゲートが n 型カラム上にわたって配置される)。

30

## 【課題を解決するための手段】

## 【0006】

本発明に係る一実施形態において、SJ トレンチパワー MOSFET デバイスは、交互に位置する p 型ドーパントおよび n 型ドーパントのカラムを含むスーパージャンクションを含む。例えば、スーパージャンクションは、一方側が酸化物の第 1 のカラム(または層)により n 型ドーパントの第 1 のカラムから分離され且つ他方側が酸化物の第 2 のカラム(または層)により n 型ドーパントの第 2 のカラムから分離され p 型ドーパントのカラムを含む。酸化物層は、デバイスが製造中に加熱されるときに隣接する n 型および p 型カラムが互いの中へと拡散しないようにする。そのため、酸化物層は、絶縁破壊電圧が製造プロセスによって悪影響を受けることを防止できる。

40

## 【0007】

他の実施形態において、n チャネルデバイスでは、スーパージャンクションにおける p 型カラムがピックアップされてソースに短絡され、それにより、結果として得られるボディ領域が ON から OFF へ切り換えられるときに p 型カラム中のキャリアを急速に掃引することができ、また、p チャネルデバイスでは、スーパージャンクションにおける n 型カラムがピックアップされてソースに短絡され、それにより、同様の利点を得られる。した

50

がって、この特徴を有するS JトレンチパワーMOSFETデバイスは高速回路での使用にうまく適する。

【0008】

他の実施形態において、nチャネルデバイスでは、FETのためのゲート要素（例えば、トレンチゲート）がn型ドーパントのカラム上ではなくスーパージャンクションにおけるp型ドーパントのカラム上に配置される。トレンチゲートをp型カラムと位置合わせすることにより、n型カラムの幅を減少させることができる。pチャネルデバイスにおいて、FETのためのゲート要素は、p型ドーパントのカラム上ではなくスーパージャンクションにおけるn型ドーパントのカラム上に配置され、それにより、p型カラムの幅を減らすことができる。したがって、トレンチゲートを互いに近接させて配置でき、それにより、セル密度が増大され、また、これにより、S JトレンチパワーMOSFETデバイスのオン抵抗（ $R_{ds(on)}$ ）が更に減少するという効果も有する。

10

【0009】

更なる他の実施形態では、S JトレンチパワーMOSFETデバイスが前述した特徴のそれぞれを組み込む。

【0010】

本発明のこれらの及び他の目的並びに利点は、様々な図に示される以下の詳細な説明を読んだ後に当業者により認識され得る。

【0011】

この明細書中に組み入れられてこの明細書の一部を形成する添付図面は、本発明の実施形態を示しており、明細書本文と共に本発明の原理を説明するのに役立つ。同様の参照符号は、図面および明細書の全体にわたって同様の要素を示す。

20

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態に係る半導体デバイスの要素を示す断面図である。

【図2】本発明の実施形態に係る半導体デバイスの要素を示す断面図である。

【図3】図3A, 3B, 3Cは、本発明の実施形態に係る半導体デバイスの製造で使用されるプロセスのフローチャートを示している。

【図4】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

30

【図5】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図6】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図7】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図8】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図9】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

40

【図10】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図11】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図12】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図13】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図14】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

50

【図 15】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 16】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 17】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 18】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 19】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 20】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 21】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 22】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 23】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 24】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 25】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 26】本発明の他の実施形態に係る半導体デバイスの要素を示す断面図である。

【発明を実施するための形態】

【0013】

本発明の以下の詳細な説明では、本発明の完全な理解のために多数の特定の詳細が記述されている。しかしながら、当業者であれば分かるように、本発明は、これらの特定の詳細を伴うことなく或いはその等価物を伴って実施されてもよい。他の事例では、本発明の態様を不必要に曖昧にしないように、良く知られた方法、手続き、構成要素、回路が詳しく示されない。

【0014】

以下の詳細な説明のうちの幾つかの部分は、手続き、論理ブロック、手順、および、半導体デバイスを製造するための工程の他の記号表示の観点から与えられる。これらの記述および表示は、半導体デバイス製造の当業者の作業の内容を他の当業者に最も効果的に伝えるために半導体デバイス製造の当業者によって使用される手段である。本出願において、手続き、論理ブロック、プロセス等は、所望の結果につながる首尾一貫した一連のステップまたは命令であると考えられる。ステップは、物理量の物理的操作を必要とするステップである。しかしながら、これらの表現および同様の表現の全てが適切な物理量に関連付けられ且つこれらの量に適用される単なる便宜的な標示であることに留意すべきである。以下の説明から明らかなように別に具体的に述べられていなければ、本出願の全体にわたって、「形成する」、「実行する」、「生成する」、「堆積する」、「エッチングする」などの表現を利用する説明が、半導体デバイス製造の作業およびプロセス（例えば、図 3A, 3B, 3C のフローチャート 300）を示すことは言うまでもない。

【0015】

図は一定の倍率で描かれておらず、また、構造の一部だけ及び該構造を形成する様々な層が図中に示されている場合がある。更に、製造プロセスおよびステップは、本明細書中に記載されるプロセスおよびステップと共に行なわれてもよい。すなわち、本明細書中に図示されて説明されるステップの前に、該ステップ間で、及び/又は、該ステップの後に、多くのプロセスステップが存在してもよい。重要なことには、本発明に係る実施形態は、これらの他の（おそらく従来の）プロセスおよびステップと併せて、これらを著しくか

10

20

30

40

50

き乱すことなく実施できる。一般的に言えば、本発明に係る実施形態は、周辺のプロセスおよびステップに著しい影響を及ぼすことなく、従来のプロセスの一部に取って代わることができる。

【0016】

本明細書中で使用される文字「n」はn型ドーパントを示し、文字「p」はp型ドーパントを示す。プラス符号「+」またはマイナス符号「-」は、ドーパントの比較的高い濃度または比較的低い濃度をそれぞれ表わすために使用される。

【0017】

表現「チャンネル」は、本明細書中では一般に認められた態様で使用される。すなわち、電流がチャンネルのFET内でソース接続部からドレイン接続部へと流れる。チャンネルをn型またはp型半導体材料のいずれかにより形成することができる。したがって、FETは、nチャンネルデバイスまたはpチャンネルデバイスのいずれかとして特定される。図1～図25をnチャンネルデバイス、特にnチャンネルスーパージャンクションMOSFETとの関連で説明するが、本発明に係る実施形態はそのように限定されない。つまり、本明細書中に記載される特徴は、以下で更に説明される図26に示されるpチャンネルデバイスで利用することができる。図1～図25の説明は、n型ドーパントおよび材料を対応するp型ドーパントおよび材料と置き換えることによりpチャンネルデバイスに容易に適用することができ、逆もまた同様である。

【0018】

図1は、本発明の一実施形態に係る半導体デバイス100（例えば、nチャンネルSJTトレンチパワーMOSFETデバイス）の要素を示す断面図である。デバイス100は、n+ドレイン層または基板104の底面にドレイン電極102を含む。基板104の上側には、p-ドリフト領域またはp型カラム106とn-ドリフト領域またはn型カラム108とが交互に配置される。交互に位置するp型（p-）カラム106およびn型（n-）カラム108は、スーパージャンクションとして知られるものを形成する。重大なことには、p型ドーパントのカラム106は、絶縁層またはカラム110（例えば、誘電体または酸化物の層/カラム）によって、n型ドーパントの隣接するカラム108から分離される。絶縁層110は、後述するように構造体が製造中に加熱されるときにn型およびp型カラム106、108が互いの中へ拡散しないようにする。そのため、絶縁層110は、絶縁破壊電圧が製造プロセスによって悪影響を受けないようにすることができる。

【0019】

また、重要なことには、図1の例では、各p型カラム106がそれぞれのポリシリコン（ポリ）トレンチゲート111（ゲートポリ111）の下側に配置される。一般的に言えば、各トレンチゲート111は、対応するp型カラム106の上側で隣接する絶縁層110間に位置合わせされる。より具体的には、各トレンチゲート111は、対応するp型カラム106の長手方向軸（図1の方向で考えると、長手方向軸はp型カラム内の垂直線である）に沿って位置合わせされる。一実施形態において、トレンチゲート111の長手方向軸は、トレンチゲートがp型カラム上で中心付けられるようにp型カラム106の長手方向軸と一致する。図1の実施形態において、p型カラム106は、絶縁層110のために使用される材料とは異なる材料から形成されてもよいそれぞれの絶縁層109によってトレンチゲート111から分離される。

【0020】

トレンチゲート111をp型カラム106と位置合わせすることにより、n型カラム108の幅を減らすことができる。したがって、トレンチゲートを互いに近接させて配置でき、それにより、セル密度が増大され、また、これにより、デバイス100のオン抵抗（ $R_{ds(on)}$ ）が更に減少するという効果も有する。一実施形態において、隣接するトレンチゲート間のピッチは、従来のデバイスにおける5ミクロンとは対照的に、約1.2ミクロンである。

【0021】

図1の構造と関連する他の利点は、トレンチゲート111と隣接するn型カラム108

10

20

30

40

50

との間の重なり 1 2 2 の量が小さいことからゲート - ドレイン間電荷量 (  $Q_{gd}$  ) が減少されるという点である。一実施形態では、重なり 1 2 2 の量が約 0 . 1 ミクロンである。

【 0 0 2 2 】

図 1 の実施形態において、隣接するトレンチゲート 1 1 1 間には n 型カラム 1 0 8 の上側にトレンチ 1 2 5 が形成される。より具体的には、各トレンチ 1 2 5 は、対応する n 型カラム 1 0 8 の長手方向軸に沿って位置合わせされる - 一実施形態において、トレンチ 1 2 5 の長手方向軸は、トレンチが n 型カラム上で中心付けられるように n 型カラム 1 0 8 の長手方向軸と一致する。トレンチ 1 2 5 はソース金属 1 2 4 で満たされる。

【 0 0 2 3 】

p + 領域 ( p 型接点領域 1 1 2 ) が各トレンチ 1 2 5 内のソース金属 1 2 4 を対応する n 型カラム 1 0 8 から分離する。p - 領域 ( p 型ボディ領域 1 1 4 ) が、トレンチとトレンチゲート 1 1 1 との間で且つソース金属 1 2 4 と n 型カラム 1 0 8 との間で、各トレンチ 1 2 5 の両側に配置される。また、図 1 に示されるように、n + 領域 ( n 型ソース領域 1 1 6 ) が各トレンチ 1 2 5 の両側に配置される。

【 0 0 2 4 】

p 型 ( p - ) ボディ領域 1 1 4 および n 型 ( n + ) ソース領域 1 1 6 は、他の絶縁層 1 2 0 ( 例えば、ゲード酸化物 ) によってそれぞれのトレンチゲート 1 1 1 から分離される。図示のように、絶縁層 1 1 0 , 1 2 0 は、製造プロセスの異なるポイントで形成され、そのため、図 1 に示されるように位置合わせされない場合がある。また、絶縁層 1 1 0 , 1 2 0 が異なる材料を使用して形成されてもよい。それにもかかわらず、絶縁層 1 1 0 , 1 2 0 は、図 1 の y 方向でほぼ連続する境界を与え、その意味で、絶縁材料の単一のカラムとして特徴付けることができる。

【 0 0 2 5 】

各 n 型ソース領域 1 1 6 上および各トレンチゲート 1 1 1 上にわたって絶縁層 1 1 8 を形成することができる。ソース金属層 1 2 4 は、絶縁層 1 1 8 上にわたって形成されており、前述したようにトレンチ 1 2 5 内へと延びる。

【 0 0 2 6 】

本発明の一実施形態によれば、p 型カラム 1 0 6 がピックアップされてソース金属層 1 2 4 に対して電氣的に短絡される。これを達成するための 1 つの方法が図 2 に示されている。図 2 は、図 1 の切断線 A - A に沿うデバイス 1 0 0 の断面図である。すなわち、図 2 で与えられる図は、図 1 に示される 2 つの次元 ( x および y ) に対して直交する第 3 次元 ( z ) にある。

【 0 0 2 7 】

図 2 の実施形態では、トレンチ 2 2 5 が、対応する p 型カラム 1 0 6 をソース金属層 1 2 4 に接続するように形成される。トレンチ 2 2 5 は金属で満たされており、トレンチ 2 2 5 内の金属は、図示のように、n 型カラム 1 0 8、ポリ領域 2 1 1、および、絶縁層 1 2 0 によって、トレンチゲート 1 1 1 から分離される。p 型カラム 1 0 6 をソース金属層 1 2 4 に短絡させることにより、結果として得られるボディダイオードが ON から OFF へ切り換えられるときに p 型カラム内のキャリアを急速に掃引することができる。したがって、デバイス 1 0 0 が高速回路での使用にうまく適する。図 3 A , 3 B , 3 C は、図 1 および図 2 のデバイスなどの半導体デバイスの製造で使用するプロセスの一実施形態のフローチャート 3 0 0 を示している。図 3 A ~ 図 3 C では特定のステップが開示されるが、そのようなステップは典型的なものである。すなわち、本発明に係る実施形態は、様々な他のステップまたは図 3 A ~ 図 3 C に列挙されるステップの変形例を実行するのにうまく適する。本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である図 4 ~ 図 2 5 と併せて、図 3 A , 3 B , 3 C について説明する。

【 0 0 2 8 】

図 3 A のブロック 3 0 2 では、p - ドーパントのエピタキシャル層 4 0 2 ( 図 4 ) が n + 基板 1 0 4 上にわたって成長される。基板 1 0 4 がドレイン電極層 1 0 2 ( 図 1 ) を含んでもよい。

10

20

30

40

50

## 【 0 0 2 9 】

ブロック 3 0 4 では、第 1 の誘電体層 5 0 2 がエピタキシャル層 4 0 2 上にわたって堆積され、また、フォトレジスト ( P R ) 層 5 0 4 が誘電体層上にわたって堆積される ( 図 5 )。誘電体層 5 0 2 は、例えば、減圧化学蒸着 ( S A C V D ) によって堆積される熱酸化物または酸化物であってもよい。

## 【 0 0 3 0 】

ブロック 3 0 6 では、第 1 のマスク ( 図示せず ) が形成され、フォトレジスト層 5 0 4 および誘電体層 5 0 2 の露出部分が図 6 に示されるようにエッチング除去される。誘電体層 5 0 2 の残存部分が図 1 の絶縁層 1 0 9 に対応する。

## 【 0 0 3 1 】

ブロック 3 0 8 では、p 型エピタキシャル層 4 0 2 の一部もエッチング除去され、それにより、図 7 に示されるように p 型カラム 1 0 6 が形成される。エピタキシャル層 4 0 2 のエッチングは、比較的僅かな程度まで基板 1 0 4 へと及んでもよい。ブロック 3 0 8 において適用されるエッチング材料は、ブロック 3 0 6 で使用されるエッチング材料と異なってもよい。ブロック 3 1 0 では、残存するフォトレジスト層 5 0 4 が除去される ( 図 8 )。

## 【 0 0 3 2 】

図 3 A のブロック 3 1 2 では、第 2 の誘電体層 9 0 2 ( 図 9 ) が絶縁層 1 0 9 および p 型カラム 1 0 6 の露出面上にわたって成長され或いは堆積される。特に、誘電体層 9 0 2 は、p 型カラム 1 0 6 の両側および絶縁層 1 0 9 上にわたって形成され、それにより、実質的に、p 型カラムの両側に誘電体材料の層またはカラムが形成される。第 2 の誘電体層 9 0 2 に使用される材料は、絶縁層 1 0 9 に使用される材料の厚さと比べて、異なってもよい。また、第 2 の誘電体層 9 0 2 は、絶縁層 1 0 9 の厚さと比べて比較的薄くてもよい ( 3 0 0 ~ 5 0 0 オングストローム程度 )。

## 【 0 0 3 3 】

図 3 A のブロック 3 1 4 では、図 1 0 に示されるように、基板 1 0 4 に隣接する誘電体層 9 0 2 の部分 ( 図 9 ) が除去される。このプロセスはボトム酸化物ブレイクスルーと称されてもよい。p 型カラム 1 0 6 の両側の誘電体層 9 0 2 の部分は除去されず、これらの部分が図 1 の絶縁層 1 1 0 に対応する。絶縁層 1 0 9 を覆っている誘電体層 9 0 2 もボトム酸化物ブレイクスループロセスの一環として部分的に或いは完全に除去されてもよい。言い換えると、ボトム酸化物ブレイクスルーの後、図 1 0 に示されるように基板 1 0 4 が露出され、一方、絶縁層 1 0 9 は、第 1 の誘電体層 5 0 2 の一部として堆積される材料のみから成ってもよく ( 図 5 )、あるいは、第 1 の誘電体層 5 0 2 および第 2 の誘電体層 9 0 2 に含まれる材料の組み合わせから成ってもよい。また、ブロック 3 1 4 では、ボトム酸化物ブレイクスルーの後、n - ドーパントのエピタキシャル層 1 0 0 2 が、基板 1 0 4 上にわたって及び p 型カラム 1 0 6 と絶縁層 1 0 9 , 1 1 0 とを備える構造体の周囲で成長される。

## 【 0 0 3 4 】

図 3 A のブロック 3 1 6 では、フォトレジスト層が加えられ、その後、図 1 1 に示されるようにマスク 1 1 0 2 を形成するためにフォトレジスト層が選択的に除去される。マスク 1 1 0 2 は、図 1 2 に示されるように、n 型エピタキシャル層 1 0 0 2 に終端トレンチ 1 2 0 2 を形成するために使用される。終端トレンチ 1 2 0 2 は基板 1 0 4 中へと延びていてもよい。その後、図 1 2 も示されるようにマスクを除去することができる。

## 【 0 0 3 5 】

図 3 A のブロック 3 1 8 では、図 1 3 に示されるように、第 3 の誘電体層 1 3 0 2 が終端トレンチ 1 2 0 2 の内側および n 型エピタキシャル層 1 0 0 2 上にわたって成長され或いは堆積される ( 例えば、S A C V D を使用して )。第 3 の誘電体層 1 3 0 2 のために使用される材料は、絶縁層 1 0 9 , 1 1 0 のために使用される材料と異なってもよい。その後、緻密化プロセスを使用して第 3 の誘電体層 1 3 0 2 を硬化させ或いはアニールすることができる。重要なことには、絶縁層 1 1 0 は、緻密化プロセス中および構造体が加熱さ

10

20

30

40

50

れてもよい製造プロセスの任意の他の時間に p 型カラム 106 および n 型エピタキシャル層 1002 が互いの中へ拡散するのを防止し或いは制限する。

【0036】

図3Aのブロック320では、図14に示されるように終端トレンチ1202内の誘電体の高さが n 型エピタキシャル1002の上面とほぼ同じ高さとなるように誘電体層1302がエッチバックされる。

【0037】

図3Bのブロック322では、フォトリジスト層が加えられ、その後、図15に示されるようにマスク1502を形成するためにフォトリジスト層が選択的に除去される。マスクの開口1504は p 型カラム106の位置と一致する。開口1504の幅(図15の x 方向で測定される)は、開口と p 型カラムとの位置合わせに伴う問題を回避するために、p 型カラム106の幅より小さくてもよい。言い換えると、図示のように、マスク1502は、p 型カラム106の上側にトレンチを形成するために使用され、また、理想的には、それらのトレンチは p 型カラムの外縁を越えて延びない。

10

【0038】

図3Bのブロック324では、図15および図16に関連して、開口1504の下側に位置する n 型エピタキシャル層1002の部分がエッチング除去され、それにより、絶縁層109へと延びるトレンチ1602が形成される。エッチング除去されないエピタキシャル層1002の部分は、図1の n 型カラム108に対応する。その後、マスク1502を除去することができる。

20

【0039】

図3Bのブロック326では、トレンチ1602の側面および底面を含めて絶縁層109および n 型カラム108の露出面上にわたってゲート酸化物層1702(図17)が成長される。ゲート酸化物層1702のために使用される材料は、第1の誘電体層502(図5)および第2の誘電体層902(図9)中に含まれる材料と異なっていてもよい。図1の絶縁層109は、ゲート酸化物層1702と、第1の誘電体層502および第2の誘電体層902からの材料とを含んでもよい - すなわち、図では単一の均一な層として描かれているが、実際の実務では、絶縁層109が異なる絶縁材料を含んでもよい。また、トレンチ1602の幅に応じて、それらのトレンチの内側を覆うゲート酸化物層1702の部分が絶縁層110と一致してもよく、それにより、図17の垂直方向(y方向)で絶縁材料のほぼ連続したカラムが形成される。

30

【0040】

図3Bのブロック328では、図18に示されるように、ゲート酸化物層1702上にわたって及びトレンチ1602内にポリシリコン(ポリ)層1802が堆積される。

【0041】

図3Bのブロック330では、化学機械平坦化または研磨(CMP)プロセスを使用して、ゲート酸化物層1702に至るまでポリ層1802の一部を除去することができる(図18)。その後、エッチバックプロセスを使用して、より多くのポリ層1802を除去することができ、それにより、図19に示されるように陥凹要素が形成される。これらの陥凹要素は図1のトレンチゲート111に対応する。

40

【0042】

図3Bのブロック332では、図20に関連して、ブランケット p - ドーパントがデバイス100内 - すなわち、n 型カラム108内に注入され - それにより、図1の p 型(p - )ボディ領域114が形成される。p 型ボディ領域114はトレンチゲート111よりも(図20の y 方向の)深さが浅い。

【0043】

図3Bのブロック334では、図21に示されるように、終端トレンチ1202上および隣接領域上にわたってソースマスク2102が形成され、その後、n + ドーパントが p 型ボディ領域114内に注入され、それにより、図1の n 型(n + )ソース領域116が形成される。このようにして、トレンチゲートが n 型カラム108上ではなく p 型カラム

50

106上に形成される。p型カラム106上にトレンチゲートを形成することにより、ゲートを互いに近接して配置することができ、それにより、セル密度が増大され、また、これにより、 $R_{ds(on)}$ が減少するという効果も有する。n型ソース注入後、マスク2102を除去することができる。

【0044】

図3Bのブロック336では、低温酸化物(LTO)の層の後に引き続いてボロホスホシリケートガラス(BPSG)の層が堆積される - 図22ではこれらの層が層2202として特定される(明確にするため、ゲート酸化物領域1702の全てが図22および図23で確認されるとは限らない)。

【0045】

図3Bのブロック338では、フォトレジストの層が層2202上にわたって加えられ、その後、図23に示されるように、n型カラム108と一致する開口2304を伴うマスク2302を形成するためにフォトレジストの層が選択的に除去される。その後、開口2304の真下の材料 - それらの開口の真下にある層2202、ゲート酸化物1702、n+ソース領域116、および、p型ボディ領域114の部分 - をエッチング除去して、図1の絶縁層118を形成できるとともに、n+ソース領域116、p型ボディ領域114、および、ゲートピックアップ領域を露出させるトレンチ125を形成することができる。図1の絶縁層118は、層2202の残存部分、および、ゲート酸化物層1702の残存水平(x方向)部分の両方を含む。また、ゲート酸化物層1702のy方向(垂直)部分は図1の絶縁層120と一致する。その後、各トレンチ125の底部にp+ドーパントが注入され、それにより、図1のp型(p+)接点領域112が形成される。

【0046】

同様の態様で、図3Cのブロック340では、図24に示されるように、p型カラム106と一致する開口2404を伴うマスク2402を図23のz方向に形成することができる。その後、開口2404の真下の材料 - それらの開口の真下にある層2202、トレンチゲート111、および、絶縁層109の部分 - をエッチング除去して、絶縁ポリ領域211と、p型カラム106およびポリ領域211を露出させるトレンチ225とを形成することができる。p型カラム接点トレンチ225は、酸化層(ゲート酸化物)120、n型カラム108、および、他の酸化層120によってゲートポリ111から分離され、また、トレンチ225は酸化層120によっても分離される。

【0047】

図3Cのブロック342では、図23, 24, 25にも関連して、マスク2302, 2402が除去されるとともに、金属がトレンチ2304, 2404内および絶縁層118上にわたって堆積される。フォトレジストの層が金属上にわたって加えられ、その後、開口を有するマスク(図示せず)を形成するためにフォトレジストの層が選択的に除去され、また、開口の下側の金属がエッチング除去されることにより、図1および図2のソース金属層124が形成されるとともに、ゲートバス(図示せず)が形成される。したがって、図1および図2に示されるように、p型カラム106およびn型カラム108の両方がソース金属層124に電氣的に接続される。その結果、それに伴って得られるボディダイオードがONからOFFへ切り換えられるときにp型カラム106内のキャリアを急速に掃引することができる。

【0048】

図3Cのブロック344では、保護層が随意的に堆積される。その後、保護層をエッチングしてゲートパッドおよびソースパッドを形成するために、マスクを加えることができる。

【0049】

前述したように、本明細書中に記載される特徴は、pチャネルSJTレンチパワーMOSFETデバイスにも適用できる。図26は、本発明の一実施形態に係るpチャネルSJTレンチパワーMOSFETデバイス2600の要素を示す断面図である。デバイス2600は、p+ドレイン層または基板2604の底面にドレイン電極(図示せず)を含む。

10

20

30

40

50

スーパージャンクションを形成するために、基板 2604 の上側には、p - ドリフト領域または p 型カラム 2606 と n - ドリフト領域または n 型カラム 2608 とが交互に配置される。p 型ドーパントのカラム 2606 は、絶縁層またはカラム 110 によって、n 型ドーパントの隣接するカラム 2608 から分離され、それにより、構造体が製造中に加熱されるときに n 型および p 型カラムが互いの中へ拡散しないように保たれる。

#### 【0050】

図 26 の実施形態では、各 n 型カラム 2608 がそれぞれのポリシリコントレンチゲート 111 の下側に配置される。n 型カラム 2608 は、それぞれの絶縁層 109 によってトレンチゲート 111 から分離される。トレンチゲート 111 を n 型カラム 2608 と位置合わせすることにより、p 型カラム 2606 の幅を減らすことができ、それにより、ト

10

#### 【0051】

隣接するトレンチゲート 111 間には p 型カラム 2606 の上側にトレンチ 125 が形成される。トレンチ 125 はソース金属 124 で満たされる。n + 領域 ( n 接点領域 2612 ) が各トレンチ 125 内のソース金属 124 を対応する p 型カラム 2606 から分離する。n - 領域 ( n - ボディ領域 2614 ) が各トレンチ 125 の両側で且つトレンチとトレンチゲート 111 との間およびソース金属 124 と p 型カラム 2606 との間に配置される。また、p + 領域 ( p - ソース領域 2616 ) が各トレンチ 125 の両側に配置される。n 型ボディ領域 2614 および p 型ソース領域 2616 は、他の絶縁層 120 ( 例えば、ゲート酸化物 ) によってそれぞれのトレンチゲート 111 から分離される。各 p 型

20

#### 【0052】

本発明の一実施形態によれば、n 型カラム 2608 は、図 2 に示される態様と同様の態様でピックアップされてソース金属層 124 に電氣的に短絡される。

#### 【0053】

要約すると、S J トレンチパワー M O F E T デバイスの実施形態、および、そのようなデバイスを製造するための方法の実施形態が記載されている。本明細書中に記載される特徴は、スプリットゲート、デュアルトレンチ、および、他の従来の高電圧スーパージャンクションデバイスに代わる手段として、低電圧デバイスおよび 1000 ボルトパワー M O S F E T などの高電圧デバイスで使用できる。

30

#### 【0054】

概して、この文書は以下を開示してきた。スーパージャンクショントレンチパワー M O S F E T ( 金属酸化膜半導体電界効果トランジスタ ) デバイスでは、スーパージャンクションにおける p 型ドーパントのカラムが、酸化物の第 1 のカラムによって n 型ドーパントの第 1 のカラムから分離されるとともに、酸化物の第 2 のカラムによって n 型ドーパントの第 2 のカラムから分離される。n チャネルデバイスでは、F E T のためのゲート要素が p 型ドーパントのカラム上にわたって配置されるのが有益であり、また、p チャネルデバイスでは、F E T のためのゲート要素が n 型ドーパントのカラム上にわたって配置される

40

#### 【0055】

概して、この文書は以下を開示してきた。スーパージャンクショントレンチパワー M O S F E T ( 金属酸化膜半導体電界効果トランジスタ ) デバイスでは、スーパージャンクションにおける p 型ドーパントのカラムが、酸化物の第 1 のカラムによって n 型ドーパントの第 1 のカラムから分離されるとともに、酸化物の第 2 のカラムによって n 型ドーパントの第 2 のカラムから分離される。n チャネルデバイスでは、F E T のためのゲート要素が p 型ドーパントのカラム上にわたって配置されるのが有益であり、また、p チャネルデバイスでは、F E T のためのゲート要素が n 型ドーパントのカラム上にわたって配置される

50

## 【0056】

本発明の特定の実施形態の前述した記述は、例示目的で且つ説明のために与えられた。これらの記述は、包括的なものではなく、あるいは、開示された正にその形態に本発明を限定しようとするものではなく、また、前述した教示内容を踏まえて多くの改良および変形が可能である。実施形態は、本発明の原理およびその実用的用途を最も良く説明するために選択されて記載されており、それにより、他の当業者は、考えられる特定の用途に適するように本発明および様々な改良を伴う様々な実施形態を最も良く利用できる。本発明の範囲は、添付の請求項およびそれらの等価物によって規定されるものである。言うまでもなく、本明細書で与えられる任意の全ての要素およびステップが含まれるのが好ましい。これらの要素およびステップのうちのいずれかが当業者に明らかないように省かれ或いは置き換えられてもよい。

10

## 【0057】

要約すると、この文書は、少なくとも以下の広範な概念を開示してきた。

## 【0058】

概念1．第1型ドーパントのチャンネルを有するスーパージャンクショントレンチパワー金属酸化膜半導体電界効果トランジスタ(MOSFET)デバイスであって、

第2型ドーパントのカラムを前記第1型ドーパントの第1のカラムから分離する絶縁材料を備える第1のカラムと、

前記第2型ドーパントの前記カラムを前記第1型ドーパントの第2のカラムから分離する絶縁材料を備える第2のカラムと、

絶縁材料の前記第1のカラムと絶縁材料の前記第2のカラムとの間に位置合わせされる電界効果トランジスタのためのゲート要素と、

を備えるスーパージャンクショントレンチパワーMOSFET。

20

## 【0059】

概念2．前記ゲート要素を前記第2型ドーパントの前記カラムから分離する絶縁層を更に備える概念1のスーパージャンクショントレンチパワーMOSFET。

## 【0060】

概念3．前記第1型ドーパントがn型ドーパントを備える場合には前記第2型ドーパントがp型ドーパントを備え、前記第1型ドーパントがp型ドーパントを備える場合には前記第2型ドーパントがn型ドーパントを備える概念1のスーパージャンクショントレンチパワーMOSFET。

30

## 【0061】

概念4．前記第2型ドーパントの前記カラムに電氣的に短絡されるソース金属の層を更に備える概念1のスーパージャンクショントレンチパワーMOSFET。

## 【0062】

概念5．前記ゲート要素と隣接するゲート要素との間に形成されたトレンチを更に備え、前記ソース金属が前記トレンチを満たす概念4のスーパージャンクショントレンチパワーMOSFET。

## 【0063】

概念6．前記ゲート要素と前記トレンチとの間に配置された前記第2型ドーパントのボディ領域および前記第1型ドーパントのソース領域を更に備える概念5のスーパージャンクショントレンチパワーMOSFET。

40

## 【0064】

概念7．前記トレンチは、前記第1型ドーパントの前記第1のカラムの長手方向軸と位置合わせされる概念5のスーパージャンクショントレンチパワーMOSFET。

## 【0065】

概念8．前記トレンチは、前記第2型ドーパントの領域によって前記第1型ドーパントの前記第1のカラムから分離される概念7のスーパージャンクショントレンチパワーMOSFET。

## 【0066】

50

概念 9 . 第 1 型ドーパントのチャンネルを有する半導体デバイスであって、  
前記第 1 型ドーパントの基板と、

前記基板に結合されるとともに、前記第 1 型ドーパントの柱状の第 1 の領域と前記第 1 型ドーパントの柱状の第 2 の領域との間に配置される第 2 型ドーパントの柱状領域を備え、前記第 2 型ドーパントの前記領域が、第 1 の絶縁層によって前記第 1 型ドーパントの前記第 1 の領域から分離されるとともに、第 2 の絶縁層によって前記第 1 型ドーパントの前記第 2 の領域から分離される、スーパージャンクション構造体と、

前記スーパージャンクション構造体に結合されるとともに、ゲート要素を備え、前記ゲート要素が前記第 2 型ドーパントの前記領域の長手方向軸と位置合わせされる電界効果トランジスタと、

を備える半導体デバイス。

10

【 0 0 6 7 】

概念 1 0 . 前記ゲート要素を前記第 2 型ドーパントの前記領域から分離する酸化物層を更に備える概念 9 の半導体デバイス。

【 0 0 6 8 】

概念 1 1 . 前記第 2 型ドーパントの前記領域に電氣的に短絡されるソース金属の層を更に備える概念 9 の半導体デバイス。

【 0 0 6 9 】

概念 1 2 . 前記ゲート要素と隣接するゲート要素との間に形成されるトレンチを更に備え、前記ソース金属が前記トレンチを満たす概念 1 1 の半導体デバイス。

20

【 0 0 7 0 】

概念 1 3 . 前記ゲート要素と前記トレンチとの間に配置される前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える概念 1 2 の半導体デバイス。

【 0 0 7 1 】

概念 1 4 . 前記トレンチは、前記第 1 型ドーパントの前記第 1 の領域の長手方向軸と位置合わせされる概念 1 2 の半導体デバイス。

【 0 0 7 2 】

概念 1 5 . 第 1 型ドーパントのチャンネルを有する半導体デバイスであって、  
前記第 1 型ドーパントの基板と、

30

前記基板に結合されるとともに、前記第 1 型ドーパントの第 1 の領域と前記第 1 型ドーパントの第 2 の領域との間に配置された第 2 型ドーパントの領域を備え、前記第 2 型ドーパントの前記領域および前記第 1 型ドーパントの前記第 1 および第 2 の領域がそれぞれ第 2 の寸法よりも大きい第 1 の寸法を有し、前記第 1 の寸法が第 1 の方向で測定され、前記第 2 の寸法が前記第 1 の方向と直交する第 2 の方向で測定される、スーパージャンクション構造体と、

ゲート要素を備え、前記第 2 型ドーパントの前記領域が前記第 1 の方向で前記ゲート要素と前記基板との間に位置する、電界効果トランジスタと、

前記第 1 の方向および前記第 2 の方向の両方と直交する第 3 の方向で前記第 2 型ドーパントの前記領域に電氣的に短絡されるソース金属の層と、

40

を備える半導体デバイス。

【 0 0 7 3 】

概念 1 6 . 前記第 2 型ドーパントの前記領域は、第 1 の絶縁層によって前記第 1 型ドーパントの前記第 1 の領域から分離されるとともに、第 2 の絶縁層によって前記第 1 型ドーパントの前記第 2 の領域から分離される概念 1 5 の半導体デバイス。

【 0 0 7 4 】

概念 1 7 . 前記ゲート要素を前記第 2 型ドーパントの前記領域から分離する酸化物層を更に備える概念 1 5 の半導体デバイス。

【 0 0 7 5 】

概念 1 8 . 前記ゲート要素と隣接するゲート要素との間に形成されたトレンチを更に備

50

え、前記ソース金属が前記トレンチを満たす概念 15 の半導体デバイス。

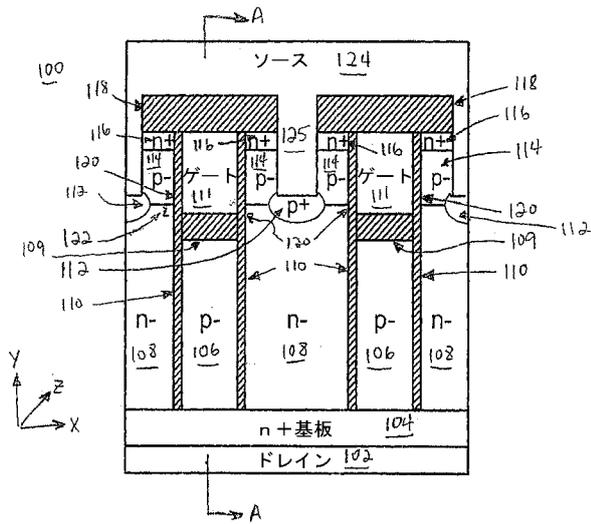
【 0 0 7 6 】

概念 19 . 前記ゲート要素と前記トレンチとの間に配置された前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える概念 18 の半導体デバイス。

【 0 0 7 7 】

概念 20 . 前記第 1 型ドーパントの前記第 1 の領域が前記第 1 の方向で前記トレンチと前記基板との間に位置する概念 18 の半導体デバイス。

【 図 1 】



【 図 2 】

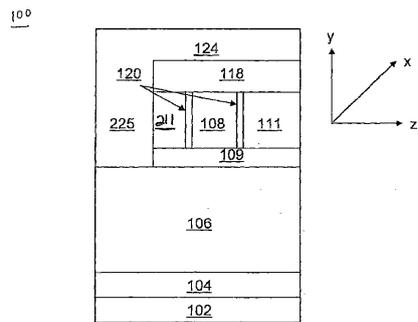
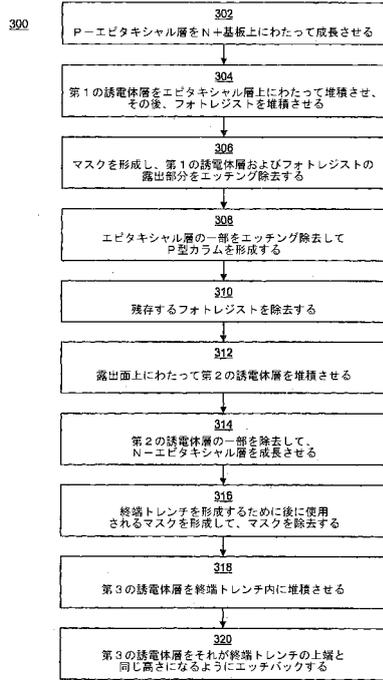
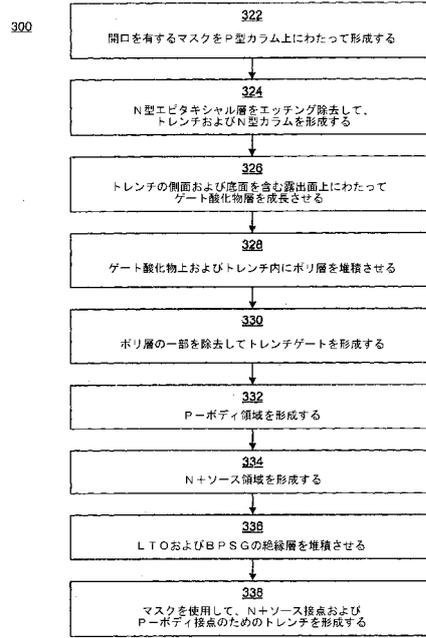


Figure 2

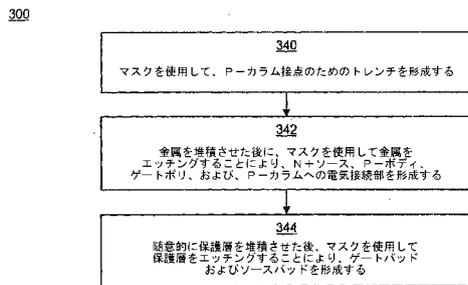
【図 3 A】



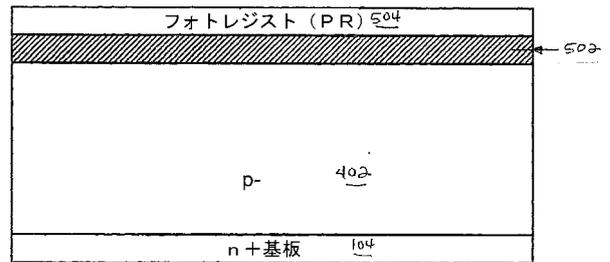
【図 3 B】



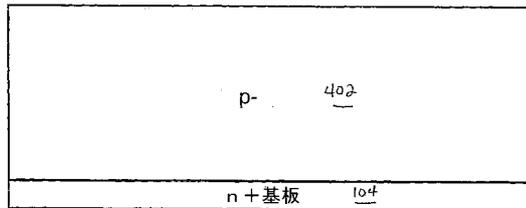
【図 3 C】



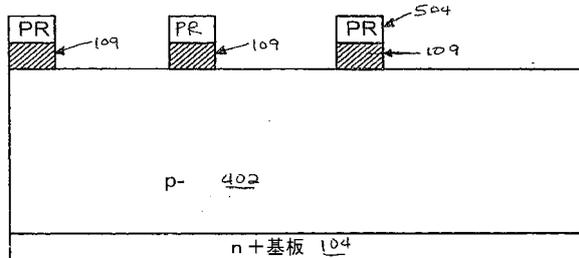
【図 5】



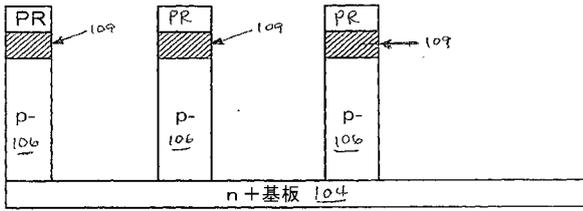
【図 4】



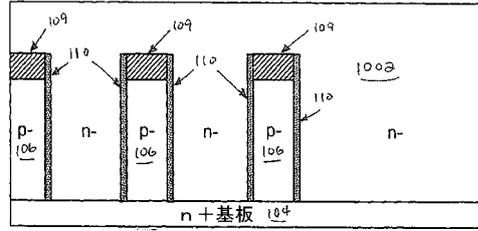
【図 6】



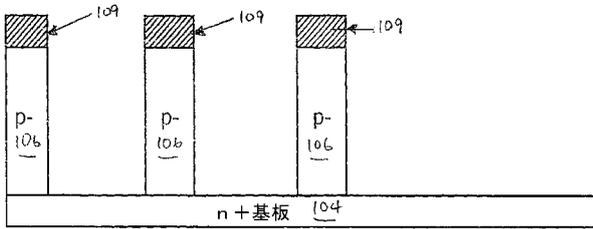
【 図 7 】



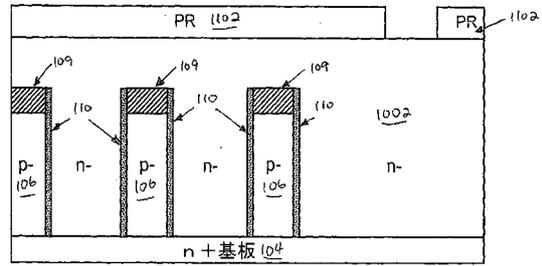
【 図 10 】



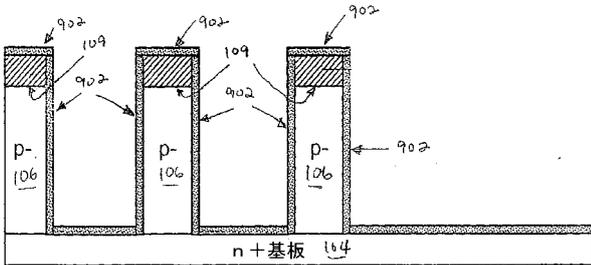
【 図 8 】



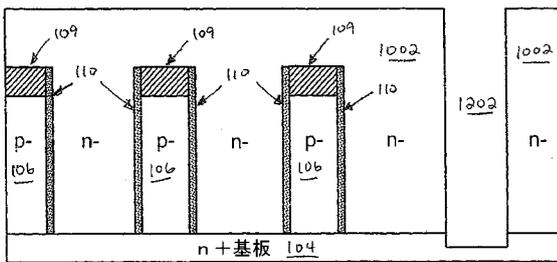
【 図 11 】



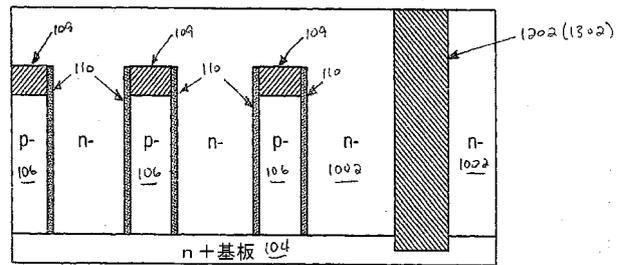
【 図 9 】



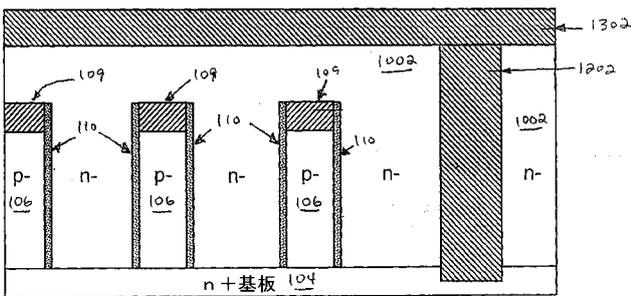
【 図 12 】



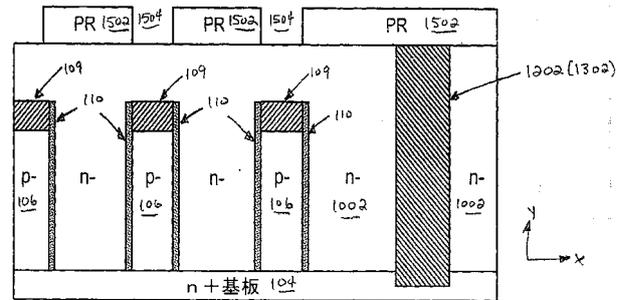
【 図 14 】



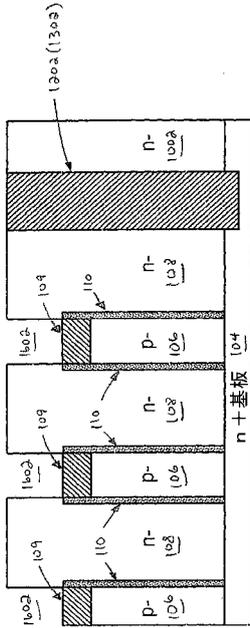
【 図 13 】



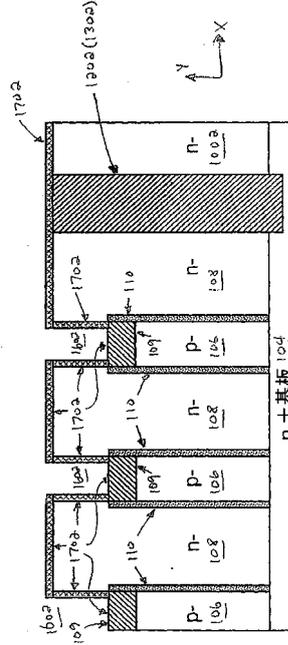
【 図 15 】



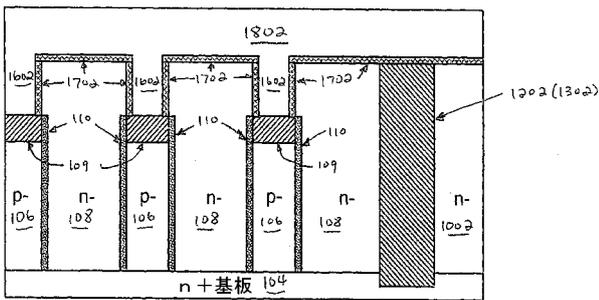
【 図 16 】



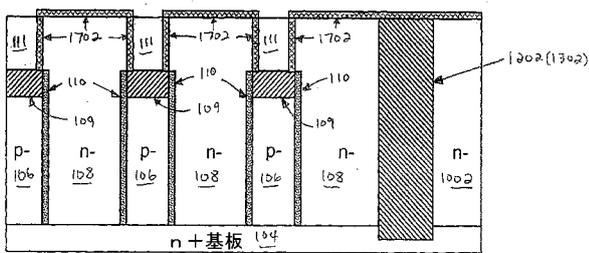
【 図 17 】



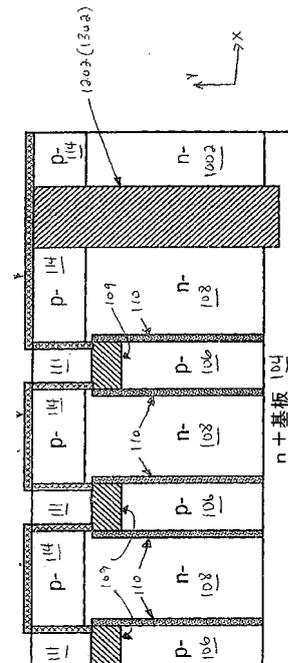
【 図 18 】



【 図 19 】

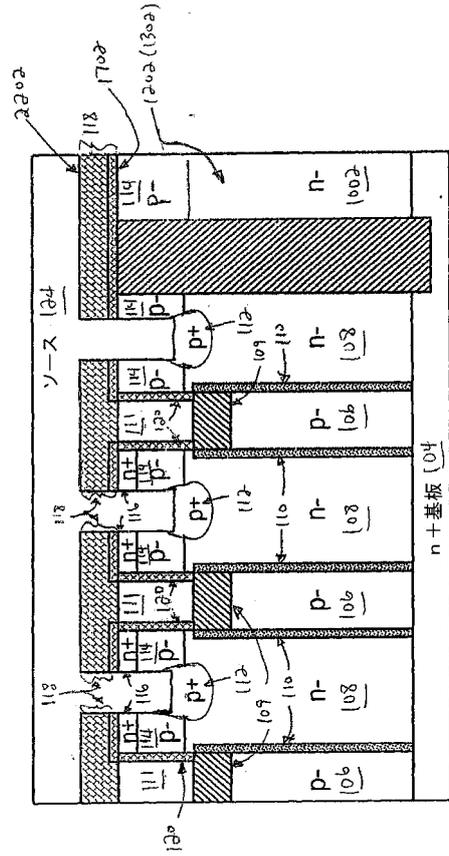


【 図 20 】

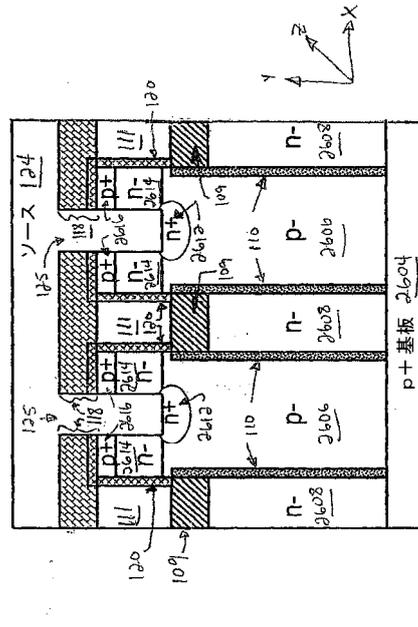




【図 25】

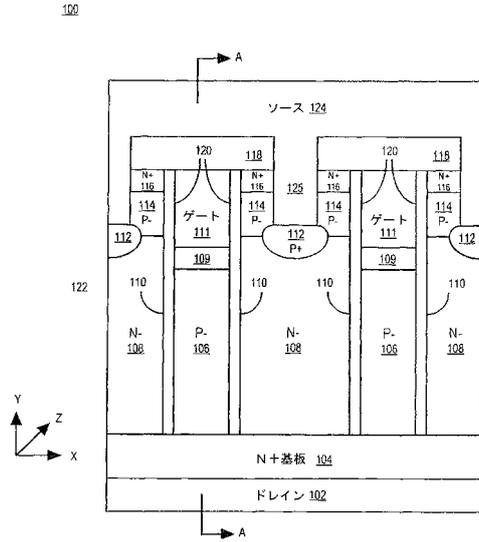


【図 26】

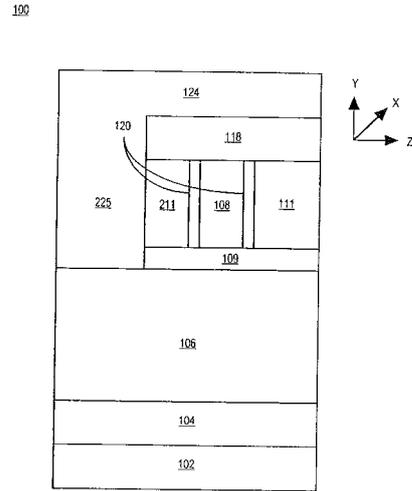


- 【手続補正書】
- 【提出日】平成24年5月23日(2012.5.23)
- 【手続補正1】
- 【補正対象書類名】図面
- 【補正対象項目名】全図
- 【補正方法】変更
- 【補正の内容】

【図 1】

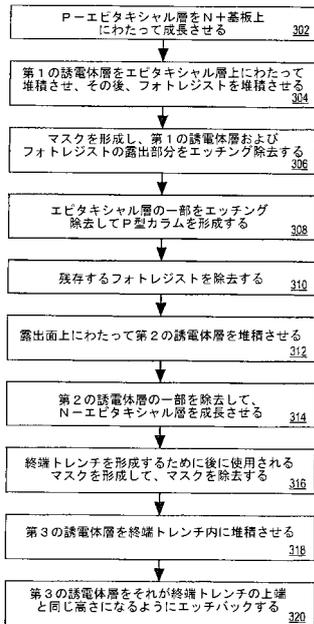


【図 2】



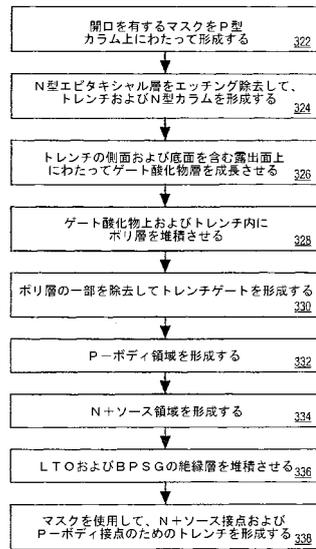
【図 3 A】

300



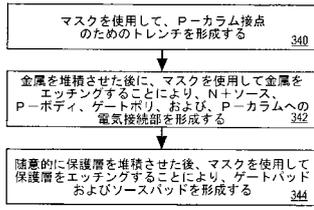
【図 3 B】

300

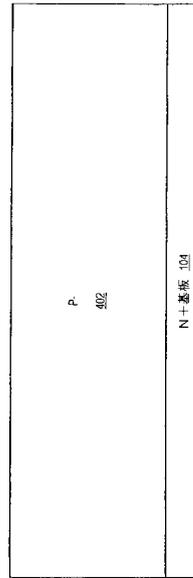


【 図 3 C 】

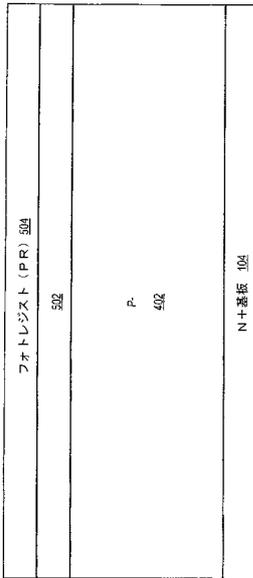
300



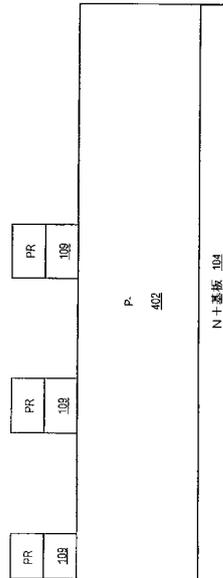
【 図 4 】



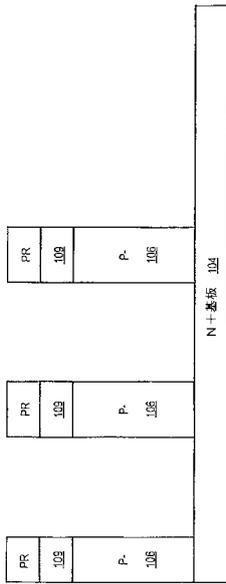
【 図 5 】



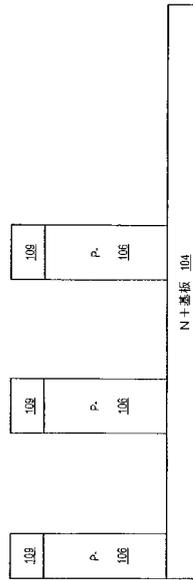
【 図 6 】



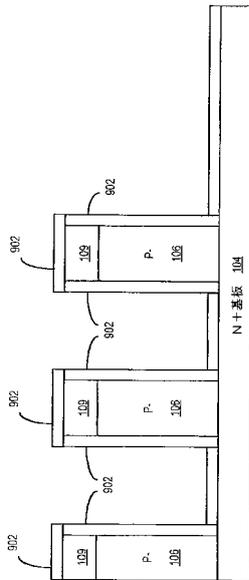
【 図 7 】



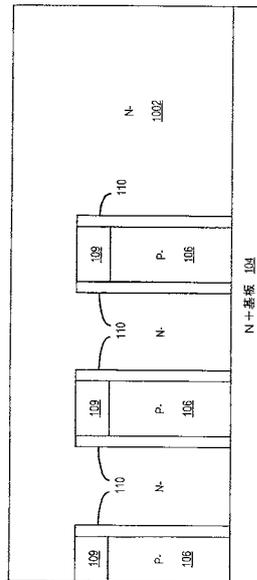
【 図 8 】



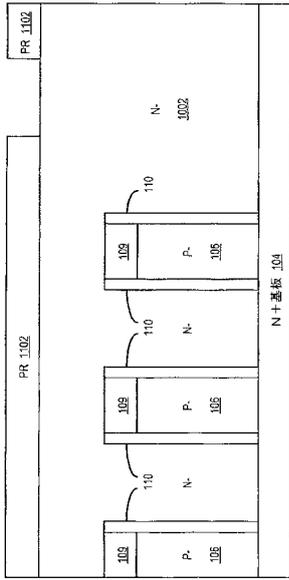
【 図 9 】



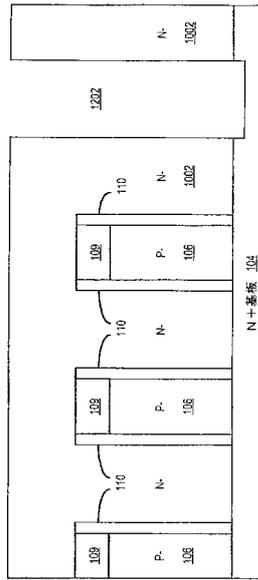
【 図 10 】



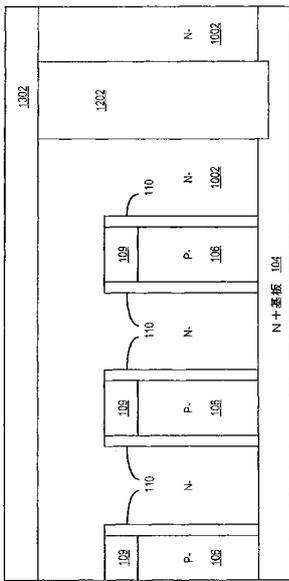
【 1 1 】



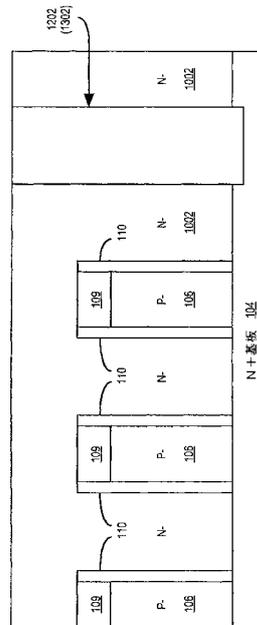
【 1 2 】



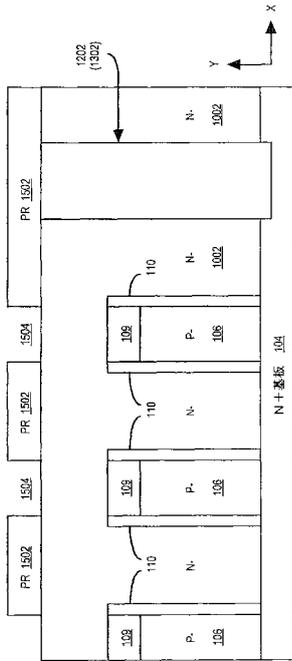
【 1 3 】



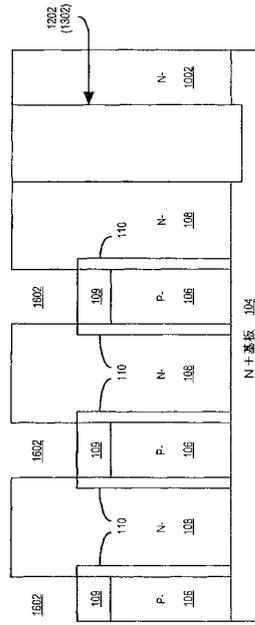
【 1 4 】



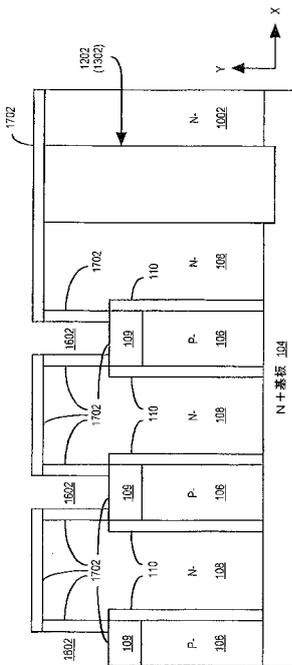
【 図 15 】



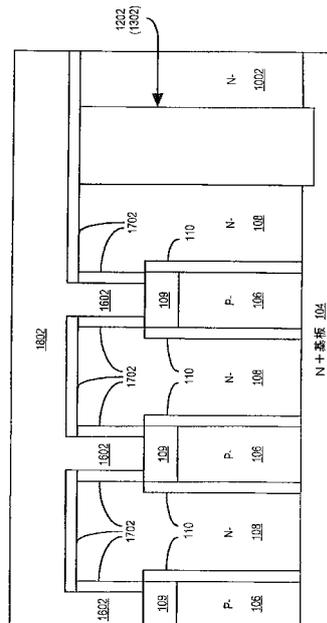
【 図 16 】



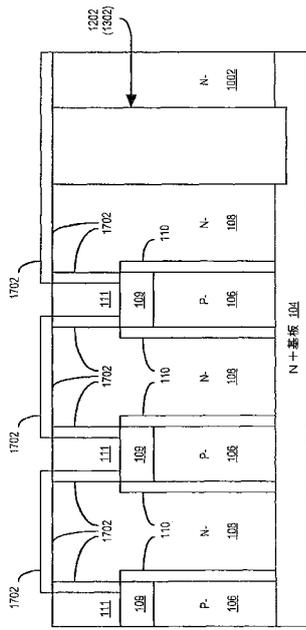
【 図 17 】



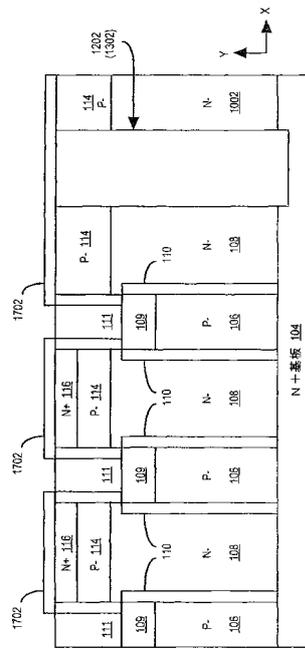
【 図 18 】



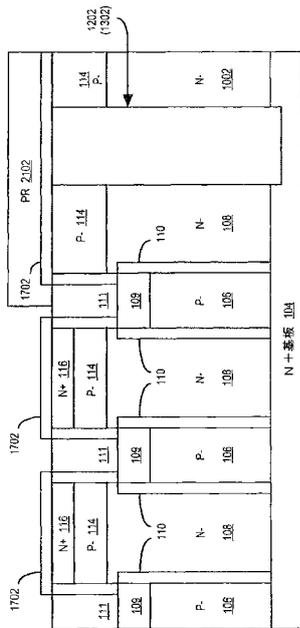
【 図 19 】



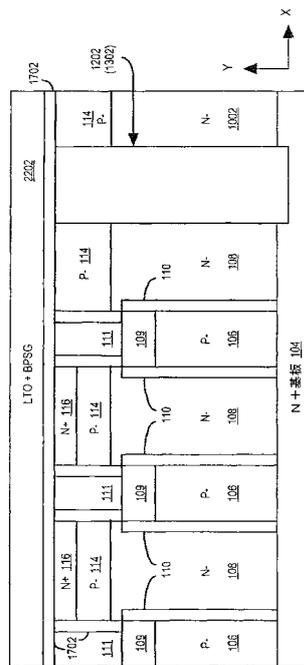
【 図 20 】



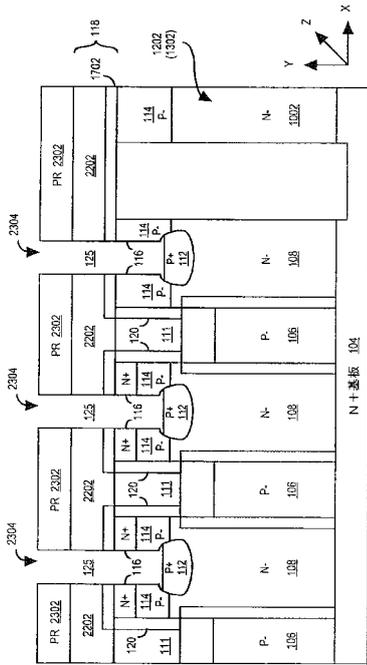
【 図 21 】



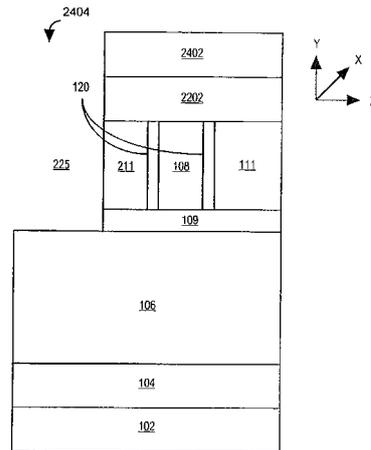
【 図 22 】



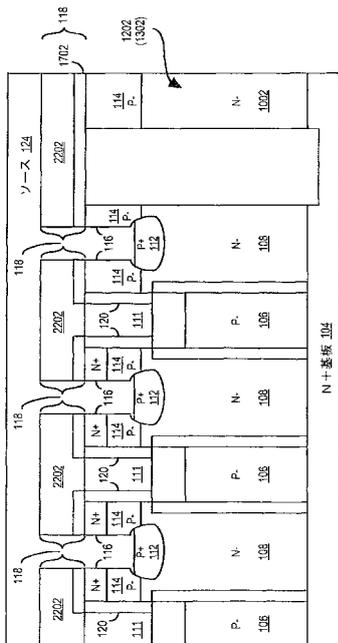
【図 2 3】



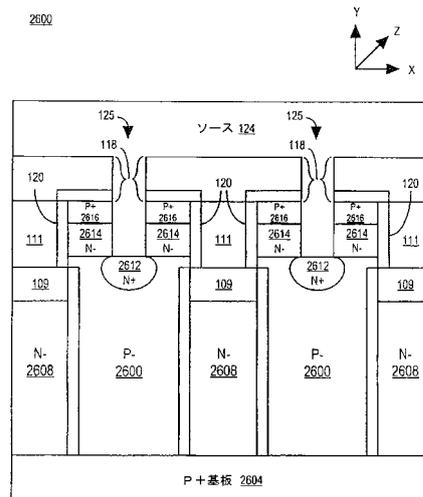
【図 2 4】



【図 2 5】



【図 2 6】



## 【手続補正書】

【提出日】平成24年8月14日(2012.8.14)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1型ドーパントのチャンネルを有するスーパージャンクショントレンチパワー金属酸化膜半導体電界効果トランジスタ(MOSFET)デバイスであって、

第2型ドーパントのカラムを前記第1型ドーパントの第1のカラムから分離する絶縁材料を備える第1のカラムと、

前記第2型ドーパントの前記カラムを前記第1型ドーパントの第2のカラムから分離する絶縁材料を備える第2のカラムと、

絶縁材料の前記第1のカラムと絶縁材料の前記第2のカラムとの間に位置合わせされる電界効果トランジスタのためのゲート要素と、

を備えるスーパージャンクショントレンチパワーMOSFET。

【請求項2】

前記ゲート要素を前記第2型ドーパントの前記カラムから分離する絶縁層を更に備える請求項1に記載のスーパージャンクショントレンチパワーMOSFET。

【請求項3】

前記第1型ドーパントがn型ドーパントを備える場合には前記第2型ドーパントがp型ドーパントを備え、前記第1型ドーパントがp型ドーパントを備える場合には前記第2型ドーパントがn型ドーパントを備える請求項1に記載のスーパージャンクショントレンチパワーMOSFET。

【請求項4】

前記第2型ドーパントの前記カラムに電氣的に短絡されるソース金属の層を更に備える請求項1に記載のスーパージャンクショントレンチパワーMOSFET。

【請求項5】

前記ゲート要素と隣接するゲート要素との間に形成されたトレンチを更に備え、前記ソース金属が前記トレンチを満たす請求項4に記載のスーパージャンクショントレンチパワーMOSFET。

【請求項6】

前記ゲート要素と前記トレンチとの間に配置された前記第2型ドーパントのボディ領域および前記第1型ドーパントのソース領域を更に備える請求項5に記載のスーパージャンクショントレンチパワーMOSFET。

【請求項7】

前記トレンチは、前記第1型ドーパントの前記第1のカラムの長手方向軸と位置合わせされる請求項5に記載のスーパージャンクショントレンチパワーMOSFET。

【請求項8】

前記トレンチは、前記第2型ドーパントの領域によって前記第1型ドーパントの前記第1のカラムから分離される請求項7に記載のスーパージャンクショントレンチパワーMOSFET。

【請求項9】

第1型ドーパントのチャンネルを有する半導体デバイスであって、

前記第1型ドーパントの基板と、

前記基板に結合されるとともに、前記第1型ドーパントの柱状の第1の領域と前記第1型ドーパントの柱状の第2の領域との間に配置される第2型ドーパントの柱状領域を備え、前記第2型ドーパントの前記領域が、第1の絶縁層によって前記第1型ドーパントの前

記第 1 の領域から分離されるとともに、第 2 の絶縁層によって前記第 1 型ドーパントの前記第 2 の領域から分離される、スーパージャンクション構造体と、

前記スーパージャンクション構造体に結合されるとともに、ゲート要素を備え、前記ゲート要素が前記第 2 型ドーパントの前記領域の長手方向軸と位置合わせされる電界効果トランジスタと、

を備える半導体デバイス。

【請求項 10】

前記ゲート要素を前記第 2 型ドーパントの前記領域から分離する酸化物層を更に備える請求項 9 に記載の半導体デバイス。

【請求項 11】

前記第 2 型ドーパントの前記領域に電氣的に短絡されるソース金属の層を更に備える請求項 9 に記載の半導体デバイス。

【請求項 12】

前記ゲート要素と隣接するゲート要素との間に形成されるトレンチを更に備え、前記ソース金属が前記トレンチを満たす請求項 11 に記載の半導体デバイス。

【請求項 13】

前記ゲート要素と前記トレンチとの間に配置される前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える請求項 12 に記載の半導体デバイス。

【請求項 14】

前記トレンチは、前記第 1 型ドーパントの前記第 1 の領域の長手方向軸と位置合わせされる請求項 12 に記載の半導体デバイス。

【請求項 15】

第 1 型ドーパントのチャンネルを有する半導体デバイスであって、

前記第 1 型ドーパントの基板と、

前記基板に結合されるとともに、前記第 1 型ドーパントの第 1 の領域と前記第 1 型ドーパントの第 2 の領域との間に配置された第 2 型ドーパントの領域を備え、前記第 2 型ドーパントの前記領域および前記第 1 型ドーパントの前記第 1 および第 2 の領域がそれぞれ第 2 の寸法よりも大きい第 1 の寸法を有し、前記第 1 の寸法が第 1 の方向で測定され、前記第 2 の寸法が前記第 1 の方向と直交する第 2 の方向で測定される、スーパージャンクション構造体と、

ゲート要素を備え、前記第 2 型ドーパントの前記領域が前記第 1 の方向で前記ゲート要素と前記基板との間に位置する、電界効果トランジスタと、

前記第 1 の方向および前記第 2 の方向の両方と直交する第 3 の方向で前記第 2 型ドーパントの前記領域に電氣的に短絡されるソース金属の層と、

を備える半導体デバイス。

【請求項 16】

前記第 2 型ドーパントの前記領域は、第 1 の絶縁層によって前記第 1 型ドーパントの前記第 1 の領域から分離されるとともに、第 2 の絶縁層によって前記第 1 型ドーパントの前記第 2 の領域から分離される請求項 15 に記載の半導体デバイス。

【請求項 17】

前記ゲート要素を前記第 2 型ドーパントの前記領域から分離する酸化物層を更に備える請求項 15 に記載の半導体デバイス。

【請求項 18】

前記ゲート要素と隣接するゲート要素との間に形成されたトレンチを更に備え、前記ソース金属が前記トレンチを満たす請求項 15 に記載の半導体デバイス。

【請求項 19】

前記ゲート要素と前記トレンチとの間に配置された前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える請求項 18 に記載の半導体デバイス。

## 【請求項 20】

前記第 1 型ドーパントの前記第 1 の領域が前記第 1 の方向で前記トレンチと前記基板との間に位置する請求項 18 に記載の半導体デバイス。

## 【請求項 21】

前記ゲート要素が前記第 2 型ドーパントのカラムの長手方向軸と位置合わせされる請求項 1 に記載のスーパージャンクショントレンチパワー MOS FET。

## 【請求項 22】

前記ソース金属の層が前記第 2 型ドーパントのカラムの長手方向軸と直交する方向で前記第 2 型ドーパントのカラムに電氣的に短絡される請求項 4 に記載のスーパージャンクショントレンチパワー MOS FET。

## 【請求項 23】

前記第 1 型ドーパントが p 型ドーパントを含み、前記第 2 型ドーパントが n 型ドーパントを含む請求項 1 に記載のスーパージャンクショントレンチパワー MOS FET。

## 【請求項 24】

前記ゲート要素に近接する絶縁材料の第 3 のカラムと、  
前記ゲート要素に近接する絶縁材料の第 4 のカラムと、  
をさらに備え、  
絶縁材料の前記第 1 のカラムおよび絶縁材料の前記第 3 のカラムが前記ゲート要素および前記第 2 型ドーパントのカラムを前記第 1 型ドーパントの前記第 1 のカラムから分離する連続する境界を与え、  
絶縁材料の前記第 2 のカラムおよび絶縁材料の前記第 4 のカラムが前記ゲート要素および第 2 型ドーパントのカラムを前記第 1 型ドーパントの前記第 2 のカラムから分離する連続する境界を与える請求項 1 に記載のスーパージャンクショントレンチパワー MOS FET。

## 【請求項 25】

第 1 型ドーパントのチャンネルを有するスーパージャンクショントレンチパワー MOS FET であって、  
絶縁材料を含む第 1 のカラムであって、前記絶縁材料が第 2 型ドーパントのカラムを前記第 1 型ドーパントの第 1 のカラムから分離する第 1 のカラムと、  
絶縁材料を含む第 2 のカラムであって、前記絶縁材料が第 2 型ドーパントのカラムを前記第 1 型ドーパントの第 2 のカラムから分離する第 2 のカラムと、  
電界効果トランジスタ用のゲート要素であって、絶縁材料の前記第 1 のカラムと絶縁材料の前記第 2 のカラムとの間に配置され、前記第 2 型のドーパントの前記カラムの上に位置するゲート要素と、  
前記ゲート要素と隣接するゲート要素との間に形成されたトレンチであって、前記第 1 型のドーパントの前記第 1 のカラムの方へ延在し、ソース金属で満たされたトレンチと、  
を備えるスーパージャンクショントレンチパワー MOS FET

## 【請求項 26】

前記第 1 型のドーパントが n 型ドーパントを含み、前記第 2 型のドーパントが p 型ドーパントを含む請求項 25 に記載のスーパージャンクショントレンチパワー MOS FET。

## 【請求項 27】

前記ゲート要素と前記トレンチとの間に位置する第 1 型のドーパントのソース領域と、  
前記ソース領域と前記第 1 型のドーパントの前記第 1 のカラムとの間のボディ領域と、  
をさらに備え、  
前記トレンチが前記ソース領域の上方および下方に延在し、前記ボディ領域に隣接する請求項 25 に記載のスーパージャンクショントレンチパワー MOS FET。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. <b>PCT/US2010/047039</b>
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 29/78(2006.01)i, H01L 21/336(2006.01)i, H01L 29/812(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L 29/78; H01L 29/08; H01L 21/336; H01L 21/30; H01L 29/76		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: super junction, insulator, gate, trench		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-142240 A (TOYOTA CENTRAL RES & DEV LAB INC) 02 June 2005	1-4,9-11,15-17
Y	See paragraphs[29]-[34],[38]-[42]; figs.1,4,23	5,6,12,13,18,19
Y	US 2008-0135931 A1 (CHALLA, ASHOK et al.) 12 June 2008 See paragraphs[118],[119]; fig.2A	5,6,12,13,18,19
A	US 2007-0249142 A1 (HISANAGA, YUKIHIRO) 25 October 2007 See paragraphs[05]-[08],[63]-[67]; figs 1,18	1-20
A	US 2005-0184336 A1 (TAKAHASHI, KOUTA et al.) 25 August 2005 See paragraphs[87]-[96]; figs.1,2	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 MAY 2011 (03.05.2011)		Date of mailing of the international search report <b>03 MAY 2011 (03.05.2011)</b>
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer Choi Jeongmin Telephone No. 82-42-481-8708 

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2010/047039**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 2005-142240 A	02.06.2005	JP 4470454 B2	02.06.2010
US 2008-0135931 A1	12.06.2008	AU 2002-335103 A8	28.04.2003
		AU 2003-262748 A1	11.03.2004
		AU 2003-262748 A8	11.03.2004
		CN 100338778 C0	19.09.2007
		CN 100339959 C0	26.09.2007
		CN 100352047 C0	28.11.2007
		CN 100461415 C	11.02.2009
		CN 100461415 C0	11.02.2009
		CN 100576483 C	30.12.2009
		CN 101154607 A0	02.04.2008
		CN 101529581 A	09.09.2009
		CN 1227418 A0	01.09.1999
		CN 1489788 A0	14.04.2004
		CN 1568568 A	19.01.2005
		CN 1568568 C0	19.01.2005
		CN 1605119 A	06.04.2005
		CN 1809928 C0	26.07.2006
		CN 1983597 A	20.06.2007
		EP 0923137 A2	16.06.1999
		EP 0923137 A3	02.02.2000
		EP 2178125 A2	21.04.2010
		JP 11-243196 A	07.09.1999
		JP 2001-203310 A	27.07.2001
		JP 2004-521493 A	15.07.2004
		JP 2005-501497 A	13.01.2005
		JP 2005-507160 A	10.03.2005
		JP 2006-511932 A	06.04.2006
		JP 2007-500454 A	11.01.2007
		JP 2009-124176 A	04.06.2009
		KR 10-0551190 B1	25.05.2006
		KR 10-0804864 B1	20.02.2008
		KR 10-0804865 B1	20.02.2008
		KR 10-0886420 B1	02.03.2009
		KR 10-1015306 B1	15.02.2011
		KR 10-2009-0078816 A	20.07.2009
		TW 1301698A	01.10.2008
		TW 473966 A	21.01.2002
		TW 535243 A	01.06.2003
		US 2001-0023104 A1	20.09.2001
		US 2002-0100933 A1	01.08.2002
		US 2002-0100962 A1	01.08.2002
		US 2002-0140027 A1	03.10.2002
		US 2003-0011005 A1	16.01.2003
		US 2003-0038615 A1	27.02.2003
		US 2003-0071320 A1	17.04.2003
		US 2003-0073287 A1	17.04.2003
		US 2003-0127688 A1	10.07.2003

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2010/047039**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 2003-0141522 A1	31.07.2003
		US 2004-0014451 A1	22.01.2004
		US 2004-0021173 A1	05.02.2004
		US 2004-0056364 A1	25.03.2004
		US 2004-0063269 A1	01.04.2004
		US 2004-0084721 A1	06.05.2004
		US 2004-0113202 A1	17.06.2004
		US 2004-0132252 A1	08.07.2004
		US 2004-0135201 A1	15.07.2004
		US 2004-0145015 A1	29.07.2004
		US 2004-0164386 A1	26.08.2004
		US 2004-0232481 A1	25.11.2004
		US 2004-0256690 A1	23.12.2004
		US 2005-0023607 A1	03.02.2005
		US 2005-0029618 A1	10.02.2005
		US 2005-0079676 A1	14.04.2005
		US 2005-0145934 A1	07.07.2005
		US 2005-0146372 A1	07.07.2005
		US 2005-0167742 A1	04.08.2005
		US 2005-0167848 A1	04.08.2005
		US 2005-0191794 A1	01.09.2005
		US 2005-0272209 A1	08.12.2005
		US 2005-0280126 A1	22.12.2005
		US 2005-0280161 A1	22.12.2005
		US 2006-0011962 A1	19.01.2006
		US 2006-0166473 A1	27.07.2006
		US 2006-0214221 A1	28.09.2006
		US 2006-0214222 A1	28.09.2006
		US 2006-0258081 A1	16.11.2006
		US 2007-0042551 A1	22.02.2007
		US 2007-0082441 A1	12.04.2007
		US 2007-0152729 A1	05.07.2007
		US 2008-0012071 A1	17.01.2008
		US 2008-0036056 A1	14.02.2008
		US 2008-0138953 A1	12.06.2008
		US 2008-0150020 A1	26.06.2008
		US 2008-0164519 A1	10.07.2008
		US 2008-0197407 A1	21.08.2008
		US 2008-0199997 A1	21.08.2008
		US 2008-0211012 A1	04.09.2008
		US 2010-084706 A1	08.04.2010
		US 6429481 B1	06.08.2002
		US 6469384 B2	22.10.2002
		US 6521497 B2	18.02.2003
		US 6677641 B2	13.01.2004
		US 6710403 B2	23.03.2004
		US 6710406 B2	23.03.2004
		US 6713813 B2	30.03.2004
		US 6717230 B2	06.04.2004
		US 6720642 B1	13.04.2004

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2010/047039**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 6740541 B2	25.05.2004
		US 6803626 B2	12.10.2004
		US 6818513 B2	16.11.2004
		US 6828195 B2	07.12.2004
		US 6870217 B2	22.03.2005
		US 6870220 B2	22.03.2005
		US 6906362 B2	14.06.2005
		US 6916745 B2	12.07.2005
		US 6930473 B2	16.08.2005
		US 6949410 B2	27.09.2005
		US 6953998 B2	11.10.2005
		US 6991977 B2	31.01.2006
		US 7005353 B2	28.02.2006
		US 7061066 B2	13.06.2006
		US 7118951 B2	10.10.2006
		US 7132712 B2	07.11.2006
		US 7148111 B2	12.12.2006
		US 7154168 B2	26.12.2006
		US 7195979 B2	27.03.2007
		US 7215011 B2	08.05.2007
		US 7291894 B2	06.11.2007
		US 7344943 B2	18.03.2008
		US 7345342 B2	18.03.2008
		US 7368777 B2	06.05.2008
		US 7393718 B2	01.07.2008
		US 7416948 B2	26.08.2008
		US 7429523 B2	30.09.2008
		US 7511339 B2	31.03.2009
		US 7582519 B2	01.09.2009
		US 7582956 B2	01.09.2009
		US 7595524 B2	29.09.2009
		US 7638841 B2	29.12.2009
		US 7652326 B2	26.01.2010
		US 7736978 B2	15.06.2010
		US 7855415 B2	21.12.2010
		WO 02-061832 A1	08.08.2002
		WO 03-019761 A1	06.03.2003
		WO 03-034470 A2	24.04.2003
		WO 03-034470 A3	24.04.2003
		WO 2004-019380 A2	04.03.2004
		WO 2004-019380 A3	04.03.2004
		WO 2004-105090 A2	02.12.2004
		WO 2004-105090 A3	02.12.2004
		WO 2008-147437 A1	04.12.2008
US 2007-0249142 A1	25.10.2007	CN 100580951 C	13.01.2010
		CN 101060132 A	24.10.2007
		CN 101060132 C0	24.10.2007
		DE 102007017833 A1	25.10.2007
		JP 04-182986 B2	19.11.2008

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2010/047039**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		JP 2007-288026 A	01.11.2007
US 2005-0184336 A1	25.08.2005	DE 102005002778 A1	01.09.2005
		JP 2005-260199 A	22.09.2005
		US 2007-0207597 A1	06.09.2007
		US 2010-0022075 A1	28.01.2010
		US 2010-022075 A1	28.01.2010
		US 7262459 B2	28.08.2007
		US 7605061 B2	20.10.2009
		US 7888243 B2	15.02.2011

## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 5 2 K
	H 0 1 L 29/78	6 5 8 E
	H 0 1 L 29/78	6 5 2 N
	H 0 1 L 29/06	3 0 1 D
	H 0 1 L 29/06	3 0 1 V

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

- (72) 発明者 パタナヤク、ディバ  
 アメリカ合衆国 9 5 0 7 0 カリフォルニア州 サラトガ、ブルックヘブン ドライブ 1 9 1  
 2 3
- (72) 発明者 チェン、クオ - イン  
 アメリカ合衆国 9 4 0 2 4 カリフォルニア州 ロス アルトス、ニューキャッスル ドライブ  
 1 6 7 3
- (72) 発明者 チャウ、テ - ツ  
 アメリカ合衆国 カリフォルニア州 9 5 1 3 2、サン ノゼ、エル グランド ドライブ 3 6  
 0 5
- (72) 発明者 シ、シャロン  
 アメリカ合衆国 9 5 1 2 3 カリフォルニア州 サン ノゼ、ノヨ ドライブ 1 6 7
- (72) 発明者 チェン、クフェイ  
 アメリカ合衆国 9 5 1 2 9 カリフォルニア州、サン ノゼ、ドイル ロード 7 9 8