

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5346578号
(P5346578)

(45) 発行日 平成25年11月20日(2013.11.20)

(24) 登録日 平成25年8月23日(2013.8.23)

(51) Int.Cl.	F I
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 L
HO 1 L 25/18 (2006.01)	HO 1 L 25/08 B
HO 1 L 25/07 (2006.01)	HO 1 L 25/14 Z
HO 1 L 25/065 (2006.01)	
HO 1 L 25/11 (2006.01)	

請求項の数 11 (全 26 頁) 最終頁に続く

(21) 出願番号	特願2008-504377 (P2008-504377)	(73) 特許権者	506164899
(86) (22) 出願日	平成18年3月31日(2006.3.31)		スタッツ・チップパック・リミテッド
(65) 公表番号	特表2008-535264 (P2008-535264A)		STATS CHIP PAC LTD.
(43) 公表日	平成20年8月28日(2008.8.28)		シンガポール、768442 シンガポ
(86) 国際出願番号	PCT/US2006/011712		ール、イーシュン・ストリート、23、5
(87) 国際公開番号	W02006/118720	(74) 代理人	100064746
(87) 国際公開日	平成18年11月9日(2006.11.9)		弁理士 深見 久郎
審査請求日	平成21年3月27日(2009.3.27)	(74) 代理人	100085132
(31) 優先権主張番号	60/667, 277		弁理士 森田 俊雄
(32) 優先日	平成17年3月31日(2005.3.31)	(74) 代理人	100083703
(33) 優先権主張国	米国 (US)		弁理士 仲村 義平
(31) 優先権主張番号	60/692, 183	(74) 代理人	100096781
(32) 優先日	平成17年6月20日(2005.6.20)		弁理士 堀井 豊
(33) 優先権主張国	米国 (US)	(74) 代理人	100098316
			弁理士 野田 久登

最終頁に続く

(54) 【発明の名称】 半導体アセンブリおよびその作製方法

(57) 【特許請求の範囲】

【請求項1】

ダイアタッチ面およびランド面を有する第1基板を含む第1パッケージであって、前記第1基板の前記ダイアタッチ面に貼付されかつそれと電氣的に相互接続された少なくとも1つのダイを含む前記第1パッケージと、

第2基板とを有する半導体アセンブリにおいて、

前記第1パッケージが前記第2基板に対して反転され、前記第1パッケージおよび前記第2基板のz相互接続が前記第1基板と前記第2基板とを接続するワイヤボンドによって行なわれ、前記半導体アセンブリの片側で前記第2基板が露出し、前記半導体アセンブリの反対側で前記第1基板の一部が露出するように、前記半導体アセンブリがさらに封止され、それによって、第2レベル相互接続および追加コンポーネントとの相互接続が行なわれ、前記追加コンポーネントが光センサダイを含み、該光センサダイは、前記第1パッケージの前記露出した部分の上、または、前記第2基板の露出した表面の上に取付けられるとともに、透明のカバーによって覆われており、

前記第1パッケージは、前記第1基板の前記ダイアタッチ面に垂直な側面のそれぞれに連続し該側面と同じ面内にある垂直壁を有する成形コンパウンドにより封止され、前記成形コンパウンドは、前記少なくとも1つのダイを含めて封止している、半導体アセンブリ。

【請求項2】

前記第2基板の前記露出したランド面に第2レベル相互接続をさらに備えた、請求項1

に記載の半導体アセンブリ。

【請求項 3】

前記第 1 パッケージ基板の前記ランド面の前記露出した一部分に第 2 レベル相互接続をさらに備えた、請求項 1 に記載の半導体アセンブリ。

【請求項 4】

前記第 2 基板がランドグリッドアレイパッケージである、請求項 1 に記載の半導体アセンブリ。

【請求項 5】

前記第 1 パッケージがマトリックス成形されソー分離されたチップスケールパッケージである、請求項 1 に記載の半導体アセンブリ。

10

【請求項 6】

アセンブリ封止をさらに備えた、請求項 1 に記載の半導体アセンブリ。

【請求項 7】

前記第 1 パッケージが積層ダイチップスケールパッケージである、請求項 1 に記載の半導体アセンブリ。

【請求項 8】

前記第 1 パッケージの前記ダイがワイヤボンディングによって第 1 パッケージ基板と相互接続される、請求項 1 に記載の半導体アセンブリ。

【請求項 9】

前記第 1 パッケージの前記ダイがフリップチップ相互接続によって前記第 1 パッケージ基板と相互接続される、請求項 1 に記載の半導体アセンブリ。

20

【請求項 10】

半導体アセンブリを作製するための方法であって、

LGA 基板を提供するステップと、分離されたチップスケールパッケージを提供するステップと、

前記チップスケールパッケージの成形物の表面上に接着剤を塗布するステップと、前記チップスケールパッケージを反転させ、前記反転したチップスケールパッケージを前記 LGA 基板上に載置するステップと、

前記接着剤を硬化させるステップと、前記チップスケールパッケージのランド面にプラズマ洗浄を実行するステップと、

30

ワイヤボンディングにより前記 LGA 基板と前記チップスケールパッケージのランド面との間に z 相互接続を形成するステップと、

プラズマ洗浄を実行するステップと、

成形作業を実行して、前記 LGA 基板のランド面および前記チップスケールパッケージのランド面の周縁領域内に位置する領域を露出したまま残しながら、前記 LGA の 1 面、z 相互接続ワイヤボンドおよびワイヤループ、前記チップスケールパッケージの縁部、ならびに前記チップスケールパッケージのランド面上の周縁領域を封止するステップと、

第 2 レベル配線ソルダボールを前記チップスケールパッケージの前記露出領域の部位に取り付けるステップと、

前記 LGA 基板の前記露出領域に追加コンポーネントを貼付して電氣的に接続するステップとを含み、

40

前記チップスケールパッケージは、ダイアタッチ面およびランド面を有する第 1 基板と、この第 1 基板の前記ダイアタッチ面に貼付されかつそれと電氣的に相互接続された少なくとも 1 つのダイを含むとともに、前記第 1 基板のそれぞれの側面を共有する 2 つの垂直壁を有する成形コンパウンドにより封止され、前記成形コンパウンドは、前記少なくとも 1 つのダイを含めて封止し、

前記追加コンポーネントは、前記 LGA 基板の前記露出領域の上に取付けられ、かつ透明カバーによって覆われた光センサダイである、方法。

【請求項 11】

半導体アセンブリを作製するための方法であって、LGA 基板を提供するステップと、

50

分離されたチップスケールパッケージを提供するステップと、

前記チップスケールパッケージの成形物の表面上に接着剤を塗布するステップと、前記チップスケールパッケージを反転させ、前記反転したチップスケールパッケージを前記LGA基板上に載置するステップと、前記接着剤を硬化させるステップと、

前記チップスケールパッケージのランド面にプラズマ洗浄を実行するステップと、

ワイヤボンディングにより前記LGA基板と前記チップスケールパッケージのランド面との間にz相互接続を形成するステップと、プラズマ洗浄を実行するステップと、

成形作業を実行して、前記LGA基板のランド面および前記チップスケールパッケージのランド面の周縁領域内に位置する領域を露出したまま残しながら、前記LGAの1面、z相互接続ワイヤボンドおよびワイヤループ、前記チップスケールパッケージの縁部、な
らびに前記チップスケールパッケージのランド面上の周縁領域を封止するステップと、

第2レベル配線ソルダボールを前記LGA基板の前記露出領域の部位に取り付けるステップと、

前記チップスケールパッケージの前記露出領域に追加コンポーネントを貼付して電氣的に接続するステップとを含み、

前記チップスケールパッケージは、ダイアタッチ面およびランド面を有する第1基板と、この第1基板の前記ダイアタッチ面に貼付されかつそれと電氣的に相互接続された少なくとも1つのダイを含むとともに、前記第1基板のそれぞれの側面を共有する2つの垂直壁を有する成形コンパウンドにより封止され、前記成形コンパウンドは、前記少なくとも1つのダイを含めて封止し、

前記追加コンポーネントは、前記チップスケールパッケージの前記露出領域の上に取付けられ、かつ透明カバーによって覆われた光センサダイである、方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本願は、両方とも「Encapsulant cavity integrated circuit package system」と称し、かつ両方ともSTATS ChipPAC Ltd. に譲渡された、2005年3月31日出願の米国特許仮出願第60/667,277号の優先権を主張する2006年1月4日出願の米国特許出願第11/306,628号の一部係属出願である。本願はまた、「Semiconductor assembly including chip scale package and second substrate and having exposed substrate surfaces on upper and lower sides」と称する2005年6月20日出願の米国特許仮出願第60/692,183号の優先権をも主張する

本願は、各々2006年1月4日に出願され、かつ全てSTATS ChipPAC Ltd. に譲渡された、米国特許出願第11/306,627号、米国特許出願第11/326,211号、および米国特許出願第11/326,206号に関連する対象を含む。

【0002】

本願は、両方とも2006年3月31日に出願され、かつ両方ともSTATS ChipPAC Ltd. に譲渡された、米国特許出願第11/397,027号、および米国特許出願第11号/394,635号に関連する。

【背景技術】

【0003】

背景

本発明は半導体実装に関する。

【0004】

携帯電話機、モバイルコンピューティング、および様々な消費者製品のような携帯電子

10

20

30

40

50

製品は、最低コストで限られた設置面積ならびに最小限の厚さおよび重量に高い半導体機能および性能を要求する。他の製品の内、特にページャ、携帯電話、およびパーソナルコンピュータのような装置では、実装空間は限定され、あるいは貴重であり、大きいパッケージ設置面積（ $x - y$ 次元）は望ましくない。このため、当業界は個々の半導体チップの高集積化、および「 z 軸」上の集積化の実現、つまりチップを積層することによって、またはダイパッケージを積層することによって、積層型パッケージアセンブリ（積層型マルチパッケージモジュール）を形成することを迫られてきた。

【0005】

積層型パッケージアセンブリは、最小限の設置面積および厚さを有するアセンブリに高度の機能統合を提供する必要がある用途に使用される。セルラ電話機のような携帯通信装置は、特に通信装置が例えば画像、音声、または映像の取込みおよび表示または再生の能力を含む場合、そのような用途の1例である。

10

【0006】

統合することが望ましい機能の例として、デジタル信号（DSP）、ASIC、グラフィックス（GPU）をはじめとする様々なプロセスのための装置、フラッシュ（NAND）、フラッシュ（NOR）、SRAM、DRAM、MRAMをはじめとする様々なメモリ、メモリ付き光センサをはじめとする画像および映像キャプチャ、プロセッサおよびメモリ付き微小電気機械システム（MEMS）が挙げられる。

【0007】

積層型パッケージアセンブリにおけるパッケージ間の z 配線は、製造可能性、設計の柔軟性、およびコストの観点から重要な技術である。積層型パッケージアセンブリは、ワイヤボンディング、またはソルダボール、またはフリップチップ相互接続を使用して z 方向にそれらを積層し電氣的に相互接続することによって、チップおよびパッケージを一体化する。

20

【0008】

積層パッケージは多数の利点をもたらすことができる。特に、性能を最大化しかつコストを最小化するために、ワイヤボンディングまたはフリップチップなど、チップの型および構成にとって最も効率的な第1層配線技術を使用して、各ダイまたは2つ以上のダイをそれぞれのパッケージに積重ねて実装することができる。

【0009】

パッケージが積層される前に、コンポーネントが満足できる性能を示さない限り、それを拒絶することができるように、積層コンポーネント（ダイまたはパッケージ）を電氣的に検査できることが望ましい。これにより、最終積層型パッケージアセンブリの歩留まりを最大化することが可能になる。この利点を実際実現するためには、確立された検査インフラストラクチャを用いて検査可能であるように、パッケージを構成しなければならない。一般的に、個々のダイを検査することによりダイ上の相互接続パッドに損傷を引き起こすことがあり得るので、実装されたダイを検査する方が、個々のダイを検査するより好ましい。

30

【0010】

しばしば、製品の製造者は（特に、例えば製品がセルラ電話機のような携帯通信装置である場合）、アセンブリを嵌め込まなければならない空間の寸法を決定する。つまり、製造者は、指定された機能を有するアセンブリが、特定の仕様内の全体的設置面積（長さおよび幅）ならびに厚さを持つことを要求する。そのような制限を提示されて、設計者は、厚さおよび設置面積の制限内で機能の要求を満たすパッケージならびに積層設計およびプロセスを、コストの制限内で選択することができなければならない。

40

【0011】

したがって、機能設計者に設計の柔軟性を提供するマルチパッケージ積層構造および積層プロセスを選択することが望ましい。特に、例えば、設計者は、構造またはプロセスを設計し直す必要なく、多種多様な利用可能な製造供給者のいずれかからのパッケージまたはチップを選択し、コンポーネントコストを最小化し、アセンブリ内のチップまたはパッケージの型の変更を行ない、変更したアセンブリの適格性を評価し直す必要性を回避し、

50

かつ表面実装組立てフロアにおいて最終製品段階でアセンブリ積層プロセスを完了して、市場によって要求される製品構成を最短の実質的な商品化時間で可能にするための柔軟性を持つ必要がある。

【 0 0 1 2 】

目まぐるしく変化する市場の要求に応えるには、課題が提示されることがあり得る。例えば、セルラ電話機のような消費者装置を設計するための一般的時間枠は通常、市場の変化の時間枠より長い。消費者装置に特定の機能が望ましい（例えばセルラ電話機のウェブブラウジング機能）という認識が産業界に広まるかもしれない、設計者はその機能をアセンブリに組み込むかもしれない。次いで、まもなく市場における需要は認識されたほどではないことが明らかになるかもしれない、その機能を除去するかあるいはそれを選択肢として市場に提示することが望ましいかもしれない。したがって、「オンザフライ」で装置を構成する、つまり、アセンブリ全体を設計し直す必要なく装置の機能を追加または除去することができることが望ましい。

10

【 0 0 1 3 】

また、産業界で移動通信装置（例えばセルラ電話機）およびコンピュータのような製品を組み立てるために使用される表面実装組立て方法を用いて、例えばメモリ（フラッシュ、SRAM、DRAM）のような既製品の実装チップを、アセンブリ内の他のパッケージ上に積層することができることも望ましい。特に製品用のメモリは、異なる機能に対しては異なる型とすることができる。例えばセルラ電話機に画像取込み機能を希望する場合、高速メモリ（DRAM）が要求されるかもしれない。

20

【 0 0 1 4 】

積層型パッケージアセンブリに使用されるパッケージおよび製造プロセスは、選択された構造に対し選択されたプロセスを使用して、パッケージの物理的積層およびそれらの間の電気的相互接続の形成の両方が可能となるように構成しなければならない。

【 0 0 1 5 】

積層型マルチパッケージアセンブリは一般的に2つのカテゴリ、すなわちいわゆる「パッケージオンパッケージ」（POP）アセンブリおよびいわゆる「パッケージインパッケージ」（PIP）アセンブリに分類される。

【 0 0 1 6 】

2層POPマルチパッケージモジュールの例は、例えば2003年10月8日に出願された同時係属米国特許出願第10/681,572号に示されている。1つの例では、第1パッケージ（「ボトム」パッケージと呼ばれる）は標準BGAに類似しており、BGA基板のダイアタッチ面（「上」面）に貼付されそれと電気的に接続されたダイを有し、ダイおよび電気接続を被覆するが基板のダイアタッチ面の周縁領域を露出したまま残すモールドキャップを提供するように成形されたキャビティである。ボトムパッケージ基板のダイアタッチ面とは反対側の面（「下」面であり、「ランド」面と呼ばれることもある）には、例えばマザーボードのような下位回路構成とのモジュールの第2レベルの相互接続のために、ソルダボールが設けられる。第2パッケージ（「トップ」パッケージと呼ばれる）はボトムパッケージ上に積層され、それもまた、トップパッケージのランド面に設けられたソルダボールが、ボトムパッケージのダイアタッチ面の露出した周縁領域の相互接続部位に載置されるように、トップパッケージ基板の周辺に配設されることを除いては、同じく標準BGAに類似する。周辺に配設されたボールが、ボトムパッケージの周辺に配置された配線部と接触し、次いでその上にリフローすると、それらはボトムBGAのモールドキャップと干渉することなくz相互接続を達成する。トップパッケージのダイおよび電気接続もまた封止される。

30

40

【 0 0 1 7 】

POPモジュールに使用されるz配線の型は、z配線ボール用の整合パッドを考慮しながらトップおよびボトムパッケージ基板を設計する必要がある。パッケージの1つを、基板が異なるパッド配列（異なるサイズまたは異なる設計）を有するものに交換した場合には、それに応じて他のパッケージの基板を再構成しなければならない。これは、マルチパ

50

ッケージモジュールの製造コストの増大につながる。P o P構成では、トップおよびボトムパッケージ間の距離は、ボトムパッケージの封止高さと同程度の大きさでなければならず、それは0.25mm以上とすることができ、通常は0.5mmから1.5mmの範囲内であり、ダイの個数によって異なり、かつダイ基板間の電気接続がフリップチップまたはワイヤボンドのいずれによって行なわれるかによって異なる。例えば、ボトムパッケージの単一ワイヤボンドダイに対しては、300µmのモールドキャップが一般的に75µm厚さのダイを収容することができる。したがって、z配線ソルダボールは、それらがリフローしたときに、トップパッケージ基板のランド面とボトムパッケージモールドキャップの上面とが接触することなく、ボトムBGAのボンディングパッドと適正に接触するように十分に大きい直径としなければならない。つまり、ソルダボールの直径は、ソルダボールがリフロー中に潰れることを可能にする量さらにボールと基板との間の非共平面性許容量だけ、封止高さより大きくなければならない。潰れたボールの高さとボトムモールドキャップの高さとの間の典型的な設計差（追加離間距離）は約25µmである。例えば約300µmの厚さを有するモールドキャップの場合、300µmより大きいz配線ソルダボールを使用しなければならない。大きいボール直径は大きいボールピッチを必要とする（一般的に、例えば300µmのボールの場合、約0.65mmのピッチ）。それは次に、ボトムパッケージ基板の周辺の利用可能な空間に嵌め込むことのできるボールの個数を制限する。さらに、ソルダボールの周辺配置は、ボトムBGAを標準BGAのモールドキャップよりかなり大きくすることを強制する。また、ソルダボールの周辺配置は全体的なパッケージサイズをも増大する（サイズはボールの列数およびボールピッチに応じて増大する）。標準BGAでは、本体サイズはモールドキャップより約2～3mmも大きくすることができる。さらに、P o P構成のトップパッケージは、たとえそれがずっと少数の配線を持つ小さいチップを含む場合でも、ボトムパッケージに匹敵するサイズにしなければならない。ボール取付け（例えばボールの追加列）用により大きい面積を提供するためにパッケージの設置面積を増大すると、特定の用途に対するサイズ制限を越えるかもしれない。用途によっては、P o P構成でボトムパッケージに2つのダイを積層することは、ボトムモールドキャップをいっそう厚くし、上述した問題を悪化させるので、非現実的であるかもしれない。

【0018】

トップおよびボトムパッケージ基板の上向き面の間ワイヤボンドによるz相互接続を有する2層PiPモジュールの例は、例えば2003年8月2日に出願された同時係属米国特許出願第10/632,549号および2003年10月8日に出願された同時係属米国特許出願第10/681,572号に開示されている。PiP構成では、トップパッケージはボトムパッケージと同一方向に向けることができ（すなわち、両方のパッケージ基板のダイアタッチ面が同一方向を向く）、あるいはトップパッケージはボトムパッケージに対して逆向きにすることができる（すなわち、それぞれのパッケージ基板のダイアタッチ面が互いの方向を向く）。第2レベルの配線ソルダボールは、モジュールを例えばマザーボードのような下位回路構成と接続するために、ボトムパッケージ基板のランド面に設けられる。トップパッケージが逆向きにされる構成では、z相互接続ワイヤボンドは、トップ基板のランド面のワイヤボンド部を、ボトムパッケージ基板のダイアタッチ面の周辺に配置されたワイヤボンド部位と接続する。トップおよびボトムパッケージが同様に向けられる場合、z相互接続ワイヤボンドは、トップ基板のダイアタッチ面の周辺に配置されたワイヤボンド部位を、ボトムパッケージ基板のダイアタッチ面の周辺に配置されたワイヤボンド部位と接続する。どちらの構成でも、ワイヤボンドプロセスに対応するために、トップパッケージはボトムパッケージより小さく（z相互接続を有する各周縁で少なくとも0.5mmだけ狭くかつ/または短く）しなければならない。

10

20

30

40

50

【0019】

P o PモジュールまたはP i Pモジュールは、トップパッケージおよびパッケージ間のワイヤボンダ配線を全体的に被覆するようにオーバモールドすることによって完成する。ひとたびモジュールがオーバモールドされると、それ以上統合を行なうことはできない。すなわち、設計者は製品組立てレベルで（すなわち表面実装組立てフロアで）アセンブリを再構成する柔軟性を持たず、相手先商標製品製造供給者は、コスト削減のために様々な供給者からの様々なパッケージをうまく組み合わせることができない。

【発明の開示】

【課題を解決するための手段】

【0020】

概要

本発明は、ダイおよび基板を含む第1パッケージを有し、かつ第1パッケージ上に積層された第2基板を有する半導体アセンブリに関する。第1パッケージは、第1パッケージ基板のダイアタッチ面に貼付されかつそれと電気的に相互接続された、少なくとも1つのダイを含む。第1パッケージ基板のダイアタッチ面とは反対側の面は、基板の「ランド」面と呼ばれることがある。L G A基板とすることのできる第2基板は、第1パッケージ基板のダイアタッチ面と対面する第1面と、第1パッケージ基板のダイアタッチ面とは反対の方向を向く第2面（それは第2基板の「ランド」面とも呼ばれる）とを有する。したがって、基板の「ランド」面は互いに外方を向く。第1パッケージおよび第2基板のz相互接続は、第1パッケージ基板および第2基板を接続するワイヤボンダによって行なわれる。

【0021】

一般的に、本発明では、アセンブリは、第2パッケージ基板（アセンブリの片側）および第1パッケージ基板の一部（アセンブリの反対側）が両方とも露出するように封止されるので、第2レベルの相互接続および追加コンポーネントとの相互接続を行なうことができる。

【0022】

本発明の1態様では、第1パッケージは、マトリックス成形されソー分離されたC S Pのようなチップスケールパッケージ（C S P）である。第1パッケージと第2基板との間のz相互接続は、C S Pのランド面の周縁領域のワイヤボンダ部位と第2基板の第1面の周縁領域に周辺配置されたワイヤボンダ部位との間のワイヤボンダによる。ワイヤボンダのスパンを受け入れるために、第2基板はC S Pパッケージ基板より大きい（つまり幅広であるか長い、あるいはその両方である）。アセンブリ封止は第2基板の第1面の周縁領域を被覆し、z相互接続ワイヤボンダおよびワイヤループ、C S Pの縁部、ならびにC S Pのランド面の周縁領域を封入する。したがって、第2基板のランド面、および周縁領域内に位置するC S P基板のランド面の領域は両方とも、露出状態に残される。

【0023】

一部の実施形態では、C S Pは積層ダイC S Pである。一部の実施形態では、L G Aは積層ダイL G Aである。一部の実施形態では、C S PのダイはワイヤボンディングによってC S P基板と相互接続され、あるいはC S Pのダイはフリップチップ相互接続によってC S P基板と相互接続される。一部の実施形態では、L G Aのダイはワイヤボンダ相互接続によってL G A基板と相互接続され、あるいはL G Aのダイはフリップチップ相互接続によってL G A基板と相互接続される。

【0024】

本発明の1つの一般的態様では、アセンブリのC S P面は第2レベル配線面である。すなわち、下位回路構成（例えばマザーボードのような）に対するアセンブリの第2レベル相互接続は、C S P基板のランド面の露出領域のランドでソルダボール（または他の電気接続の手段）によって行なわれる。したがって、L G A基板の露出したランド面は、アセンブリ上に積層することのできる追加コンポーネントとの相互接続に利用可能である。その上、さらなる態様では、本発明は、アセンブリの片側で露出している第2基板とアセン

10

20

30

40

50

ブリの反対側で露出しているCSPパッケージ基板の一部分との両方を有し、かつCSPパッケージ基板の露出部に形成される第2レベルの相互接続、および露出した第2パッケージ基板における1つまたはそれ以上の追加コンポーネントとの相互接続を含む、半導体アセンブリを特徴とする。一部の実施形態では、ヒートスプレッドが第2基板の露出したランド面上に取り付けられる。一部の実施形態では、追加コンポーネントは、積層ダイBG Aとすることのできるボールグリッドアレイ(BGA)パッケージ、または積層ダイLGAとすることのできる追加LGA、または積層ダイクワッドフラットパッケージ(SDQFP)とすることのできるクワッドフラットパッケージ(QFP)、または積層ダイクワッドフラットパッケージ(SDQFN)とすることのできるクワッドフラットノンリード(QFN)パッケージもしくはリードフレームチップスケールパッケージ(LFCSSP)、またはオーバモールドすることのできるワイヤボンダイ(もしくはワイヤボンダイのスタック)、またはフリップチップダイ、または光センサパッケージ、または微小電気機械センサ(MEMS)パッケージのうち1つまたはそれ以上を含み、追加コンポーネントは追加的に1つまたはそれ以上の受動デバイスを含むことができる。一部の実施形態では、ヒートスプレッドが第2基板の露出したランド面上に取り付けられる。

【0025】

本発明の別の一般的な態様では、アセンブリのLGA側は第2レベル配線側である。すなわち、下位回路構造(例えばマザーボードのような)に対するアセンブリの第2レベル相互接続は、LGA基板のランド面の露出した領域のランドにおけるソルダボール(または他の電気接続の手段)によって行なわれる。したがって、CSP基板の露出したランド面は、アセンブリ上に積層することのできる追加コンポーネントとの相互接続に利用可能である。その上、さらなる態様では、本発明は、アセンブリの片側で露出している第2基板とアセンブリの反対側で露出しているCSPパッケージ基板の一部分との両方を有し、かつLGAパッケージ基板の露出部に形成される第2レベル相互接続、および露出したCSPパッケージ基板における1つまたはそれ以上の追加コンポーネントとの相互接続を含む、半導体アセンブリを特徴とする。一部の実施形態では、追加コンポーネントは、積層ダイBG Aとすることのできるボールグリッドアレイ(BGA)パッケージ、または積層ダイLGAとすることのできるLGA、または積層ダイクワッドフラットパッケージ(SDQFP)とすることのできるクワッドフラットパッケージ(QFP)、または積層ダイクワッドフラットパッケージ(SDQFN)とすることのできるクワッドフラットノンリード(QFN)パッケージもしくはリードフレームチップスケールパッケージ(LFCSSP)、またはオーバモールドすることのできるワイヤボンダイ(もしくはワイヤボンダイのスタック)、またはフリップチップダイ、または光センサパッケージ、または微小電気機械センサ(MEMS)パッケージのうち1つまたはそれ以上を含み、追加コンポーネントは追加的に1つまたはそれ以上の受動デバイスを含むことができる。一部の実施形態では、ヒートスプレッドがLGAパッケージの露出したランド面上に取り付けられる。

【0026】

本発明の別の態様では、半導体アセンブリを作製するための方法は、好ましくは検査で「適正」と判定された分離CSPを提供するステップと、「適正」なCSPのモールドキャップの表面に接着剤を塗布するステップと、第2基板を提供するステップと、「適正」なCSPを反転し、反転されたCSPを、接着剤が第2基板の第1面に接触する状態で第2基板の第1面上に配置するステップと、接着剤を硬化させるステップと、プラズマ洗浄を実行するステップと、ワイヤボンディングを行なって、第2基板の第1面とCSPのランド面との間のz相互接続を形成するステップと、プラズマ洗浄を実行するステップと、成形作業を実行して基板の第1面、z相互接続ワイヤボンダイおよびワイヤループ、CSPの縁部、ならびにCSPのランド面の周縁領域を封入し、第2基板の第2(「ランド」)面およびCSP基板のランド面の周縁領域内に位置する部分を露出したまま残すステップと、第2レベル配線ソルダボールをCSP基板の露出領域の部位に取り付けるステップと、(第2基板が帯状体または配列体として提供された場合)ソー分離して単位アセンブリ

10

20

30

40

50

を完成するステップとを含む。

【0027】

一部の実施形態では、該方法はさらに、第2基板の露出したランド面に追加コンポーネントを貼付しかつ電氣的に接続することを含む。単数または複数の追加コンポーネントは、積層型パッケージアセンブリの製造のさらなるステップとしてアセンブリ上に装着することができ、あるいは単数または複数の追加コンポーネントは、最終製品組立てフロアでアセンブリ上に装着することができる。

【0028】

本発明の別の態様では、半導体アセンブリを作製するための方法は、好ましくは検査で「適正」と判定された分離CSPを提供するステップと、「適正」なCSPのモールドキャップの表面に接着剤を塗布するステップと、第2基板を提供するステップと、「適正」なCSPを反転し、反転されたCSPを、接着剤が第2基板の第1面に接触する状態で第2基板の第1面上に配置するステップと、接着剤を硬化させるステップと、プラズマ洗浄を実行するステップと、ワイヤボンディングを行なって、第2基板の第1面とCSPのランド面との間のz相互接続を形成するステップと、プラズマ洗浄を実行するステップと、成形作業を実行して基板の第1面、z相互接続ワイヤボンディングおよびワイヤループ、CSPの縁部、ならびにCSPのランド面の周縁領域を封入し、第2基板の第2（「ランド」）面およびCSP基板のランド面の周縁領域内に位置する部分を露出したまま残すステップと、第2レベル配線ソルダボールを第2（LGA）基板の露出したランド面の部位に取り付けるステップと、（第2基板が帯状体または配列体として提供された場合）ソー分離して単位アセンブリを完成するステップとを含む。

【0029】

一部の実施形態では、該方法はさらに、第2基板の露出したランド面に追加コンポーネントを貼付しかつ電氣的に接続することを含む。本発明に係る積層型パッケージアセンブリは、コンピュータ、通信機器、ならびに消費者装置および産業用電子機器を作成するために使用することができる。

【0030】

本発明に係るアセンブリでは、第2基板がz相互接続のために第1面で露出したワイヤボンディング部位およびアセンブリ検査および/または追加コンポーネントの相互接続のためにランド面で露出した部位を有する限り、第2基板は多種多様な基板のいずれかを含むことができる。アセンブリは多種多様なLGA基板のいずれかを含むことができる。アセンブリはワイヤボンディングパッケージおよび/またはフリップチップパッケージを含むことができる。アセンブリは、アセンブリ内または上の1つまたはそれ以上のヒートスプレッドによって可能になる熱増強機能を含むことができる。アセンブリは、積層するか横に並べた2つ以上のダイをパッケージ内に有する1つまたはそれ以上のBGAおよび/またはLGAを含むことができる。アセンブリは1つまたはそれ以上のパッケージ用の電磁シールドを含むことができる。アセンブリは、z配線パッドが第1パッケージおよび第2基板の周辺領域のボンディングに利用可能であることを前提として、ラミネートまたはビルドアップまたはフレキシブルまたはセラミックなど、任意の基板を含むことができる。

【0031】

本発明は、薄型で設置面積の小さい積層型パッケージモジュールを生産するのに優れた製造可能性、高い設計柔軟性、および低コストを達成する。

【0032】

CSPおよび基板は当業界の標準であり、最低コストおよび最大幅の選択の利用可能性が達成される。これは、積層するパッケージの選択、およびしたがってアセンブリに組み込むことのできる機能の種類にかなりの柔軟性をもたらす。

【0033】

典型的な単一ワイヤボンディングダイのCSPの厚さは0.8mmである。本発明に係るCSP上への第2基板の積重ねは、10~50ミクロン範囲の仕上げ厚さを有する接着剤を使用して完成することができる。この構造は、追加コンポーネント（パッケージまたはダイ

10

20

30

40

50

または受動デバイス)を積層するのに幅広く役立つプラットフォームを提供する。本発明に係るアセンブリの設置面積は、スタックの最大チップサイズによって決定される。ワイヤボンディング配線は、基板の金属縁部に短絡することなくワイヤを受け入れるために、一般的にボトムCSPを第2基板より約0.5mmないし1.0mmだけ小さくする必要がある。選択されたボトムCSPパッケージがトップ基板よりかなり小さい場合、ワイヤボンディングは、少なくとも8mm以上までのサイズ差を受け入れることができる。したがって所与の選択されたCSPに対し、これはCSPよりかなり大きい設置面積を有するトップ基板の選択を可能にする。これは、設計者がアセンブリ上に積層する追加コンポーネントを選択するのにかなりの柔軟性を提供する。

【0034】

本発明に係る積層型パッケージアセンブリは、コンピュータ、通信機器、ならびに消費者装置および産業用電子機器を作成するために使用することができる。

【発明を実施するための最良の形態】

【0035】

詳細な説明

本発明について、本発明の代替実施形態を示す図面を参照することによってさらに詳細に説明する。図面は、本発明の特徴および他の特徴および構造に対するそれらの関係を示す略図であり、縮尺通りではない。提示の明確さを向上するために、本発明の実施形態を示す図において、他の図面に示す要素に対応する要素の符号表示を特に全部繰り返してはいないが、全ての図でそれらは全部容易に識別することができる。

【0036】

本書の所々で、「水平」、「垂直」、「上」、「上面」、「下」、「上側」、「下側」、「トップ」、「ボトム」、「上方」、「下方」等のような相対的方向性の用語は、図に示す特徴の相対的方向性に関連して使用することができる。理解される通り、本発明に係る様々なアセンブリは、使用中または処理中に、任意の方向性に維持することができる。

【0037】

本書で言及する、上述または下述の全ての特許および特許出願は、参照によって本書に援用する。

【0038】

図1に目を向けると、第1(「ボトム」)パッケージおよび第1パッケージ上に積層された第2(「トップ」)基板を含み、パッケージおよび第2基板がワイヤボンディングによって相互接続された、本発明の1態様に係る半導体アセンブリの実施形態が略断面図で一般的に1に示されている。図1に示す実施形態では、ボトムパッケージ100は従来のチップスケールパッケージ(「CSP」)である。したがって、この実施形態では、ボトムパッケージ100は、少なくとも1つの金属層(「インタポーザ」と呼ばれることがある)を有するボトムパッケージ基板112上に取り付けられたダイ114を含む。基板は、例えば2~6金属層を持つラミネート、または4~8金属層を持つビルドアップ基板、または1~2金属層を持つフレキシブルポリイミドテープ、またはセラミック多層基板を含め、様々な型のいずれかを使用することができる。図1に実施例として示すボトムパッケージ基板112は、各々が適切な回路構成を提供するようにパターン形成されかつビア122を介して接続される、2つの金属層121、123を有する。ダイは従来、図1に113で示され一般的にダイアタッチエポキシと呼ばれる接着剤を用いて、基板の表面に取り付けられ、図1の構成では、ダイが取り付けられる基板の面(「ダイアタッチ」面)を「上」面と呼ぶことができ、その面上の金属層は「上部」金属層と呼ぶことができるが、ダイアタッチ面は使用時に特定の方向性を持つ必要は無い。

【0039】

図1の第1CSPパッケージで、ダイは基板の上部金属層上のワイヤボンディング部位にワイヤボンディングされて電気接続を確立する。ダイ114およびワイヤボンディング116は、周囲からおよび機械的応力からの保護を提供して取扱い作業を容易化しかつ第2パッケージをその上に積層することのできる第1パッケージ上面129を提供する成形コンパウンド

10

20

30

40

50

117で、マトリックス成形およびソー分離によって封止される。ボンディングパッド119は、例えばマザーボード(図示せず)の下位回路構造へのアセンブリの第2レベル相互接続のために、基板112の下部金属層123に設けられる。ソルダマスク115、127は、電気接続のために下にある金属のボンディング部位を露出させるように、例えばワイヤボンド116およびソルダボール318(図3に示すように)を結合するためにワイヤボンド部位およびボンディングパッドを露出させるように、金属層121、123上にパターン形成される。

【0040】

依然として図1を参照すると、第1面および第2面を有する第2(「トップ」)基板10は、基板誘電体12および少なくとも1つの金属層を含む。様々な基板の型のいずれかを使用することができる。図1に実施例として示す基板10は、各々が適切な回路構成を提供するようにパターン形成されかつビア22を介して接続される、2つの金属層21、23を有する。アセンブリの第1パッケージの方を向く第2基板の面は第1面と呼ばれ、反対側すなわち第2面または「ランド」面は、アセンブリの第1パッケージとは反対側を向く。

10

【0041】

図1の実施形態の第2基板10では、金属層21、23の上にソルダマスク15、27がパターン形成されて、下にある金属の電気接続用のボンディング部位、例えばワイヤボンド118を結合するためのワイヤボンド部位が露出する。

【0042】

トップ基板10と第1パッケージ100との間のz配線は、トップ基板の下向きの金属層(金属層21)のトレースを第1パッケージ基板の下部金属層123のトレースと接続するワイヤボンド118を経由して行なわれる。各ワイヤボンド118の1端は、トップ基板12の金属層21上のパッドの下向きの表面に電氣的に接続され、各ワイヤボンドの他端は、第1パッケージ基板112の下部金属層123のパッドの下部表面に接続される。ワイヤボンドは、参照によって本書に援用する例えば米国特許第5,226,582号に記載されているような、当業界で周知のいずれかのワイヤボンディング技術によって形成することができる。パッケージツーパッケージのz配線ワイヤボンドが実施例として、トップ基板の下部金属層のパッドの表面上にビードまたはバンプを形成し、次いでワイヤを第1基板の下部金属層上のパッドに向かって引き込み、それをそこに融着することによって形成されたものとして、図1に示されている。理解される通り、ワイヤボンドは逆方向に、すなわちビードまたはバンプを第1基板の下部金属層上のパッドの下部表面に形成し、次いでワイヤを第2基板の金属層上のパッドに向かって引き込み、それをそこに融着することによって形成することができる。理解される通り、パッケージツーパッケージのz相互接続のためのワイヤボンディング戦略の選択は、積層基板の周縁部およびその上のボンディング表面の幾何学的配置に従って決定される。また、理解される通り、従来のワイヤボンディング機器では、ワイヤボンドキャピラリは上向きのボンドパッド上に下向きに打ち込み、したがってアセンブリは本発明では少なくともワイヤボンディング手順のために反転される。

20

30

【0043】

上に指摘した通り、第2(トップ)基板は、ワイヤボンド118のためにボンドパッドが露出されるトップパッケージ基板の第1面の周辺の領域を残してそれが上に取り付けられる第1パッケージモールドキャップの表面より大きい。トップ基板は(一般的に後で)パンチまたはソー分離される。

40

【0044】

第1パッケージは、ボトムパッケージ基板のダイアタッチ面が成形物によって被覆されるように、(図1に示す実施例では)マトリックス成形されソー分離される(図1に示すように成形用の垂直壁が設けられる)。第1パッケージ基板のダイアタッチ面における上部金属層内のボンドパッドは、ワイヤボンドによってダイに接続され、上部金属層は、ボトムパッケージ基板のランド面の下部金属層に接続され、ビアを介してさらに基板ダイア

50

タッチ面に接続され、ボトムパッケージ基板のランド面の下部金属層は、z相互接続ワイヤ118と接続するために周辺に配置されたボンドパッドを提供するようにパターン形成される。

【0045】

本発明に係る構造は、アセンブリに組み立てる前にCSPの予備検査を行なって、非適合パッケージを組立て前に拒絶し、それによって高い最終モジュール検査歩留まりを確実にすることが可能である。

【0046】

図1の積層パッケージの実施形態では、それぞれの基板上のz配線パッドは、基板の周縁の近くで金属層上に配設される。z配線パッドの配置および順序は一般的に、パッケージが積層されたときに、トップパッケージ基板上のz配線パッドがボトムパッケージ上の対応するz配線パッドのほぼ真上に重なるように構成される。第2(トップ)基板10は、基板の金属層の縁部に電氣的に短絡することなくワイヤボンドに離間距離を持たせるために、第1(ボトム)パッケージ100より大きい基板設置面積を持つことが好都合である。

【0047】

積層された第1パッケージおよび第2基板を接続するz配線ワイヤボンドがひとたび形成されると、z配線ワイヤボンドを封入して保護し、かつ完成したアセンブリの機械的完全性を達成するために、アセンブリの封止107が形成される。アセンブリの封止107は第2基板の下向きの第1面の周縁領域を被覆し、z相互接続ワイヤボンドおよびワイヤループならびにボトムパッケージの垂直壁および縁部を封入し、かつワイヤループ、およびワイヤボンドが接続されたワイヤボンドパッドを含め、ボトムパッケージ基板のランド面の周縁領域を被覆する。これは、第2レベル相互接続のために、ボトムパッケージ基板のランド面の領域を露出したまま残す。図3を参照すると、ソルダボール318は、基板の下部金属層上のボンディングパッド119上にリフローし、コンピュータのような最終製品の例えばマザーボード(図示せず)の下位回路構造への相互接続を達成する。

【0048】

実施例として図1および3に示すように、モジュールはそれ自体、ソー分離することができる。代替的に、モジュールはソー分離するのではなく、むしろ個別に成形することができる。

【0049】

理解される通り、第1パッケージは、ワイヤボンディングではなく、むしろフリップチップでダイを第1パッケージ基板に相互接続することができる。

【0050】

第1パッケージは、積層ダイパッケージとすることができる。図2は、実施例として、図2の例ではボトムパッケージが2つのワイヤボンダイを有する積層ダイパッケージであることを除いては、一般的に図1と同様の半導体アセンブリ2を示す。図2を参照すると、ボトムパッケージ120は従来の2ダイ積層ダイCSPである。パッケージ120で、第1ダイ114は、接着剤を用いて、基板112の(図1では上向きの)ダイアタッチ面に取り付けられ、第2ダイ144は、接着剤を用いて、第1ダイ114の(上向きの)ダイアタッチ面に取り付けられる。第1ダイ114および第2ダイ144は、それぞれワイヤボンド116、146によって、上部金属層121のボンド部位に電氣的に接続される。ダイ114、144およびワイヤボンド116、146はこの実施例では、周囲からおおよび機械的応力からの保護を提供して取扱い作業を容易化しかつ第2基板をその上に積層することのできるボトム上部表面229を提供する成形コンパウンド217で、マトリックス成形およびソー分離によって封止される。

【0051】

図2の実施例では、第2基板10は図1の第2基板10と実質的に同じである。積層パッケージアセンブリ2では、第2基板10は、第1パッケージの成形物またはモールドキャップの対合される上部表面229と、第2基板の下向きの表面219との間に接着剤1

10

20

30

40

50

03を使用して、第1パッケージ120上に貼付される。z相互接続ワイヤボンダ218が形成される。積層された第1および第2パッケージを接続するz配線ワイヤボンダがひとたび形成されると、z配線ワイヤボンダを封入して保護し、かつ完成したアセンブリの機械的完全性を達成するために、アセンブリ封止207が形成される。アセンブリ封止207は、第2基板の下向きの第1面の周縁領域を被覆し、かつz相互接続ワイヤボンダおよびワイヤループならびにボトムパッケージの垂直壁および縁部を封入し、かつワイヤループ、およびワイヤボンダが接続されたワイヤボンダパッドを含め、ボトムパッケージ基板のランド面の周縁領域を被覆する。これは、ボトムパッケージ基板のランド面の領域を第2レベル相互接続のために露出したまま残す。ソルダボールは、露出した下部パッケージ基板の下部金属層上のボンディングパッド119上にリフローして、実施例として図3

10

【0052】

代替的实施形態では、第2基板の露出面は第2レベル相互接続に備える。実施例として、図4に示す実施形態は、アセンブリをマザーボードのような下位回路構造に接続するために、金属層23上のパッド419に取り付けられた第2レベル配線ソルダボール418を有する。このような実施形態では、第1パッケージ基板の露出部は、パッケージ、ダイ、または受動デバイスのような追加コンポーネントを積層するために利用可能である。しかし、第1パッケージ基板の露出部は第2パッケージ基板より限定された領域を有し、第1パッケージ側で行なうことのできる相互接続の数が限定される。さらに、第1パッケージ基板のランド面の周縁領域を被覆するアセンブリ成形物207の部分は、ワイヤボンダ118のループ高さ(さらに許容差)を受け入れるのに十分な厚さでなければならない。一般的に、ワイヤループ部分の成形物の厚さは約50 μm から約200 μm の範囲である。ワイヤループの端部が第1パッケージのランド面のパッドにステッチされるように、反転ワイヤボンディングを使用する場合、ワイヤループの高さは実際にはわずかに約35 μm であり、したがってそのような実施形態では、周縁領域で約100 μm もの小さい成形物の厚さを達成することができる。フォワードワイヤボンディングを使用する場合、約1ミルの厚さを有するワイヤを形成する現在利用可能なワイヤボンディング技術を使用すると、ボール(またはバンプ)上のワイヤループの高さは通常約100 μm 以上になるので、より大きいモールド高さが要求される。

20

30

【0053】

これは事実上第1パッケージ基板の露出領域の周囲に低い壁を立設し、第1パッケージ基板のランド面上に積層することのできるデバイスの寸法および構成を制限することができる。第1パッケージ基板のランド面の露出領域で第2レベル相互接続が行なわれる、例えば図3の3に示す実施形態は、例えば図7Bおよび8Bに示すように、アセンブリ上にずっと大きい追加コンポーネントを積層することが可能である。

【0054】

第2パッケージ基板のランド面で第2レベル相互接続が行なわれる、図4の4に示す実施形態は、例えば図16および17に示される。下でさらに詳述するように、1つまたはそれ以上の追加コンポーネントを、封止のキャピティ内の第1パッケージ基板のランド面上に取付け、それと電氣的に接続することができる。

40

【0055】

図5Aおよび5Bは、図1に112で示すように適切な第1パッケージ基板のランド面およびダイアタッチ面をそれぞれ示す略平面図である。図5Aを参照すると、ランド面の表面の大部分はソルダマスクで被覆され、それによって、金属層の部位がソルダマスクの開口によって露出される箇所を除き、下にあるパターン形成された金属層は目立たなくなる。ソルダマスクの開口は、基板表面の中央領域に配列されたボールパッド(例えば53)、および基板の縁部52付近の周縁領域に配列されたボンディング(例えば56)を含め、基板のランド面のパターン形成された金属層の部位を露出させる。ソルダマスクによって目立たなくなるのは、ボールパッド53およびボンディング56を様々な接続し

50

、かつ/またはボールパッド53をビア(例えば522)と接続する金属層のトレース(例えば523)である。それは、基板のランド面のパターン形成された金属層のトレースを、基板のダイアタッチ面のパターン形成された金属層のトレースと電氣的に接続する。

【0056】

上述の通り、アセンブリ封止は、ボンドパッド56およびパッド56に形成されたワイヤループを被覆する。封止は基板のランド面で、図5Aに破線58で示される周縁領域に制限されるので、周縁封止によって界接される第1パッケージ基板のランド面の領域、すなわち破線58内の領域は、アセンブリ成形物の形成後、露出したまま残される。したがって、ボールパッド53は、追加デバイスの取付けに利用可能であり(例えば図4に示す通り)、あるいはより好ましくは、アセンブリから下位回路構造へのzレベル相互接続に利用可能である(例えば図3に示す通り)。組立て前に、または組立て前にパッケージを検査するために、または希望するならば、第2レベル配線ソルダボールを取り付ける前に、パッケージアセンブリを検査するために、ボールパッド53はテストプローブ部位として追加的に利用可能である。封止された周縁領域は、ボンドフィンガの長さ、ボンドフィンガまでのトレースの長さ、およびソースストリートの幅の和によって決定される幅(図5AのMW)を有する。加えて、一部のモールドフラッシュは基板表面の周縁部の内縁(図5Aの破線58)に現われることがある。基板が帯状体または配列体の中の1つとして設けられる場合、第1パッケージのソー分離中に縁部の一部の基板材料がソー幅まで失われる。一般的に、ボンドフィンガの長さは約250 μm であり、フィンガトレースの長さは約50 μm であり、成形樹脂ブリードの許容量は約500 μm とすることができる。ソーは一般的に約50 μm を消費する。

【0057】

実際問題として、ボールは潰れるときに相互に接触したり互いに接近し過ぎたりしてはならないので、ボールパッド53の個数および配置はボールの公称直径に依存する。また、実際問題として、ボールパッド53のサイズおよび近接性は、トレースの作製の分解能、および特にソルダマスク開口の限界によって制限される。典型例では、ボールパッドは直径が約280 μm の略円形であり、約500 μm の中心間距離で正方形または長方形配列状に配列される。(隣接ソルダマスク開口の最も近い縁間の距離は一般的に中心間距離の約0.20倍以上である)。

【0058】

ダイが取り付けられた第1パッケージ基板のダイアタッチ面が、図5Bに図示されている。ダイ114は、能動側を上向きにして、基板のダイアタッチ面に貼付される。この例では、ダイは正方形を画定する4辺を有する。ワイヤボンドパッド51は、ダイの4辺付近に列状に配設される。基板のランド面と同様に、特にボンドフィンガ(例えば54)の列(この例ではダイの各辺に沿って1列ずつ)を含め、金属層上の部位がソルダマスクの開口によって露出される箇所を除き、ダイアタッチ面の表面の大部分はソルダマスクによって被覆される。ワイヤ116はダイパッド51をボンドフィンガ54と接続する。ソルダマスクによって目立たなくなるのは、ボンドフィンガ54をビア(例えば522)に接続する金属層のトレース(例えば521)である。それは、基板のダイアタッチ面のパターン形成された金属層のトレースをランド面のパターン形成された金属層のトレースと電氣的に接続する。したがって、第1パッケージダイはワイヤを介して第1パッケージ基板のダイアタッチ面の金属層のトレースに接続され、かつビアを介してランド面の金属層のトレースおよびz配線ワイヤボンドフィンガに接続される。z配線ワイヤは、第1パッケージ基板のランド面のボンドフィンガを第2パッケージ基板のダイアタッチ面のボンドフィンガに接続する。

【0059】

図6Aおよび6Bは、図1に10で示すように適切な第2基板の第2面および第1面をそれぞれ示す略平面図である。図6Aを参照すると、ランド面の表面の大部分はソルダマスクで被覆され、それによって、金属層の部位がソルダマスクの開口によって露出される箇所を除き、下のパターン形成された金属層は目立たなくなる。ソルダマスクの開口は、

基板表面の中央領域に配列されたボールパッド（例えば63）を含め、基板のランド面のパターン形成された金属層の部位を露出させる。ソルダマスクによって目立たなくなるのは、ボールパッド63をビア（例えば622）に接続する金属層のトレース（例えば623）である。該ビアは、基板のランド面のパターン形成された金属層のトレースを、基板の第1面のパターン形成された金属層のトレースと電氣的に接続する。

【0060】

上述の通り、第2基板のランド面は、アセンブリ封止後に完全に露出したまま残される。したがって、図6Aの第2基板の図は実質的にアセンブリの表面の図である。したがって、ボールパッド63はアセンブリから下位回路構造へのzレベル相互接続に利用可能であり（例えば図4に示す通り）、あるいはより好ましくは、追加デバイスの取付けに利用可能である（例えば図3に示す通り）。組立て前にパッケージを検査するために、かつ希望するならば、第2レベル配線ソルダボールを取り付ける前に、パッケージアセンブリを検査するために、ボールパッド63はテストプローブ部位として追加的に利用可能である。

10

【0061】

任意選択的に、かつ用途によっては好ましくは、第2基板のランド面のボールアタッチパッドは、従来の検査ソケットを使用してアセンブリの検査を容易化するために使用することができる。アセンブリのそのような検査は、例えば第2基板をトップ基板として取り付けた後で、しかしアセンブリ全体の成形物の形成前に、またはz配線ワイヤボンディングの前に、実行することができる。製造の様々な段階のいずれかで本発明の構成に従って容易化される検査は、仕様に適合しないコンポーネントのさらなる処理の可能性を著しく低減することができる。

20

【0062】

第2基板のダイアタッチ面が図6Bに示されている。第2基板のランド面と同様に、特に基板の縁62付近の周縁領域に配列されたz配線ボンДФィンガ（例えば66）を含め、金属層の部位がソルダマスクの開口によって露出される箇所を除き、第1面の表面の大部分はソルダマスクによって被覆される。ソルダマスクによって目立たなくなるのは、基板の第1面にパターン形成された金属層のトレースをランド面にパターン形成された金属層のトレースと電氣的に接続するビア（例えば622）をz配線ボンДФィンガ66に接続する、金属層のトレース（例えば621）である。

30

【0063】

第2基板のz配線パッド（ボンДФィンガ）66は、第2パッケージ基板12の第1面の周縁部に位置する金属層の領域をパターン形成することによって形成される。周縁部は、マトリックス成形されソー分離されたCSP第1パッケージの場合、CSPパッケージ成形物217と実質的に同一である、積層第1パッケージ基板112の設置面積を超えて延びる。この設置面積は図6Bにパッケージフットプリント68を示す破線によって示される。周縁部の幅は約1mm未満とすることができ、ワイヤボンディングに適切な離間距離を提供するために、周縁部の幅は約0.2mmより大きいことが好ましいかもしれない。名目上、一部の実施形態では、周縁部は約0.5mmである。

【0064】

上述の通り、第2基板の第1面のz配線ボンДФィンガは第1パッケージ基板の第1面の金属層のトレースによって、ビアを経由して、ランド面の金属層のトレースおよびz配線ワイヤボンДФィンガに接続され、アセンブリ上に積層された追加デバイスまたは下位基板（第2レベル相互接続）へのアセンブリの相互接続が行なわれる。z配線ワイヤは第2パッケージ基板の第1面のボンДФィンガを第1パッケージ基板のランド面のボンДФィンガに接続し、第1パッケージダイは適宜、トレース、ワイヤ、およびビアを経由して第1パッケージ基板のランド面のパッドに相互接続され、下位基板（第2レベル相互接続）またはアセンブリ上に積層された追加デバイスへのアセンブリの相互接続が行なわれる。この方法で、第1パッケージのダイは要望通りに、完成したアセンブリの頂面および底面で、第1パッケージ基板および第2基板のランド面の露出パッドに相互接続される。

40

50

【 0 0 6 5 】

図に示唆する通り、パッケージ基板間のz相互接続を受け入れるために、第2基板は必然的に第1パッケージ基板より大きい設置面積を有する。図示した実施例では、z配線はパッケージの4辺全部に沿って配設され、したがって第2パッケージは幅および長さの両方とも第1パッケージより大きい。理解される通り、本発明に係る一部のアセンブリでは、z相互接続は4辺全部より少ない縁で、例えば1辺だけに沿って、または2つの対向する辺に沿って、ボンドフィンガ間で行なうことができる。そのような実施形態では、(第2基板のより大きいダイがより大きい設置面積を必要としなければ)、第2パッケージは1方向のみ第1パッケージより大きく(長くまたは広幅に)する必要がある。

【 0 0 6 6 】

第1パッケージは、多種多様な機能のいずれかを持つことができる。例えば、C S PパッケージはD S P、A S I C、G P Uとすることができ、C S Pパッケージはフラッシュ、D R A M、S R A Mのようなメモリとすることができる。

【 0 0 6 7 】

本発明のこの態様に係るフリップチップボトムパッケージのプロセッサチップは、例えばA S I C、G P U、またはC P U、多くの場合A S I Cとすることができる。ボトムパッケージがメモリパッケージである場合、それは積層ダイメモリパッケージとすることができる。遮蔽フリップチップダイアップボトムパッケージは、特に高速の用途、特に移動通信用途のようにR F周波数処理に適している可能性がある。

【 0 0 6 8 】

本発明に係るさらに別の構成では、追加パッケージをアセンブリの利用可能な(露出した)基板表面に、好ましくは第2パッケージ基板の露出したランド面に取り付けることができる。

【 0 0 6 9 】

一部の実施形態では、追加パッケージはアセンブリの第2パッケージ基板の露出したランド面上に取り付けられる。そのような実施形態では、例えば図1または2に示すアセンブリは、例えば図7 Aないし13に示すように、追加機能を有するコンポーネントをその上に積層するのに有用なプラットフォームを提供することができる。第2パッケージ基板は完全に露出しているため、任意の多種多様なコンポーネント(ダイまたはパッケージ)の構成およびサイズを受け入れることができ、アセンブリとコンポーネントの適合性のために必要なことは、露出した第2パッケージ基板上のトレースを、追加コンポーネントが受け入れられるように、適切に経路選択することだけである。

【 0 0 7 0 】

例えば、図7 Aおよび7 Bに示すように、ボールグリッドアレイ(B G A)パッケージは、図3に関連して上述した通り構成されたアセンブリ上に取り付けることができる。図7 Aで、配線ソルダボール718を有するB G Aパッケージ710は、第2パッケージ10基板のランド面と整列してその上に取り付けられ、ソルダボールは金属層23内のボールパッド上にリフローしてモジュール70を形成する。ここでB G A設置面積はアセンブリのそれより小さい。図7 Bに示すモジュール72では、B G A720の設置面積はアセンブリのそれより大きく、ボールアレイはより多くの配線ソルダボールを有し、したがってそれは第2パッケージ10基板上で、より多くのボールパッドを占有する。また、図7 Bの実施例では、B G Aは積層ダイパッケージであり、図7 AではB G Aは単一ダイパッケージである。

【 0 0 7 1 】

また、例えば、図8 Aおよび8 Bに示す通り、追加ランドグリッドアレイ(L G A)パッケージは、図3に関連して上述した通り構成されたアセンブリ上に取り付けることができる。図8 Aで、ランド配線818を有するL G Aパッケージ810は、第2パッケージ10基板のランド面と整列されてそれに取り付けられ、ランド配線は金属層23内のパッド上にリフローして、モジュール80が形成される。ここでL G A設置面積はアセンブリのそれより小さい。図8 Bに示すモジュール82では、L G A820の設置面積はアセン

10

20

30

40

50

ブリのそれより大きく、アレイはより多くのランド配線を有し、したがってそれは第2パッケージ10基板上でより多くのパッドを占有する。また、図8Bの実施形態ではLGAは積層ダイパッケージであり、図8Aでは、LGAは単一ダイパッケージである。

【0072】

図7Aおよび8Aに示すように、より大きい追加パッケージが積層型パッケージアセンブリ上に取り付けられる構成は、例えば第1パッケージ10にプロセッサを含み、かつ追加パッケージ720または820としてメモリパッケージを含むことができる。アセンブリ内のCSP100および第2基板10の設置面積の最小サイズは主として、第1パッケージ内のダイの寸法によって決定され、これは一般的にダイの機能に関する。ASICは例えばかなり小さいものにすることができ、異なるプロセッサはかなり異なるサイズとすることができる。他方、メモリダイは比較的大きくすることができる。例えばデジタル信号プロセッサ(DSP)パッケージは、一般的に12×12mmから16×16mmの範囲の設置面積を有する。他方、メモリパッケージは例えば、一般的に8×10mmから18×18mmの範囲の設置面積を有する。したがって、図3のアセンブリがアセンブリの第1パッケージ10内にDSPを含み、アセンブリ3に対し16×16mmの設置面積が確立される場合、製造者は顧客の仕様に従って、より小さいLGAメモリパッケージ(例えばモジュール80をもたらす図8AのLGAパッケージ810)またはより大きいLGAメモリパッケージ(例えばモジュール82をもたらす図8Bの820)のいずれかを選択することができる。したがって、図7A、7B、8A、8Bのような実施形態の場合、製造者はアセンブリプラットフォームを、機能(メモリ容量および速度;メモリ型)に応じかつ様々な供給者からのコストに応じて選択されたメモリBGAまたはLGAとうまく組み合わせることができる。

【0073】

他の追加コンポーネントまたはデバイスをアセンブリ上に取り付けることができ、必要なことは、コンポーネントからの電氣的相互接続を受け入れるように、第2基板のランド面を適切に経路選択するだけである。図9は、一般的に図3と同様に構成された半導体アセンブリ上に取り付けられ、受動デバイス96を随伴する、積層ダイクワッドフラットパッケージ900を有するモジュール90を示す。図10は、一般的に図3と同様に構成された半導体アセンブリ上に取り付けられ、受動デバイス106を随伴する、積層ダイクワッドフラットノンリード型リードフレームチップスケールパッケージ1000を有するモジュール102を示す。図11は、一般的に図3と同様に構成された半導体アセンブリ上に取り付けられ、受動デバイス1106を随伴する、ワイヤボンダイ1100を有するモジュール110を示す。ダイおよびワイヤは、封止樹脂をシリンジ分注することによって形成される、いわゆる「グロブトップ」封止によって被覆される。図12は、一般的に図3と同様に構成された半導体アセンブリ上に取り付けられ、受動デバイス1206を随伴する、フリップチップマウントダイ1200を有するモジュール124を示す。アンダーフィルはフリップチップ配線を保護する。図13は、一般的に図3と同様に構成された半導体アセンブリ上に取り付けられ、受動デバイス1306を随伴する、画像形成装置とすることができる光センサパッケージ1300を有するモジュール130を示す。光は、矢印1320によって示されるように透明なカバーまたはレンズ1302を通過して、ワイヤボンダイ光センサダイの能動面に到達する。

【0074】

図14は、第2パッケージ基板のランド面に実装されたヒートスプレッド1400を有する、一般的に図3に示す半導体アセンブリを含むアセンブリ140を示す。

【0075】

他の実施形態では、追加パッケージは、アセンブリ封止のキャビティ内でアセンブリの第1パッケージ基板のランド面の露出領域に取り付けられる。これらの実施形態では、図4に示すように第2基板のランド面上に第2レベル相互接続を持つ、図1または2のアセンブリは、例えば図16ないし24に示すように、追加機能を有するコンポーネントをその上に積層するのに有用なプラットフォームを提供することができる。図4のプラット

10

20

30

40

50

ォームを使用する実施形態では、第1パッケージ基板のトレースは、追加コンポーネントを受け入れるように適切に経路指定しなければならない。

【0076】

例えば、図16に示す通り、ボールグリッドアレイ(BGA)パッケージは、図4に関連して上述したように構成されたアセンブリ上に取り付けることができる。図16では、配線ソルダボール718を有するBGAパッケージ710は、第1パッケージ100の基板のランド面の露出領域と整列してその上に取り付けることができ、ソルダボールは金属層123内のボールパッド上にリフローして、モジュール160を形成する。また、例えば図17に示す通り、追加ダイは、図4に関連して上述したように構成されたアセンブリ上に、フリップチップのように取り付けて電氣的に接続することができる。図17で、フリップチップ1200はキャビティ内で、第1パッケージ100の基板のランド面の露出領域と整列してそれに取り付けられ、パッド123に接続されてモジュール170を形成する。また、例えば図18に示す通り、図4に関連して上述したように構成されたアセンブリ上に、追加受動デバイスを取り付けて電氣的に接続することができる。図18で、受動デバイス182はキャビティ内で、第1パッケージ100の基板のランド面の露出領域上に取り付けられ、パッド123に接続されてモジュール180を形成する。また、例えば図19に示す通り、図4に関連して上述したように構成されたアセンブリ上に、積層ダイクウッドフラットパッケージを取り付けて電氣的に接続することができる。図19で、積層ダイクウッドフラットパッケージ900はキャビティ内で、第1パッケージ100の基板のランド面の露出領域上に取り付けられ、パッド123に接続されてモジュール190を形成する。また、例えば図20に示す通り、図4に関連して上述したように構成されたアセンブリ上に、追加ダイを取り付けてワイヤボンディングによって電氣的に接続することができる。図20で、ダイ1100はキャビティ内で能動面を上向きにして、第1パッケージ100の基板のランド面の露出領域上に取り付けられ、ワイヤボンディングによってパッド123に接続されて200を形成する。また、例えば図21に示す通り、一般的に図4に関連して上述したように構成されたアセンブリ上に、積層ダイクウッドフラットノンリード型リードフレームチップスケールパッケージ1000が取り付けられる。図21で、積層ダイクウッドフラットノンリード型リードフレームCSP1000はキャビティ内で、第1パッケージ100の基板のランド面の露出領域上に取り付けられ、パッド123に接続されて210を形成する。また、例えば図22に示す通り、一般的に図4に関連して上述したように構成された積層型パッケージアセンブリ上に、画像形成装置とすることのできる光センサパッケージ1300が取り付けられる。図22で、光センサパッケージ1300はキャビティ内で、第1パッケージ100の基板のランド面の露出領域上に取り付けられ、パッド123に接続されて220を形成する。光は、矢印1320によって示されるように透明なカバーまたはレンズ1302を介して、ワイヤボンディング光センサダイの能動面に到達する。また、例えば図23に示す通り、一般的に図4に関連して上述したように構成された積層型パッケージアセンブリ上に、画像形成装置とすることのできる光センサダイが取り付けられる。図23で、ダイはワイヤボンディングによってパッド123に接続されてモジュール230を形成する。透明なカバーまたはレンズ1402は、アセンブリ封止107上に取り付けられたフレーム1404によって支持される。光は、矢印1420によって示されるように透明なカバーまたはレンズ1402を介して、ワイヤボンディング光センサダイの能動面に到達する。

【0077】

図24に示す通り、キャビティアセンブリ封止207は、図23に示す積層型パッケージアセンブリ上に取り付けられかつそれと電氣的に接続された光センサダイの厚さを受け入れるように構成され、かつ寸法が決定され、また透明なカバーまたはレンズ2402は、アセンブリ封止207内の凹部内に取り付けられた外周シール2404によって支持される。

【0078】

理解される通り、本発明はその全ての様々な態様で、第1(CSP)パッケージおよび

10

20

30

40

50

CSPパッケージ上に積層された第2基板を有し、かつ第1パッケージ基板と第2基板との間にワイヤボンディング z 配線を有するアセンブリであって、第2基板のランド面が露出され、かつ第1(CSP)パッケージのランド面の一部分が露出されるように封止されたアセンブリを特徴とする。

【0079】

さらに、アセンブリは、多種多様な追加コンポーネントのいずれかと組み合わせるためのプラットフォームを構成する。したがって、様々な構成で、アセンブリの第2レベル相互接続が一方の基板(好ましくは第1パッケージ基板)のランド面で行なわれ、1つまたはそれ以上の追加コンポーネントが他方の基板(好ましくは第2基板)のランド面上に積層される。追加コンポーネントは製造者が製品組立てフロアで選択することができ、既製コンポーネントの中から選択することができる。

10

【0080】

本発明の半導体アセンブリは、例えばコンピュータ、携帯通信装置、消費者製品のような多種多様な用途のいずれかに使用することができる。

【0081】

本発明に係る半導体アセンブリは、コンピュータ、ならびに例えば電気通信分野の消費者装置および産業用電子機器を作製するために使用することができる。本発明は、高い最終検査歩留まりで2つ以上の半導体を薄型で最小設置面積のパッケージに組み立てることに備える。個々のパッケージの構成は、それらがアセンブリに組み立てられる前に検査を行なって、受入可能な適正なパッケージコンポーネントだけが組立てに使用されることを確実にし、したがって高い組立て歩留まりが確保されることを可能にする。

20

【0082】

本発明は、設計の柔軟性、特に選択された機能を有するコンポーネントの選択における柔軟性をもたらし、標準パッケージの使用を可能にし、特注設計の必要性を軽減し、コストを削減する。

【0083】

本発明で使用するためのCSPを作製し、かつパッケージ基板の経路選択を行なうためのプロセスの手順は、当業界で十分に確立されている。

【0084】

組立てプロセスは、本発明の様々な態様に係る構成に対して同様である。一般的にプロセスは、第2基板を好ましくは基板の帯状体またはマトリックスとして提供するステップと、CSPパッケージ基板および少なくとも1つのダイを含む(マトリックス成形されソール分離されたCSPのような)CSPを提供するステップと、CSPパッケージをLGAに対して反転させるステップと、CSPパッケージの成形物の表面に接着剤を塗布するステップと、CSPを反転させ、基板の表面に接着剤が接触するように、反転したCSPを第2基板上に載置するステップと、接着剤を硬化させるステップと、CSP基板と第2基板との間に z 配線を形成するステップとを含む。

30

【0085】

パッケージは組立て前に検査することができ、検査で「適正」と判断された第1パッケージだけが組立てモジュールに使用されるように、性能および信頼性の要件を満たさないパッケージは廃棄することができ、有利である。CSPの検査は当業界で十分に確立されており、一般的にはソルダボールパッドへの接触を評価することによって行なわれる。完成したアセンブリは、BGAの検査と同様の仕方で検査することができる。

40

【0086】

図15は、例えば図3に示すような積層型パッケージアセンブリの組立てのためのプロセスを示す流れ図である。ステップ1502で、基板の非分離帯状体が提供される。ステップ1504で、分離されたチップスケールパッケージが提供される。分離されたCSPパッケージは成形物によって保護され、好ましくは検査され(*)、「適正」と識別される。ステップ1506で、「適正」な分離CSPパッケージの成形物の上部表面に接着剤が分注される。ステップ1508で、ピックアンドブレース操作が実行され、「適正」な

50

C S Pパッケージが反転され、帯状体の基板上に載置される。したがって接着剤は、第1パッケージ成形物の表面と基板の第1表面との間に位置する。ステップ1510で接着剤が硬化する。ステップ1512でプラズマ洗浄作業がステップ1514の準備として実行され、ステップ1514で、C S Pのランド面のワイヤボンダ部位と第2基板の第1面との間にワイヤボンダ相互接続が形成される。ステップ1516で、追加的プラズマ洗浄を実行することができ、それに続いてステップ1518で積層型パッケージアセンブリの成形物が形成される。成形装置は、成形コンパウンドが相互接続ワイヤループを封止し、かつ成形コンパウンドがC S Pのランド面の内部領域に侵入するのを防止することができるように構成される。ステップ1520で、第2レベル配線ソルダボールがC S Pのランド面の露出した内部領域に取り付けられる。ステップ1522で、完成したアセンブリが検査され(*)、ソー分離によって帯状体から分離され、その後の使用のためにパッケージに実装される。

10

【0087】

図25は、例えば図4に示す積層型パッケージアセンブリの組立てのためのプロセスを示す流れ図である。ステップ2502で、基板の非分離帯状体が提供される。ステップ2504で、分離されたチップスケールパッケージが提供される。分離されたC S Pパッケージは成形物によって保護され、好ましくは検査され(*)、**「適正」**と識別される。ステップ2506で、C S Pの成形物上に接着剤が分注される。ステップ2508で、ピックアップブレース操作が実行され、**「適正」**なC S Pパッケージが反転され、基板上に載置される。ステップ2510で接着剤が硬化する。ステップ2512でプラズマ洗浄作業がステップ2514の準備として実行され、ステップ2514で、C S Pのランド面のワイヤボンダ部位とL G A基板との間にワイヤボンダ相互接続が形成される。ステップ2516で、追加的プラズマ洗浄を実行することができ、それに続いてステップ2518で積層型パッケージアセンブリの成形物が形成される。成形装置は、成形コンパウンドが相互接続ワイヤループを封止し、かつ成形コンパウンドがC S Pのランド面の内部領域に侵入するのを防止することができるように構成される。ステップ2520で、第2レベル配線ソルダボールが基板の露出したランド面に取り付けられる。ステップ2522で、完成したアセンブリが検査され(*)、ソー分離によって帯状体から分離され、その後の使用のためにパッケージに実装される。

20

【0088】

理解される通り、本発明に係るプロセスの様々なステップの個々のステップは、本書に記載した方法に従って、従来の作製設備の実質的に従来の技術を用いて、本書に記載したように単純な変形を加えて実行することができる。必要になる従来の技術のそのような変化および従来の作製装置の変形は、過度の実験無しに本書の説明を用いて達成することができる。

30

【0089】

他の実施形態は、請求項に記載される。

【図面の簡単な説明】

【0090】

【図1】本発明の1態様に係る半導体アセンブリの実施形態の略断面図である。

40

【図2】本発明の別の態様に係る半導体アセンブリの実施形態の略断面図である。

【図3】本発明の別の態様に係る半導体アセンブリの実施形態の略断面図である。

【図4】本発明の別の態様に係る半導体アセンブリの実施形態の略断面図である。

【図5A】図3に示した本発明の実施形態に使用するのに適した配列の本発明の実施形態に係るC S P基板のランド面を示す略平面図である。

【図5B】図3に示した本発明の実施形態に使用するのに適した配列の本発明の実施形態に係るC S P基板の、ダイが取り付けられた状態のダイアタッチ面を示す略平面図である。

。

【図6A】図3に示した本発明の実施形態に使用するのに適した配列の本発明の実施形態に係る第2基板のランド面を示す略平面図である。

50

【図 6 B】図 3 に示した本発明の実施形態に使用するのに適した配列の本発明の実施形態に係る第 2 基板の第 1 面を示す略平面図である。

【図 7 A】アセンブリ上に積層された B G A を各々含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 7 B】アセンブリ上に積層された B G A を各々含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 8 A】アセンブリ上に積層された L G A を各々含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 8 B】アセンブリ上に積層された L G A を各々含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 9】アセンブリ上に積層された S D Q F P を含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 10】アセンブリ上に積層された S D Q F N / L F C S P を含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 11】アセンブリ上に積層されたワイヤボンダイを含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 12】アセンブリ上に積層されたフリップチップダイを含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 13】アセンブリ上に積層された光センサパッケージを含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 14】アセンブリ上に積層されたヒートスプレッドを含む、本発明の実施形態に係る半導体アセンブリの略断面図である。

【図 15】図 3 の本発明の実施形態に係る半導体アセンブリを作製するためのプロセスのステップを示す図である。

【図 16】図 4 に示す本発明の実施形態に係るアセンブリ上に積層された B G A を含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 17】図 4 に示す本発明の実施形態に係るアセンブリ上に取り付けられたフリップチップダイを含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 18】図 4 に示す本発明の実施形態に係るアセンブリ上に取り付けられた受動デバイスを含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 19】図 4 に示す本発明の実施形態に係るアセンブリ上に積層された S D Q F P を含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 20】図 4 に示す本発明の実施形態に係るアセンブリ上に積層されたワイヤボンデッドダイを含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 21】図 4 に示す本発明の実施形態に係るアセンブリ上に積層された S D Q F N / L F C S P を含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 22】図 4 に示す本発明の実施形態に係るアセンブリ上に積層された光センサパッケージを含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 23】図 4 に示す本発明の実施形態に係るアセンブリ上に積層された光センサダイを含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 24】図 4 に示す本発明の別の実施形態に係るアセンブリ上に積層された光センサダイを含む、本発明の実施形態に係る積層型パッケージアセンブリの略断面図である。

【図 25】図 4 の本発明の実施形態に係る積層パッケージアセンブリを作製するためのプロセスのステップを示す図である。

10

20

30

40

【 図 1 】

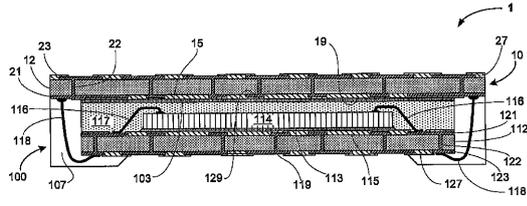


Fig. 1

【 図 3 】

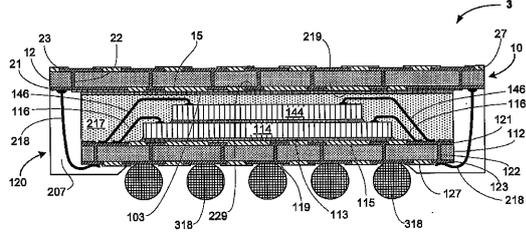


Fig. 3

【 図 2 】

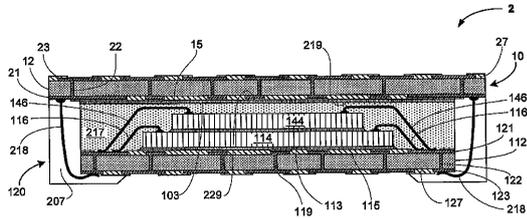


Fig. 2

【 図 4 】

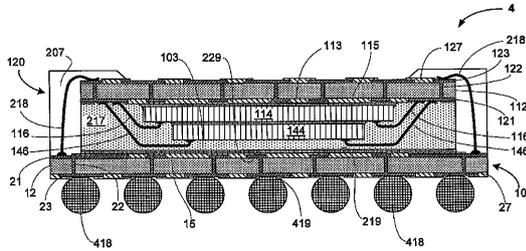


Fig. 4

【 図 5 A 】

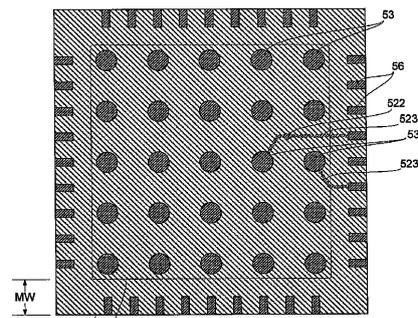


Fig. 5A

【 図 6 A 】

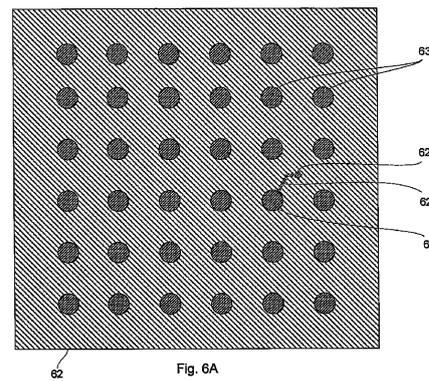


Fig. 6A

【 図 5 B 】

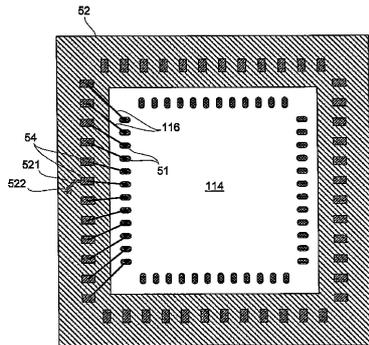


Fig. 5B

【 図 6 B 】

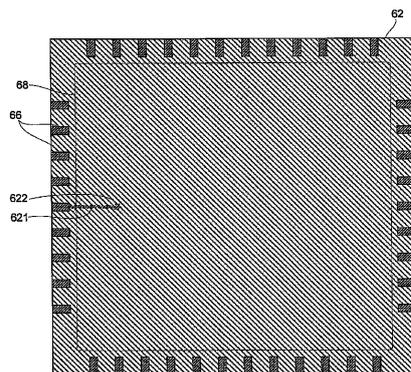


Fig. 6B

【 7 A 】

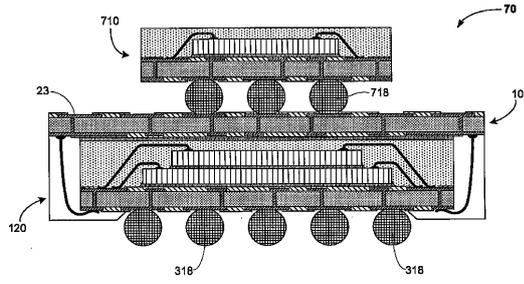


Fig. 7A

【 8 A 】

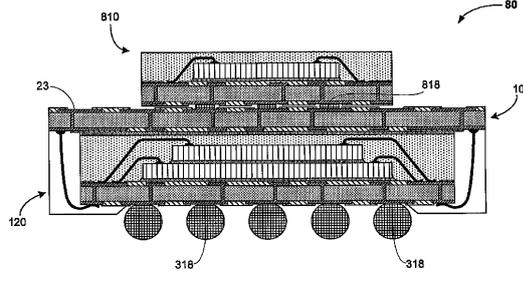


Fig. 8A

【 7 B 】

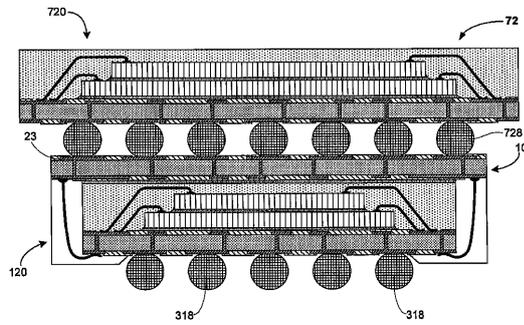


Fig. 7B

【 8 B 】

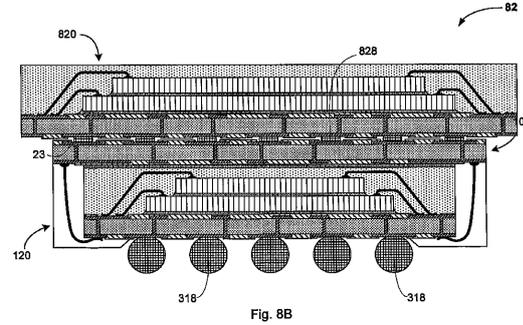


Fig. 8B

【 9 】

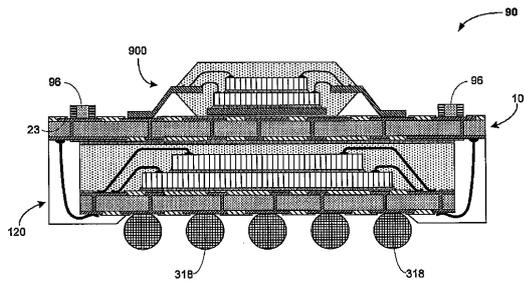


Fig. 9

【 1 1 】

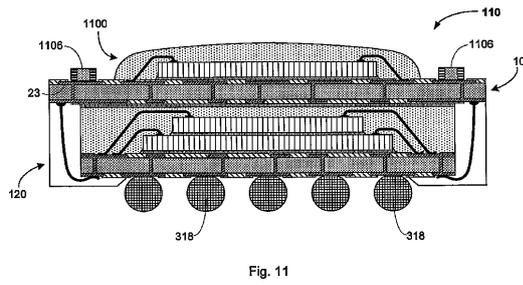


Fig. 11

【 1 0 】

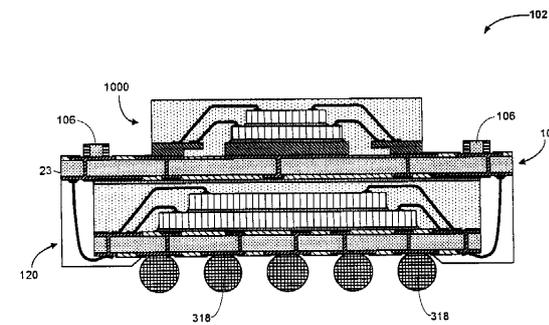


Fig. 10

【 1 2 】

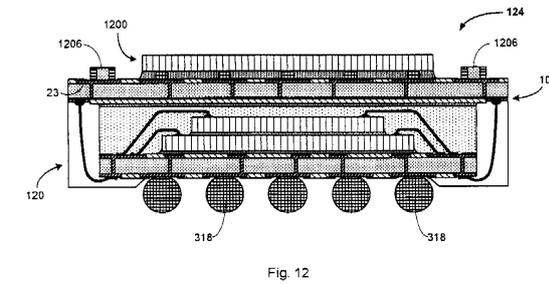


Fig. 12

【図13】

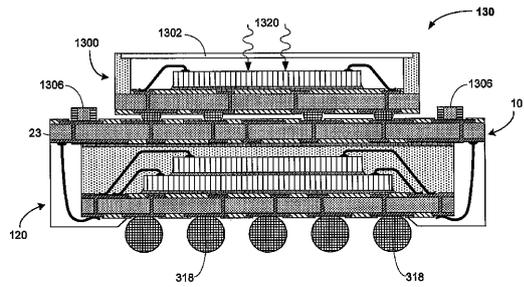


Fig. 13

【図14】

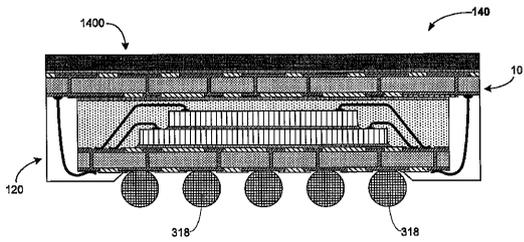


Fig. 14

【図15】

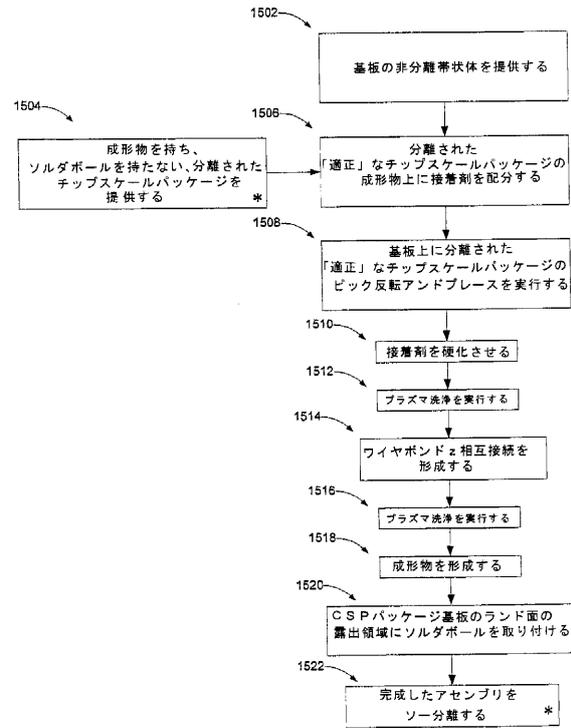


Fig. 15

【図16】

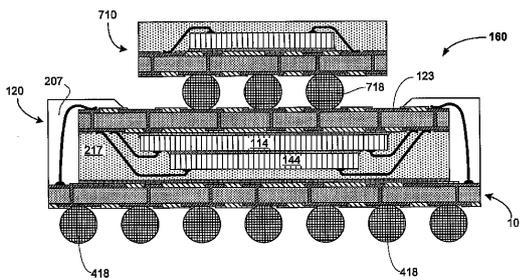


Fig. 16

【図18】

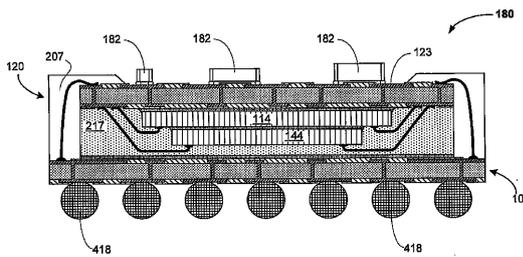


Fig. 18

【図17】

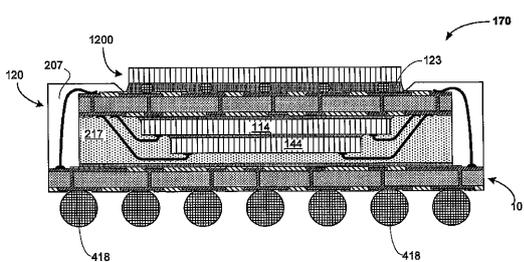


Fig. 17

【図19】

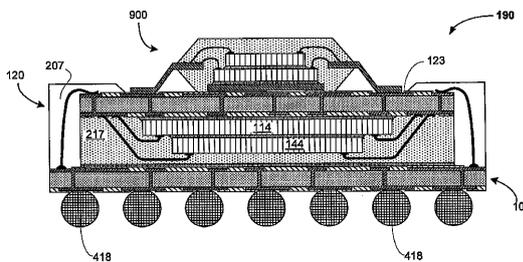


Fig. 19

【図20】

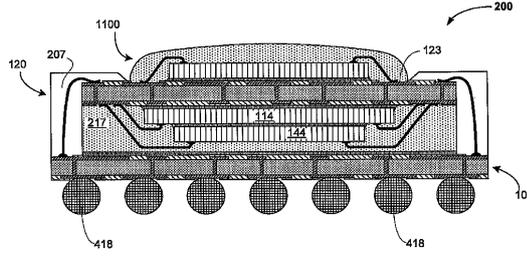


Fig. 20

【図22】

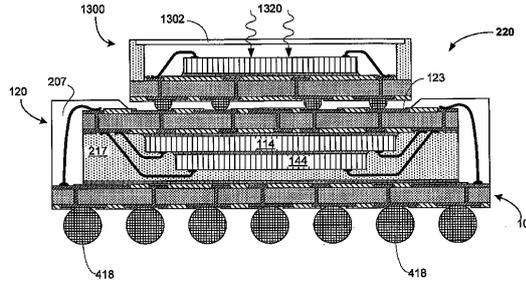


Fig. 22

【図21】

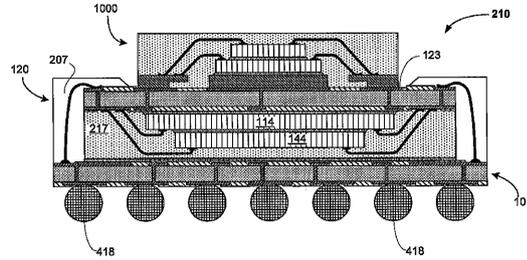


Fig. 21

【図23】

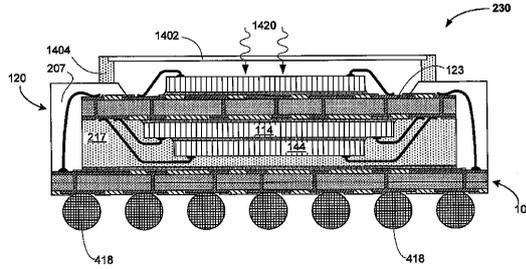


Fig. 23

【図24】

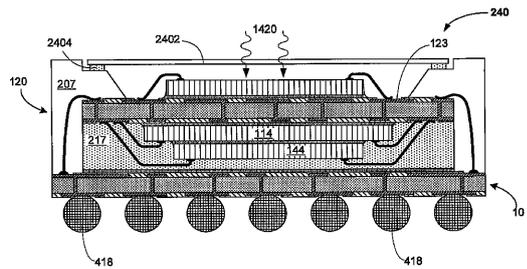


Fig. 24

【図25】

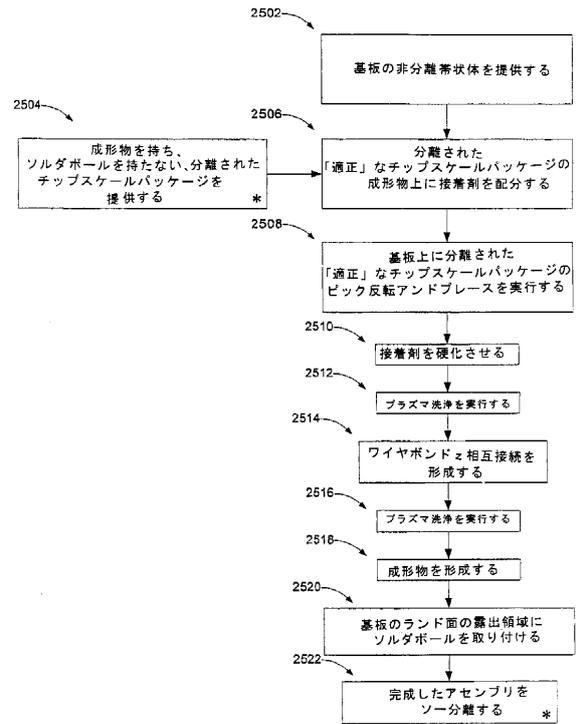


Fig. 25

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 25/10 (2006.01)

(31)優先権主張番号 11/306,628

(32)優先日 平成18年1月4日(2006.1.4)

(33)優先権主張国 米国(US)

(74)代理人 100109162

弁理士 酒井 将行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 カルネゾス, マルコス

アメリカ合衆国、9 4 3 0 1 カリフォルニア州、パロ・アルト、リットン・アベニュー、5 3 5

(72)発明者 シム, イル・クウォン

シンガポール、7 3 8 2 1 0 シンガポール、ウッドグローブ・ドライブ、8、ナンバー・0 3 -
2 9

(72)発明者 ハン, ビョン・ジュン

シンガポール、2 5 9 7 9 2 シンガポール、バルモラル・ロード、8、ナンバー・1 0 - 0 4

(72)発明者 ラマクリシュナ, カムハムパティ

アメリカ合衆国、8 5 2 2 5 アリゾナ州、チャンドラー、イースト・フォーリー・プレイス、1
4 0 0

(72)発明者 チョウ, セン・グアン

シンガポール、7 6 0 1 3 1 シンガポール、イーシュン・ストリート、1 1、ブロック・1 3 1
、ナンバー・0 7 - 2 4 3

審査官 宮本 靖史

(56)参考文献 特開2 0 0 3 - 0 8 6 7 3 3 (J P , A)

国際公開第2 0 0 4 / 0 2 7 8 2 3 (W O , A 1)

国際公開第2 0 0 4 / 0 3 4 4 3 3 (W O , A 1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 3 / 0 0 - 2 3 / 2 9

H 0 1 L 2 3 / 3 1

H 0 1 L 2 5 / 0 0 - 2 5 / 1 8

H 0 1 L 2 1 / 5 4 - 2 1 / 5 6