



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I588827 B

(45)公告日：中華民國 106 (2017) 年 06 月 21 日

(21)申請案號：104104171

(22)申請日：中華民國 104 (2015) 年 02 月 06 日

(51)Int. Cl. : G11C11/409 (2006.01)

G11C11/41 (2006.01)

(71)申請人：三星科技股份有限公司 (中華民國) M31 TECHNOLOGY CORPORATION (TW)
新竹縣竹北市台元一街 1 號 14 樓

(72)發明人：游江成 YU, DAVID C. (TW) ; 連南鈞 LIEN, NAN-CHUN (TW)

(74)代理人：吳豐任；戴俊彥；李俊陞

(56)參考文獻：

TW 201123206A1

TW 201124995A1

TW 201430842A

TW 201430855A

US 6111789A

US 2011/0122712A1

US 2014/0003178A1

審查人員：鄧嘉琳

申請專利範圍項數：15 項 圖式數：8 共 33 頁

(54)名稱

隨機存取記憶體與記憶體存取方法

RANDOM ACCESS MEMORY AND MEMORY ACCESS METHOD THEREOF

(57)摘要

本發明揭露了一種隨機存取記憶體與記憶體存取方法，能夠避免讀取干擾，並且提升讀取資料的速度。所述隨機存取記憶體之一實施例包含：一字元線；一字元線驅動單元，耦接於該字元線，用於接收一存取控制訊號以據以產生一第一字元線致能電壓；一電壓調整單元，包含一開關模組以及一電容，該開關模組耦接於該字元線，用於接收一控制訊號以據以呈現導通或不導通，該電容，耦接於該開關模組，用於依據該開關模組的導通情形以調整該字元線致能電壓之電壓準位；以及一記憶體單元，耦接於該字元線，用於依據該字元線致能電壓而被致能。

This invention discloses a random access memory and memory access method thereof capable of avoiding read disturb and increasing reading speed. An embodiment of said random access memory comprises: a word line; a word line driving unit, coupled to the word line, operable to receive an access control signal to generate a word line enabling voltage accordingly; a voltage adjusting unit comprising a switch and a capacitor, wherein the switch is coupled to the word line and operable to receive a control signal to be turned on or off accordingly, and the capacitor is coupled to the switch and used for adjusting a voltage level of the word line enabling voltage according to an on/off status of the switch; and a memory unit, coupled to the word line, operable to be enabled according to the word line enabling voltage. 【代表圖】 【本案指定代表圖】：圖 1 【本代表圖之符號簡單說明】：100 隨機存取記憶體 110 字元線驅動單元 120 電壓調整單元 121 開關模組 122 電容 130 記憶體單元 WL0 字元線 VWL0 字元線致能電壓 A0 存取控制訊號 CTL0 控制訊號

指定代表圖：

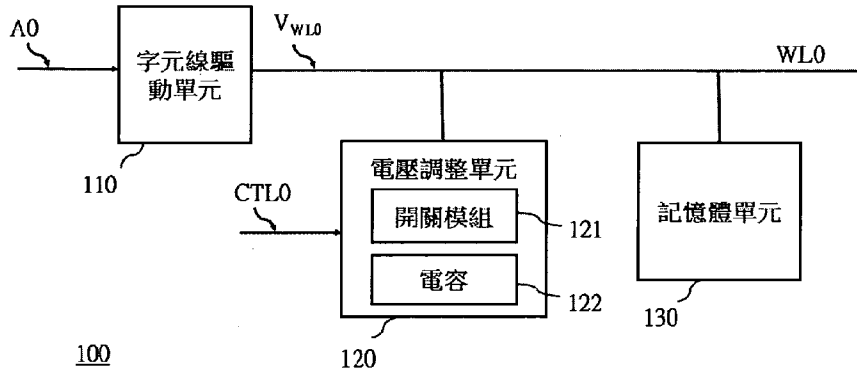


圖 1

符號簡單說明：

100 . . . 隨機存取記憶體

110 . . . 字元線驅動單元

120 . . . 電壓調整單元

121 . . . 開關模組

122 . . . 電容

130 . . . 記憶體單元

WL0 . . . 字元線

V_{WL0} . . . 字元線致能電壓

A0 . . . 存取控制訊號

CTL0 . . . 控制訊號

**公告本**

申請日: 2014.07.15

IPC分類:

G11C 11/409 (2006.01)

G11C 11/41 (2006.01)

【發明摘要】**【中文發明名稱】** 隨機存取記憶體與記憶體存取方法**【英文發明名稱】** Random access memory and memory access method thereof**【中文】**

本發明揭露了一種隨機存取記憶體與記憶體存取方法，能夠避免讀取干擾，並且提升讀取資料的速度。所述隨機存取記憶體之一實施例包含：一字元線；一字元線驅動單元，耦接於該字元線，用於接收一存取控制訊號以據以產生一第一字元線致能電壓；一電壓調整單元，包含一開關模組以及一電容，該開關模組耦接於該字元線，用於接收一控制訊號以據以呈現導通或不導通，該電容，耦接於該開關模組，用於依據該開關模組的導通情形以調整該字元線致能電壓之電壓準位；以及一記憶體單元，耦接於該字元線，用於依據該字元線致能電壓而被致能。

【英文】

This invention discloses a random access memory and memory access method thereof capable of avoiding read disturb and increasing reading speed. An embodiment of said random access memory comprises: a word line; a word line driving unit, coupled to the word line, operable to receive an access control signal to generate a word line enabling voltage accordingly; a voltage adjusting unit comprising a switch and a capacitor, wherein the switch is coupled to the word line and operable to receive a control signal to be turned on or off accordingly, and the

capacitor is coupled to the switch and used for adjusting a voltage level of the word line enabling voltage according to an on/off status of the switch; and a memory unit, coupled to the word line, operable to be enabled according to the word line enabling voltage.

【代表圖】

【本案指定代表圖】：圖 1

【本代表圖之符號簡單說明】：

100 隨機存取記憶體

110 字元線驅動單元

120 電壓調整單元

121 開關模組

122 電容

130 記憶體單元

WL0 字元線

V_{WL0} 字元線致能電壓

A0 存取控制訊號

CTL0 控制訊號

【發明說明書】

【中文發明名稱】隨機存取記憶體與記憶體存取方法

【英文發明名稱】Random access memory and memory access method thereof

【技術領域】

【0001】 本發明是關於隨機存取記憶體與記憶體存取方法，尤其是關於利用一開關模組以及一電容來彈性調整字元線之字元線致能電壓以實現字元線驅動抑制機制的隨機存取記憶體與方法。

【先前技術】

【0002】 一般而言，習知隨機存取記憶體包括一個具有複數列的記憶體單元陣列，每一列上有複數個記憶體單元，每個記憶體單元對應並耦接於一字元線；各字元線的電壓由對應字元線的字元線驅動器所控制；每一記憶體單元中則設有閘鎖模組及作為開關之用的閘通電晶體；閘鎖模組具有兩個儲存節點，閘通電晶體之閘極、源極、與汲極分別耦合至對應的字元線、儲存節點的其中之一、以及對應的位元線。

【0003】 欲從記憶體單元讀取資料時，該位元線會被預充電至代表邏輯 1 的高電壓準位，經由對應的字元線，記憶體單元的閘通電晶體會被致能，使儲存節點導通至位元線。若該儲存節點儲存的是代表邏輯 0 的低電壓，則位元線會由原先的高電壓準位放電至邏輯 0 的低電壓準位。但是，閘通電晶體和閘鎖模組中用於拉低電壓的反相器電晶體會形成一分壓

電路或一耦合路徑，其中分壓電路可能使使儲存邏輯 0 的儲存節點之電壓升高而成為一讀取干擾電壓，例如若開通電晶體的導通電阻相對於記憶體單元閘鎖模組中用於拉低電壓的反相器電晶體為較低，則儲存節點的讀取干擾電壓易於上升至超過閘鎖模組中另一反相器的翻轉電壓，導致該閘鎖模組所閘鎖儲存的資料被錯誤地翻轉，也就是將該儲存節點中原本儲存代表邏輯 0 的低電壓錯誤地翻轉為代表邏輯 1 的高電壓；而字元線驅動器的電壓變化則可能經由對應的字元線、開通電晶體、及閘鎖模組電晶體之雜散電容耦合路徑在對應的儲存節點耦合而形成干擾電壓；上述情形稱為讀取干擾。

【0004】 在已知技術中，減少讀取干擾的解決方案之一是降低字元線致能電壓。但是，已知技術的缺點在於：從記憶體單元讀取資料的速度會隨著字元線致能電壓的降低而明顯變慢，且無法調整致能電壓或讀取速度。

【發明內容】

【0005】 鑑於先前技術之不足，本發明之一目的在於提供一種隨機存取記憶體與一種記憶體存取方法，以避免讀取干擾，並且提升讀取資料的速度。

【0006】 本發明提出一種隨機存取記憶體，該隨機存取記憶體之一實施例包含：一第一字元線；一第一字元線驅動單元，耦接於該第一字元線，用於接收一第一存取控制訊號以據以產生一第一字元線致能電壓；一第一電壓調整單元，包含：一第一開關模組以及一電容，其中該第一開關模組耦接於該第一字元線，用於接收一第一控制

訊號以據以呈現導通或不導通，該電容耦接於該第一開關模組，用於依據該第一開關模組的導通情形以調整該第一字元線致能電壓之電壓準位；以及一第一記憶體單元，耦接於該第一字元線，用於依據該第一字元線致能電壓而被致能。

【0007】 本發明之隨機存取記憶體與記憶體存取方法利用字元線驅動抑制機制來分段或彈性調整致能開通電晶體所需的字元線致能電壓，以達到減少讀取干擾的功效。相較於習知技術，本發明可分段或彈性調整字元線致能電壓，在達到減少讀取干擾的目的之餘，亦維持從記憶體讀取資料的速度，避免讀取速度隨著字元線致能電壓降低而減緩。

【0001】 有關本發明的特徵、實作與功效，茲配合圖式作實施例詳細說明如下。

【圖式簡單說明】

〔圖 1〕是本發明之隨機存取記憶體之一實施例的示意圖；

〔圖 2a〕是本發明之隨機存取記憶體之一實施例的示意圖；

〔圖 2b〕是本發明之隨機存取記憶體之一實施例的時序圖；

〔圖 3〕是本發明之隨機存取記憶體之又一實施例的示意圖；

〔圖 4〕是本發明之隨機存取記憶體之再一實施例的示意圖；

〔圖 5〕是本發明之隨機存取記憶體之再一實施例的示意圖；

〔圖 6a〕是本發明之隨機存取記憶體之再一實施例的示意圖；

〔圖 6b〕是本發明之隨機存取記憶體之再一實施例的電壓波形圖；

〔圖 7〕是本發明之隨機存取記憶體之再一實施例的示意圖；以及

〔圖 8〕是本發明之記憶體存取方法之一實施例的示意圖。

【實施方式】

【0002】 本發明之揭露內容包含隨機存取記憶體與記憶體存取方法，能夠減少讀取干擾，並維持從記憶體讀取資料的速度，避免讀取速度隨著字元線致能電壓降低而減緩。

【0003】 在實施為可能的前提下，本技術領域具有通常知識者能夠依本說明書之揭露內容來選擇等效之元件或步驟來實現本發明，亦即本發明之實施並不限於後敘之實施例。

【0004】 請參閱圖 1，其是本發明之隨機存取記憶體 100 之一實施例的示意圖。本實施例之隨機存取記憶體 100 包含：一字元線 WL0、一字元線驅動單元 110、一電壓調整單元 120、與一記憶體單元 130。電壓調整單元 120 進一步包含一開關模組 121 以及一電容 122，其中任二或全部上述電路可整合在一積體電路中或為個別電路。

【0005】 當對應於字元線 WL0 的一記憶體單元 130 將被存取時，所述字元線驅動單元 110 接收一存取控制訊號 A0，存取控制訊號 A0 會觸發字元線驅動單元 110 以產生一字元線致能電壓 V_{WL0} ，所述字元線致能電壓 V_{WL0} 即為所述字元線 WL0 的電壓，且字元線驅動單元 110 耦接於字元線 WL0，因此，字元線驅動單元 110 產生的字元線致能電壓 V_{WL0} 得以由字元線 WL0 加以傳遞。在一實施例中，所述存取控制訊號 A0 為一字元位址預解碼器產生之一解碼訊號。電壓調整單元 120 亦耦接於所述字元線 WL0，且電壓調整單元 120 包含相耦接的開關模組 121 與電容 122，所述開關模組 121 接收一控制訊號 CTL0 以據以導通或不導通，並藉由開關模組 121

的導通或不導通以及電容 122 的充放電以調整所述字元線致能電壓 V_{WL0} 之電壓準位。記憶體單元 130 耦接於所述字元線 WL0，且記憶體單元 130 依據電壓調整單元 120 所調整之字元線致能電壓 V_{WL0} 而被致能。

【0006】 請參閱圖 2a，其是圖 1 之隨機存取記憶體 100 之一詳細實施方式的電路圖，如圖所示，隨機存取記憶體 100 進一步包含位元線 BL 及位元線 BLB；字元線驅動單元 110 包含一反相器 111；開關模組 121 包含一 p 通道金氧半場效電晶體 1211；記憶體單元 130 則包含一閃鎖模組 131 與複數個閘通電晶體 132；以上字元線驅動單元 110、開關模組 121、與記憶體單元 130 皆耦接於字元線 WL0，其中任二或全部上述電路可整合在一積體電路中或為個別電路。

【0007】 請再參閱圖 2a，以下以一實施例說明本發明隨機存取記憶體 100 之運作。在此實施例中，當要讀取對應於字元線 WL0、位元線 BL 及位元線 BLB 的記憶體單元 130 時，位元線 BL 及位元線 BLB 被預充電至代表邏輯值為 1 的一高電壓準位，字元線驅動單元 110 所包含之相反器 111 的一輸入端接收所述存取控制訊號 A0，存取控制訊號 A0 觸發相反器 111 以產生所述字元線致能電壓 V_{WL0} ，相反器 111 之一輸出端輸出所述字元線致能電壓 V_{WL0} ，且字元線致能電壓 V_{WL0} 由字元線 WL0 加以傳遞。在一實施例中，相反器 111 包含一 p 通道金氧半場效電晶體 1111 以及一 n 通道金氧半場效電晶體 1112（如圖 3 所示），p 通道金氧半場效電晶體 1111 的源極耦接於一電壓源 VDD，n 通道金氧半場效電晶體 1112 的源極耦接於一電壓源 VSS，其中電壓源 VDD 之電壓準位高於電壓源 VSS 之電壓準位。p 通道金氧半場效電晶體 1111 之閘極與 n 通道金氧半場效電晶體 1112

之閘極相接為一輸入端並接收存取控制訊號 A0，該 p 通道金氧半場效電晶體 1111 之汲極與該 n 通道金氧半場效電晶體 1112 之汲極相接為一輸出端並輸出字元線致能電壓 V_{WL0} 。

【0008】 請再參閱圖 2a 以及圖 2b，圖 2b 為圖 2a 之隨機存取記憶體 100 一實施例之時序圖。如圖所示，所述開關模組 121 所包含的 p 通道金氧半場效電晶體 1211 自閘極接收控制訊號 CTL0，當控制訊號 CTL0 為一低電壓訊號時，p 通道金氧半場效電晶體 1211 導通，電容 122 耦接於 p 通道金氧半場效電晶體 1211 之汲極，電容 122 得以藉由 p 通道金氧半場效電晶體 121 導通而耦接於字元線 WL0，而字元線致能電壓 V_{WL0} 與其電壓準位的上升速度得以被電容 122 與開關模組 121 箝制，並可進一步透過存取控制訊號 A0 或控制字元線驅動單元 110 與字元線 WL0 的耦接使得所述字元線致能電壓 V_{WL0} 之電壓準位被降低一特定電壓（如圖 2b 的一期間 P1 所示）。前述字元線致能電壓 V_{WL0} 之電壓準位的上升速度與其電壓準位被降低之一幅度 %WLUD（即所述特定電壓）可依據電容 122 之面積或容值大小及/或 p 通道金氧半場效電晶體 1211 之面積或阻值大小而設計或調整。在一實施例中，字元線致能電壓 V_{WL0} 之電壓準位被降低之幅度 %WLUD 在一實施例中較佳約為 10% 以下。請注意，本發明中之電晶體型式僅為例示，其亦可以為其他型式之電晶體或其組合，不以此為限。請再參閱圖 2a 以及圖 2b，被降低或箝制之字元線致能電壓 V_{WL0} 會致能記憶體單元 130 所包含的閘通電晶體 132 而使其導通，所述閘通電晶體 132 耦接於記憶體單元 130 所包含的門鎖模組 131，假設門鎖模組 131 之一儲存節點所儲存者為一低電壓準位，亦即其邏輯值為 0，閘通電晶體 132 的導通

使得所述儲存節點藉由閘通電晶體 132 耦接於位元線 BL，則位元線 BL 的電壓準位會經由閘通電晶體 132 被閘鎖模組 131 拉至低電壓準位，被預充電的位元線 BL 由代表邏輯值為 1 的高電壓準位放電至代表邏輯值為 0 的低電壓準位，又，由於字元線致能電壓 V_{wL0} 已被電壓調整單元 120 調整而降低，閘通電晶體 132 的導通程度隨之降低，亦即閘通電晶體 132 的等效電阻增加，而壓抑所述儲存節點的電壓，又，由於字元線致能電壓 V_{wL0} 之電壓準位的上升速度已被電壓調整單元 120 調整而降低或變緩，於閘通電晶體 132 之閘極與閘鎖模組 131 之儲存節點之間的一雜散電容耦合路徑在閘鎖模組 131 之儲存節點所產生之耦合干擾電壓將被壓抑，上述兩機制皆可避免儲存節點的電壓升高成為讀取干擾電壓而導致閘鎖模組 131 之儲存節點所儲存的邏輯值 0 被錯誤地翻轉為邏輯 1，而達到實現字元線驅動抑制機制之目的。在達到減少讀取干擾的目的之餘，為避免從記憶體單元 130 讀取資料的速度因字元線致能電壓 V_{wL0} 的降低或上升速度的減緩而變慢，可藉由控制訊號 CTL0 將開關模組 121 包含之 p 通道金氧半場效電晶體 1211 關閉，則電容 122 停止耦接於字元線致能電壓 V_{wL0} ，字元線致能電壓 V_{wL0} 不再被電容 122 所箝制，或進一步透過控制存取控制訊號 A0 或控制字元線驅動單元 110 與字元線 WL0 的耦接，使字元線致能電壓 V_{wL0} 回升（如圖 2b 的一期間 P2 所示），以提高讀取資料的速度。由前述可知，本發明之隨機存取記憶體 100 可藉由電壓調整單元 120 來調整字元線 WL0 之電壓準位，實現字元線驅動抑制之機制，亦兼顧讀取資料的速度。

【0009】 此外，開關模組 121 可以為一可變電阻或由複數個開關組成以選擇電阻值，電容 122 可以為一可變電容或由複數個電容組成以選

擇電容值；隨機存取記憶體 100 可以另包含一偵測單元(未圖式)，用以偵測讀取干擾造成之記憶體單元 130 資料翻轉以產生一偵測結果，隨機存取記憶體 100 並根據該偵測結果經由控制訊號來選擇或調整開關模組 121 的電阻值或電容 122 的電容值，或根據該偵測結果來決定字元線致能電壓 V_{WL0} 的電壓降低區間 P1 的時間寬度與字元線致能電壓 V_{WL0} 之電壓準位的上升速度。

【0010】 請參閱圖 4，其是圖 1 之隨機存取記憶體 100 之另一詳細實施方式的電路圖，如圖所示，隨機存取記憶體 100 進一步包含：一字元線驅動單元 140、一電壓調整單元 150、與一記憶體單元 160，所述電壓調整單元 150 進一步包含一開關模組 151，以上字元線驅動單元 140、電壓調整單元 150、與記憶體單元 160 皆耦接於字元線 WL1，其中任二或全部上述電路可整合在一積體電路中或為個別電路。

【0011】 請再參閱圖 4，由於本技術領域具有通常知識者可藉由圖 1 及圖 3 之揭露內容來瞭解圖 4 中相同或相似部分的實施細節與變化，因此重複及冗餘之說明在此予以省略。在電壓調整單元 150 中，所述開關模組 151 包含一 p 通道金氧半場效電晶體 1511，其耦接於電壓調整單元 120 所包含之電容 122，並自閘極接收控制訊號 CTL1，當控制訊號 CTL1 為一低電壓訊號時，p 通道金氧半場效電晶體 1511 導通，則字元線致能電壓 V_{WL1} 與其電壓準位的上升速度得以被與電容 122 與電晶體 1511 箝制，而能夠避免記憶體單元 160 所儲存之資料因為錯誤地翻轉而造成讀取干擾，達到實現字元線驅動抑制機制之目的；類似地，為避免從記憶體單元 160 讀取資料的速度因字元線致能電壓 V_{WL1} 的電壓降低或其電壓準位的上

升速度變慢而減緩，可藉由控制訊號 CTL1 將開關模組 151 包含之 p 通道金氧半場效電晶體 1511 關閉，則電容 122 停止耦接於字元線致能電壓 V_{WL1} ，字元線致能電壓 V_{WL1} 不再被電容 122 所箝制，進而使字元線致能電壓 V_{WL1} 回升，以提升讀取資料的速度。由前述可知，電容 122 可被對應於字元線 WL1 之電壓調整單元 150 以及對應於字元線 WL0 之電壓調整單元 120 所共用。在一實施例中，電容 122 可被複數個字元線的複數個電壓調整單元所共用，其中每個電壓調整單元分別對應於每條字元線。隨機存取記憶體 100 可以包含如前述之偵測單元(未圖式)，用以偵測讀取干擾造成之記憶體單元 130 及/或記憶體單元 160 資料翻轉以產生偵測結果，隨機存取記憶體 100 並根據該偵測結果經由控制訊號來選擇或調整開關模組 121 及/或開關模組 151 的電阻值或電容 122 的電容值，或根據該偵測結果來決定字元線致能電壓 V_{WL0} 及/或字元線致能電壓 V_{WL1} 的電壓降低區間 P1 的時間寬度與字元線致能電壓 V_{WL0} 及/或字元線致能電壓 V_{WL1} 之電壓準位的上升速度。

● **【0012】** 請參閱圖 5，其是圖 1 之隨機存取記憶體 100 之又一詳細實施方式的電路圖，如圖所示，字元線驅動單元 110 包含相反器 111，且進一步包含：一 n 通道金氧半場效電晶體 1121 以及複數個 p 通道金氧半場效電晶體 1122、1123、及 1124，其中任二或全部上述電路可整合在一積體電路中或為個別電路。

【0013】 請再參閱圖 5，由於本技術領域具有通常知識者可藉由圖 1 至圖 4 之揭露內容來瞭解圖 5 中相同或相似部分的實施細節與變化，因此重複及冗餘之說明在此予以省略。字元線驅動單元 110 包含之 n 通道

金氧半場效電晶體 1121 之汲極耦接於電壓源 VDD，其源極耦接於其閘極為一節點 N1；字元線驅動單元 110 包含之 p 通道金氧半場效電晶體 1122、1123、及 1124 之源極耦接於電壓源 VDD，其汲極耦接於節點 N1，亦即 n 通道金氧半場效電晶體 1121 與 p 通道金氧半場效電晶體 1122、1123、及 1124 係並聯於電壓源 VDD 及節點 N1 之間，其中節點 N1 又耦接於相反器 111 之一電源端，用於提供相反器 111 一工作電壓，且複數個 p 通道金氧半場效電晶體 1122、1123、及 1124 分別接收複數個控制訊號 CTL1122、CTL1123、及 CTL1124，該複數個控制訊號 CTL1122、CTL1123、及 CTL1124 分別控制 p 通道金氧半場效電晶體 1122、1123、及 1124 的導通情形，以調整工作電壓以及字元線致能電壓 V_{wL0} 之準位。在一實施例中，相反器 111 之輸入端接收存取控制訊號 A0，且 p 通道金氧半場效電晶體 1122 接收為低電壓的控制訊號 CTL1122，則 p 通道金氧半場效電晶體 1122 導通，n 通道金氧半場效電晶體 1121 亦導通，此時使該複數個控制訊號 CTL1123 及 CTL1124 為高電壓訊號，則 p 通道金氧半場效電晶體 1123 及 1124 不導通，節點 N1 上用以提供相反器 111 的工作電壓亦降低，進而使字元線驅動單元 110 產生之字元線致能電壓 V_{wL0} 之準位降低，實現字元線驅動抑制之機制；接著，再使控制訊號 CTL1123 及 CTL1124 轉為低電壓訊號，則 p 通道金氧半場效電晶體 1123 及 1124 導通，節點 N1 上用以提供相反器 111 的工作電壓提升，進而使字元線驅動單元 110 產生之字元線致能電壓 V_{wL0} 之準位亦提升，可知，越多個 p 通道金氧半場效電晶體導通，則字元線致能電壓 V_{wL0} 之電壓準位越提升，讀取資料的速度提高，並達到彈性調整字元線致能電壓 V_{wL0} 之電壓準位之效果。在一實施例中，控

制訊號 CTL1123 及 CTL1124 為逐一轉為低電壓訊號，使 p 通道金氧半場效電晶體逐一導通，則字元線致能電壓 V_{wL0} 逐漸提升；在另一實施例中，控制訊號 CTL1123 及 CTL1124 為同時轉為低電壓訊號，使 p 通道金氧半場效電晶體同時導通，則字元線致能電壓 V_{wL0} 較快提升。另請注意，本實施例所揭露之 n 通道金氧半場效電晶體與 p 通道金氧半場效電晶體之數目僅為示例，本發明之範圍不以實施例所揭露者為限。於一實施例中，隨機存取記憶體 100 可以另包含一偵測單元(未圖式)，用以偵測讀取干擾造成之記憶體單元資料翻轉以產生一偵測結果，隨機存取記憶體 100 並根據該偵測結果經由複數個控制訊號 CTL1122、CTL1123、及 CTL1124 來控制或調整電晶體 1122、1123、及 1124 的導通以調整字元線致能電壓 V_{wL0} 之電壓準位與其上升速度。

【0014】 請參閱圖 6a，其是隨機存取記憶體 600 之另一實施例的示意圖，如圖所示，隨機存取記憶體 600 包含：字元線 WL0、一字元線驅動單元 610、以及一記憶體單元 630，且字元線驅動單元 610 進一步包含：一 p 通道金氧半場效電晶體 6131、一 n 通道金氧半場效電晶體 6132、以及複數個 p 通道金氧半場效電晶體 6141、6142、6143 及 6144，其中任二或全部上述電路可整合在一積體電路中或為個別電路。

【0015】 請再參閱圖 6a，字元線驅動單元 610 包含之 p 通道金氧半場效電晶體 6131 的源極耦接於電壓源 VDD，字元線驅動單元 610 包含之 n 通道金氧半場效電晶體 6132 之源極耦接於電壓源 VSS，其中電壓源 VDD 之電壓準位高於電壓源 VSS 之電壓準位；字元線驅動單元 610 包含之複數個 p 通道金氧半場效電晶體 6141、6142、6143 及 6144 之源極耦接

於 p 通道金氧半場效電晶體 6131 之汲極，且 p 通道金氧半場效電晶體 6141、6142、6143 及 6144 之汲極耦接於 n 通道金氧半場效電晶體 6132 之汲極，亦即 p 通道金氧半場效電晶體 6141、6142、6143 及 6144 是並聯於 p 通道金氧半場效電晶體 6131 與 n 通道金氧半場效電晶體 6132 之間。所述 p 通道金氧半場效電晶體 6141 接收存取控制訊號 A0，p 通道金氧半場效電晶體 6142、6143 及 6144 分別接收控制訊號 CTL6142、CTL6143 及 CTL6144，控制訊號 CTL6142、CTL6143 及 CTL6144 分別控制 p 通道金氧半場效電晶體 6142、6143 及 6144 的導通情形以調整字元線致能電壓 V_{wL0} 之上升速度或斜率 (slew rate)。在一實施例中，所述 p 通道金氧半場效電晶體 6141 接收存取控制訊號 A0，p 通道金氧半場效電晶體 6141 導通，且字元線驅動單元 610 產生字元線致能電壓 V_{wL0} ，此時，可藉由該複數個控制訊號 CTL6142、CTL6143 及 CTL6144 分別控制 p 通道金氧半場效電晶體 6142、6143 及 6144 中導通的電晶體數目，複數個 p 通道金氧半場效電晶體 6142、6143 及 6144 中導通的電晶體數目越少，則字元線致能電壓 V_{wL0} 的電壓波形的上升斜率越小，且字元線致能電壓 V_{wL0} 之電壓波形的全振幅 (full swing) 受到壓抑；若複數個 p 通道金氧半場效電晶體 6141、6142、及 6143 中導通的電晶體數目越多，則字元線致能電壓 V_{wL0} 的電壓波形的上升斜率越大，而藉由使適當個數的 p 通道金氧半場效電晶體導通，可得出適當斜率，當字元線致能電壓 V_{wL0} 所呈現之電壓波形以及電壓的上升斜率為該適當斜率時，可壓抑讀取干擾，而實現字元線驅動抑制之機制。於一實施例中，隨機存取記憶體 600 可以另包含一偵測單元(未圖式)，用以偵測讀取干擾造成之記憶體單元 630 資料翻轉以產生一偵測結果，隨機存取

記憶體 100 並根據該偵測結果經由複數個控制訊號 CTL6142、CTL6143 及 CTL6144 來控制電晶體 6142、6143 及 6144 的導通以控制字元線致能電壓 V_{wLo} 之電壓準位與其上升速度或斜率。

【0016】 請參考圖 6b，圖 6b 為對應於圖 6a 之實施例的電壓波形示意圖，如圖所示，當 p 通道金氧半場效電晶體 6142、6143 及 6144 皆未導通，只有 p 通道金氧半場效電晶體 6141 導通時，電壓波形為 $V_{wLo}(1)$ ，其斜率較小；當 p 通道金氧半場效電晶體 6141 及 6142 導通時，電壓波形為 $V_{wLo}(2)$ ，其斜率增加；而當 p 通道金氧半場效電晶體 6141、6142 及 6143 導通時，電壓波形為 $V_{wLo}(3)$ ，其斜率更大，依此類推。又，在另一實施例中，亦可先使 p 通道金氧半場效電晶體 6141 導通，以實現字元線驅動抑制之機制，再漸進地使 p 通道金氧半場效電晶體 6142、6143 及 6144 導通，以加快讀取資料的速度。另請注意，本實施例所揭露之複數個 p 通道金氧半場效電晶體之數目僅為示例，本發明之範圍不以實施例所揭露者為限。此外，在另一實施例中（如圖 7 所示），隨機存取記憶體 600 進一步包含：一電壓調整單元 620，所述電壓調整單元 620 如圖 1 至圖 5 之揭露內容，由於本技術領域具有通常知識者可前揭內容來瞭解圖 7 中相同或相似部分的實施細節與變化，因此重複及冗餘之說明在此予以省略。以上所述之開關模組之電晶體實作，但不以此為限。

【0017】 另外，本發明也提出一種記憶體存取方法，是由圖 1 之隨機存取記憶體 100 或其等效電路來執行，因此重複及冗餘之說明在此予以省略。如圖 8 所示，該方法之一實施例例如可包含下列步驟：

Step S810：接收存取控制訊號 A0 以據以產生字元線致能電壓 V_{wLo} ；

Step S820：接收控制訊號CTL0以據以控制開關模組121，其中開關模組121係耦接於電容122；

Step S830：依據開關模組121的導通情形使用電容122以調整字元線致能電壓 V_{WL0} 之電壓準位；以及

Step S840：依據字元線致能電壓 V_{WL0} 以致能記憶體單元130；其中字元線致能電壓 V_{WL0} 、開關模組121、以及記憶體單元130係對應於字元線WL0。在一實施例中，該方法尚包含：接收存取控制訊號A1以據以產生字元線致能電壓 V_{WL1} ；接收控制訊號CTL1以據以控制開關模組151，其中開關模組151係耦接於該電容122；以及依據開關模組151的導通情形以使用電容122以調整字元線致能電壓 V_{WL1} 之電壓準位；依據字元線致能電壓 V_{WL1} 以致能記憶體單元160；其中字元線致能電壓 V_{WL1} 、開關模組151、以及記憶體單元160係對應於字元線WL1。

【0018】 承前所述，在本發明隨機存取記憶體與記憶體存取方法之實施例中，係利用電壓調整單元以及字元線驅動單元來調整使記憶體單元致能所需的字元線致能電壓，以實現字元線驅動抑制機制，達到減少讀取干擾的功效。相較於習知技術，本發明可彈性調整字元線致能電壓，在達到減少讀取干擾的目的之餘，亦維持從記憶體讀取資料的速度，避免讀取速度隨著字元線致能電壓降低而減緩。

【0019】 雖然本發明之實施例如上所述，然而該些實施例並非用來限定本發明，本技術領域具有通常知識者可依據本發明之明示或隱含之內容對本發明之技術特徵施以變化，凡此種種變化均可能屬於本發明所尋

求之專利保護範疇，換言之，本發明之專利保護範圍須視本說明書之申請專利範圍所界定者為準。

【符號說明】

100 隨機存取記憶體

110、140、610 字元線驅動單元

111、631 相反器

1111、1211、1511、1122~1124、6131、6141~6144、6211 p 通道金氧
半場效電晶體

1112、1121、6132 n 通道金氧半場效電晶體

120、150、620 電壓調整單元

121、151、621 開關模組

122、622 電容

130、160、630 記憶體單元

131、161、631 閘鎖模組

132、162、632 閘通電晶體

WL0、WL1 字元線

BL、BLB 位元線

A0、A1 存取控制訊號

V_{WL0} 、 V_{WL1} 字元線致能電壓

CTL0、CTL1、CTL1122~CTL1124、CTL6141~CTL6144 控制訊號

VDD、VSS 電壓源

P1、P2 期間

S810~S840 步驟

【發明申請專利範圍】

【第1項】一種隨機存取記憶體，包含：

- 一第一字元線；
- 一第一字元線驅動單元，耦接於該第一字元線，用於接收一第一存取控制訊號以據以產生一第一字元線致能電壓；
- 一第一電壓調整單元，包含：
 - 一第一開關模組，耦接於該第一字元線，用於接收一第一控制訊號以據以而呈現導通或不導通；以及
 - 一電容，耦接於該第一開關模組，用於依據該第一開關模組的導通情形以調整該第一字元線致能電壓之電壓準位，其中當該第一控制訊號導通該第一開關模組時，該電容耦接於該第一字元線並使該字元線致能電壓降低；當該第一控制訊號不導通該第一開關模組時，該電容停止耦接於該第一字元線並使該字元線致能電壓提高；以及
- 一第一記憶體單元，耦接於該第一字元線，用於依據該第一字元線致能電壓而被致能。

【第2項】如申請專利範圍第1項所述之隨機存取記憶體，包含：

- 一第二字元線；
- 一第二字元線驅動單元，耦接於該第二字元線，用於接收一第二存取控制訊號以據以產生一第二字元線致能電壓；
- 一第二電壓調整單元，包含：

一第二開關模組，耦接於該第二字元線以及該電容，用於接收一第二控制訊號以據以呈現導通或不導通，其中該電容依據該第二開關模組的導通情形以調整該第二字元線致能電壓之電壓準位；以及

一第二記憶體單元，耦接於該第二字元線，用於依據該第二字元線致能電壓而被致能。

【第3項】如申請專利範圍第1項所述之隨機存取記憶體，其中該第一開關模組包含一第一金氧半場效電晶體，其中當該第一控制訊號為一第一電壓準位訊號時，該第一金氧半場效電晶體導通，該電容耦接於該第一字元線；當該第一控制訊號為一第二電壓準位訊號時，該第一金氧半場效電晶體關閉，該電容停止耦接於該第一字元線。

【第4項】如申請專利範圍第1項所述之隨機存取記憶體，其中該第一字元線驅動單元包含：

一相反器，其一輸入端接收該第一存取控制訊號，其一輸出端輸出該第一字元線致能電壓；

複數個p通道金氧半場效電晶體，該複數個p通道金氧半場效電晶體之源極耦接於一第一電壓源；以及

至少一n通道金氧半場效電晶體，其汲極耦接於該第一電壓源；

其中該n通道金氧半場效電晶體之源極與閘極共同耦接於該相反器之一電源端，該複數個p通道金氧半場效電晶體之汲極亦連接於該電源端，以及該相反器從該電源端得到一工作電壓，且該工作電壓受到該複數個p通道金氧半場效電晶體之導通情形所控制。

【第5項】如申請專利範圍第4項所述之隨機存取記憶體，其中該複數個p通道金氧半場效電晶體之一第一p通道金氧半場效電晶體與一第二p通道金氧半場效電晶體分別在不同時間點導通。

【第6項】如申請專利範圍第4項所述之隨機存取記憶體，另包含：

一偵測單元，用以偵測讀取干擾造成之該第一記憶體單元之資料翻轉以產生一偵測結果，並根據該偵測結果經由該複數個控制訊號來控制或調整該複數個p通道金氧半場效電晶體的導通以調整該第一字元線致能電壓之電壓準位與其上升速度。

【第7項】如申請專利範圍第1項所述之隨機存取記憶體，其中該第一字元線驅動單元包含：

一第一p通道金氧半場效電晶體，其源極耦接於一第一電壓源；
一n通道金氧半場效電晶體，其源極耦接於一第二電壓源；以及
複數個第二p通道金氧半場效電晶體，並聯於該第一p通道金氧半場效電晶體之汲極與該n通道金氧半場效電晶體之汲極之間；

其中該複數個第二p通道金氧半場效電晶體其中之一接收該第一存取控制訊號，該複數個第二p通道金氧半場效電晶體之其他分別接收複數個控制訊號並依據該複數個控制訊號而分別導通或不導通以控制該第一字元線致能電壓之一斜率，且該第一電壓源之電壓準位高於該第二電壓源之電壓準位。

【第8項】如申請專利範圍第7項所述之隨機存取記憶體，其中當該複數個第二p通道金氧半場效電晶體的導通數量越少時，該第一字元線致能

電壓之斜率越小，以及當該複數個第二p通道金氧半場效電晶體的導通數量越多時，該第一字元線致能電壓之斜率越大。

【第9項】如申請專利範圍第7項所述之隨機存取記憶體，另包含：

一偵測單元，用以偵測讀取干擾造成之該第一記憶體單元之資料翻轉以產生一偵測結果，並根據該偵測結果經由該複數個控制訊號以調整該複數個第二p通道金氧半場效電晶體的導通以調整該第一字元線致能電壓之電壓準位與其上升速度。

【第10項】如申請專利範圍第1項所述之隨機存取記憶體，其中該第一字元線致能電壓之一調整幅度係依據該電容之電容值以及該第一開關模組之電阻值之至少其中之一而決定。

【第11項】如申請專利範圍第1項所述之隨機存取記憶體，另包含：

一偵測單元，用以偵測讀取干擾造成之該第一記憶體單元之資料翻轉以產生一偵測結果，並根據該偵測結果來調整該第一開關模組的電阻值或該電容的電容值。

【第12項】一種記憶體存取方法，由一隨機存取記憶體來執行，包含下列步驟：

接收一第一存取控制訊號以據以產生一第一字元線致能電壓；

接收一第一控制訊號以據以控制一第一開關模組，其中該第一開關模組係耦接於一電容；

依據該第一開關模組的導通情形使用該電容調整該第一字元線致能電壓之電壓準位，其中當該第一控制訊號導通該第一開關模組時，該電容耦接於該第一字元線並使該字元線致能電壓降低；以

及當該第一控制訊號不導通該第一開關模組時，該電容停止耦
接於該第一字元線並使該字元線致能電壓提高；以及
依據該第一字元線致能電壓以致能一第一記憶體單元；
其中該第一字元線致能電壓、該第一開關模組、以及該第一記憶體單
元係對應於一第一字元線。

【第13項】如申請專利範圍第12項所述之記憶體存取方法，包含：

接收一第二存取控制訊號以據以產生一第二字元線致能電壓；
接收一第二控制訊號以據以控制一第二開關模組，其中該第二開關模
組係耦接於該電容；以及
依據該第二開關模組的導通情形使用該電容調整該第二字元線致能電
壓之電壓準位；
依據該第二字元線致能電壓以致能一第二記憶體單元；
其中該第二字元線致能電壓、該第二開關模組、以及該第二記憶體單
元係對應於一第二字元線。

【第14項】如申請專利範圍第12項所述之記憶體存取方法，其中調整
該第一字元線致能電壓之電壓準位之步驟包含：

依據該電容之電容值以及該第一開關模組之電阻值之至少其中之一來
決定該第一字元線致能電壓之一調整幅度。

【第15項】如申請專利範圍第12項所述之記憶體存取方法，包含：

偵測讀取干擾造成之該第一記憶體單元之資料翻轉以產生一偵測結
果，並根據該偵測結果來調整該第一開關模組的電阻值或該電容
的電容值。

【發明圖式】

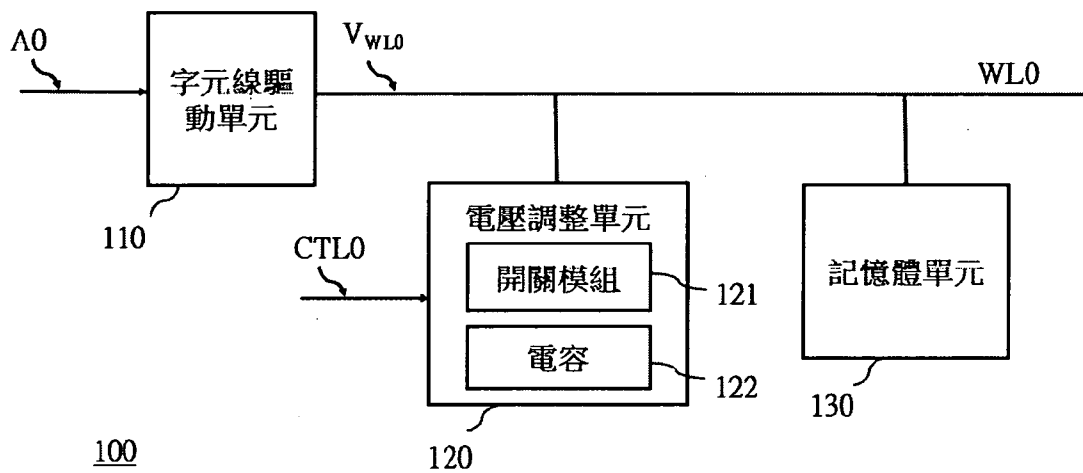


圖 1

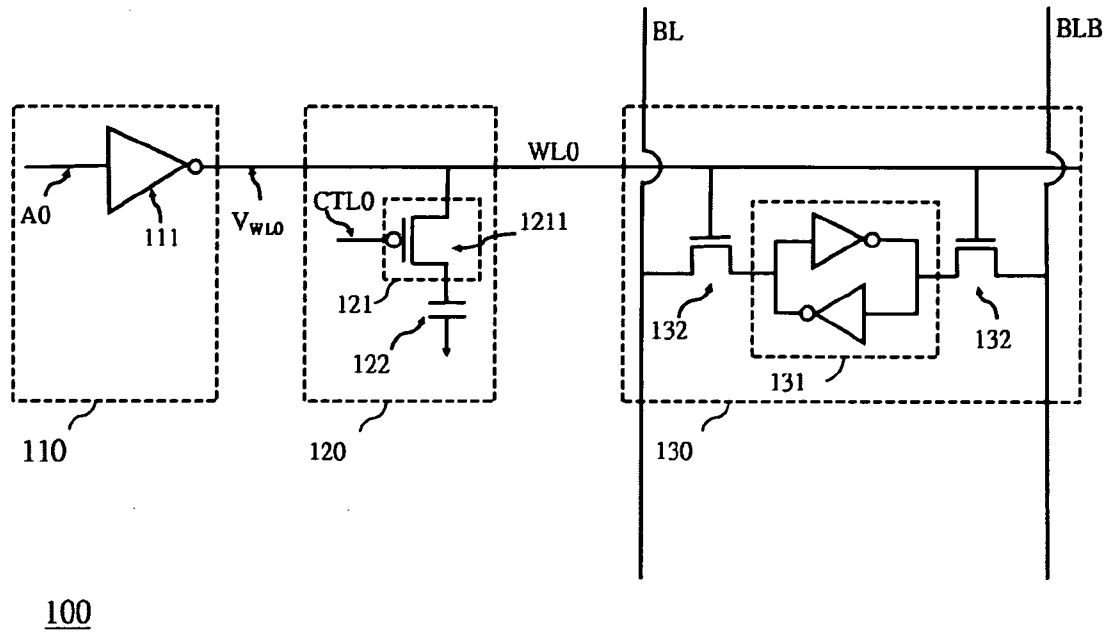


圖 2a

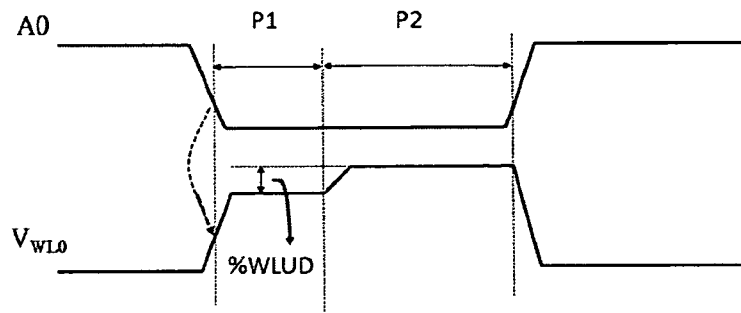


圖 2b

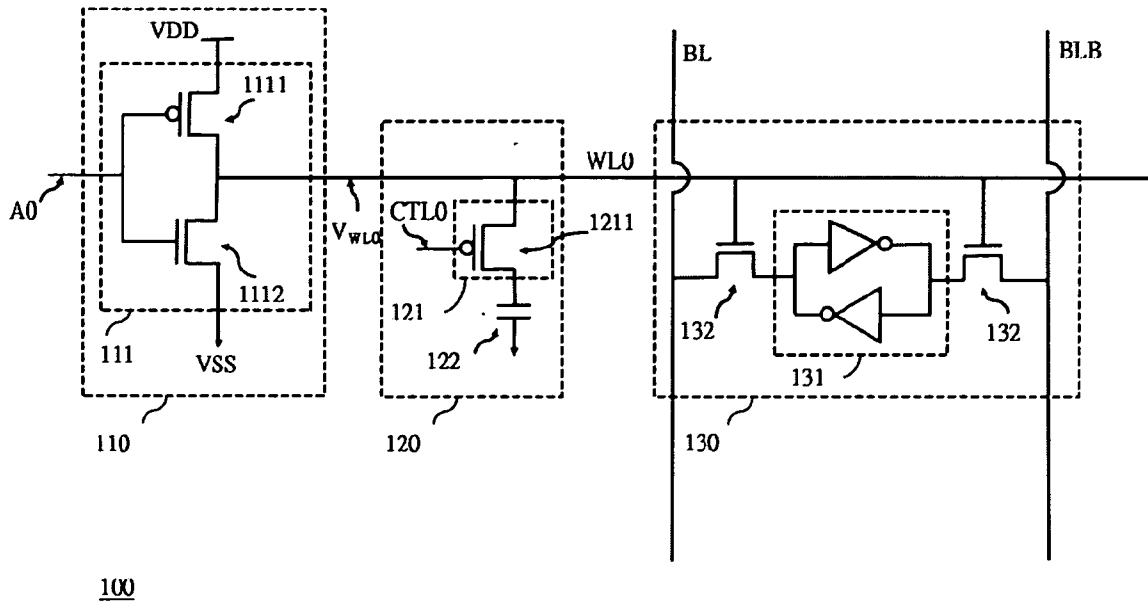


圖 3

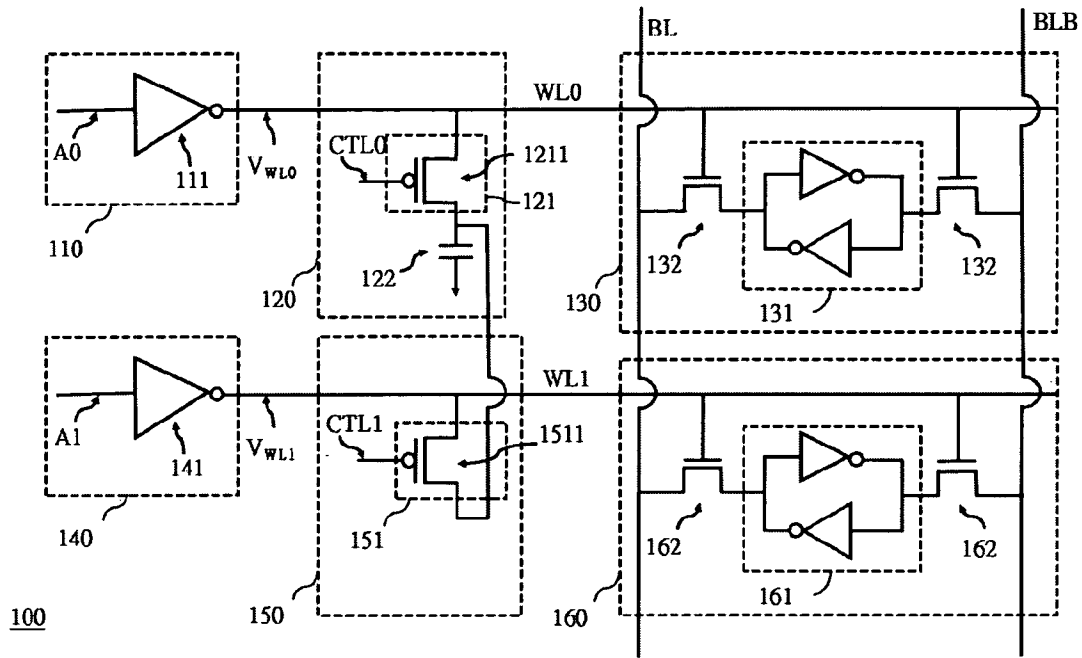


圖 4

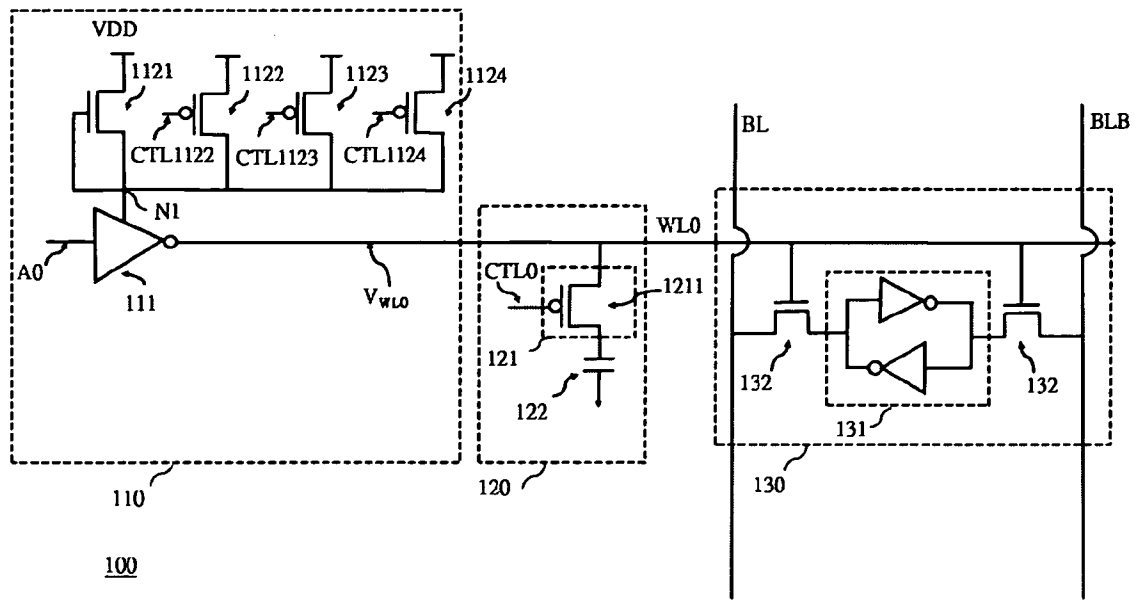


圖 5

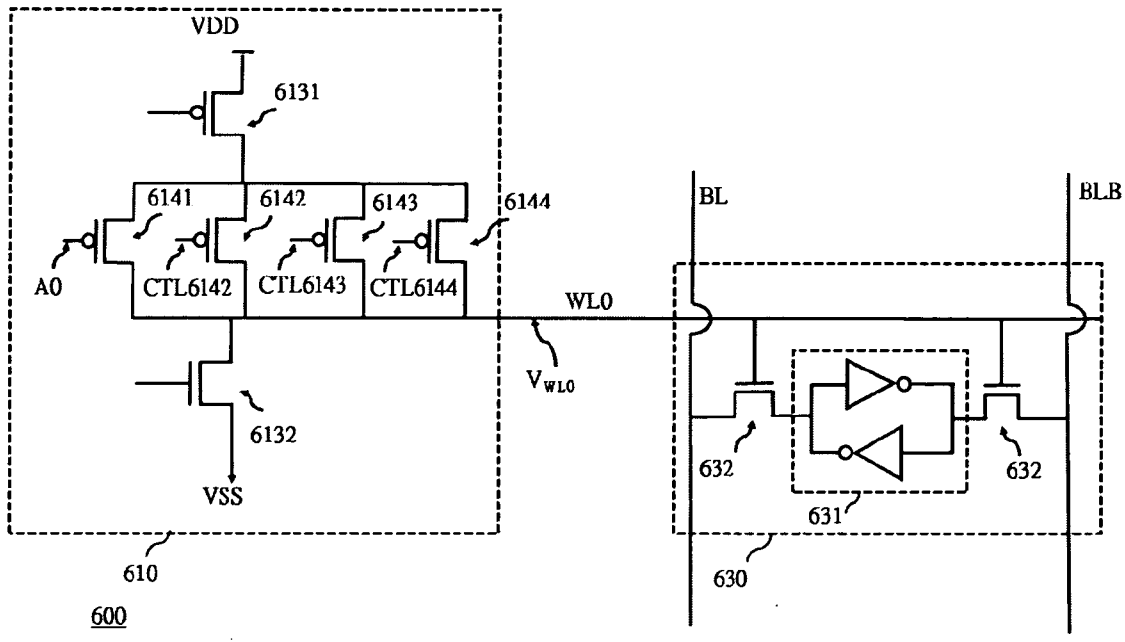


圖 6a

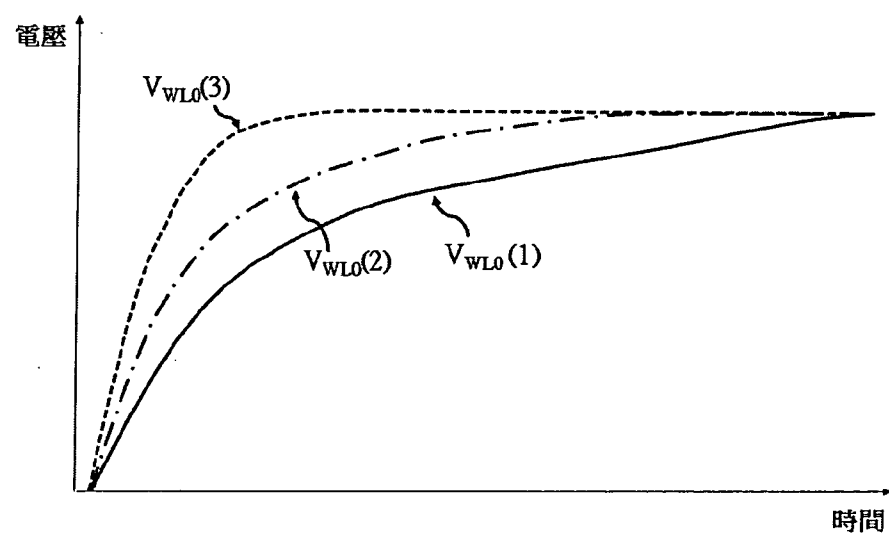


圖 6b

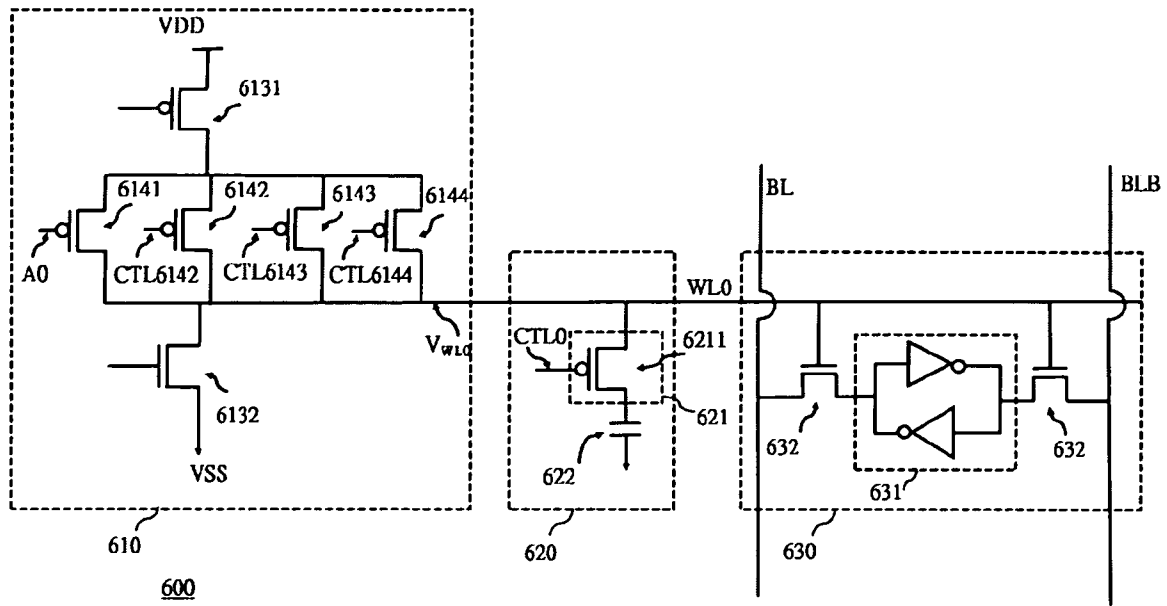


圖 7

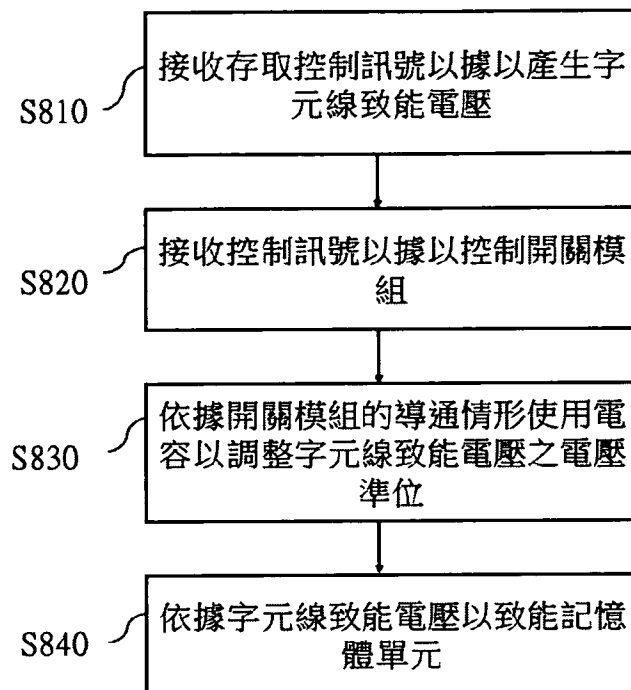


圖 8