



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년02월12일
(11) 등록번호 10-1593443
(24) 등록일자 2016년02월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/136 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2009-0013980
(22) 출원일자 2009년02월19일
심사청구일자 2014년02월03일
(65) 공개번호 10-2010-0094817
(43) 공개일자 2010년08월27일
(56) 선행기술조사문헌
KR1020080093709 A*
KR1020080002582 A*
KR1020070057505 A*
KR100787455 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
서현식
경기도 안양시 동안구 매곡로 22, 효성상아빌라 3동 202호 (비산동)
배중욱
서울특별시 양천구 목동동로 130, 목동아파트 1422동 2002호 (신정동)
김대환
경상북도 구미시 인동45길 7, 부영아파트 104동 801호 (구평동)
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 5 항

심사관 : 최혜미

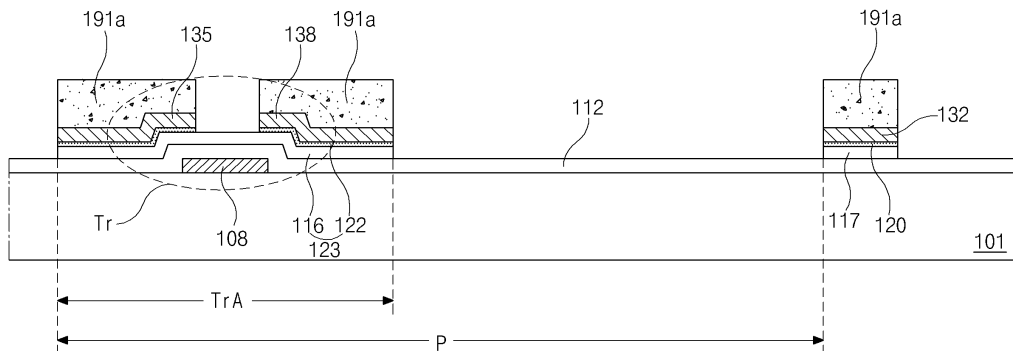
(54) 발명의 명칭 **어레이 기판의 제조방법**

(57) 요약

본 발명은, 화소영역과, 상기 화소영역 내에 스위칭 영역이 정의된 기판 위로 일방향으로 연장하는 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 배선과 게이트 전극 위로 전면에 게이트 절연막과 제 1 두께를 갖는 순수 비정질 실리콘층을 형성하는 단계와; 상기 (뒷면에 계속)

대표도 - 도3i

제 2 식각액을 이용한 습식식각



순수 비정질 실리콘층 위로 제 2 두께를 갖는 산화물 반도체층을 형성하는 단계와; 상기 산화물 반도체층의 전도 특성을 향상시켜 옴틱특성을 갖도록 하는 단계와; 상기 옴틱특성을 갖는 산화물 반도체층 위로 전면에 금속층을 형성하는 단계와; 상기 제 1 금속층 위로 제 3 두께를 갖는 제 1 포토레지스트 패턴과, 상기 제 3 두께보다 얇은 제 4 두께를 갖는 제 2 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토레지스트 패턴 외부로 노출된 상기 금속층과, 그 하부의 상기 산화물 반도체층과 상기 순수 비정질 실리콘층을 제거함으로써 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 데이터 배선과 연결된 소스 드레인 패턴과, 그 하부로 순차적으로 산화물 반도체 패턴과 순수 비정질 실리콘의 액티브층을 형성하는 단계와; 상기 제 2 포토레지스트 패턴을 애싱(ashing)을 통해 제거함으로써 상기 소스 드레인 패턴의 중앙부를 노출시키는 단계와; 상기 제 2 포토레지스트 패턴이 제거됨으로써 노출된 상기 소스 드레인 패턴의 중앙부를 제 1 식각액을 이용한 습식식각을 진행하여 제거함으로써 서로 이격하는 소스 및 드레인 전극을 형성하며, 상기 산화물 반도체 패턴의 중앙부를 노출시키는 단계와; 상기 소스 및 드레인 전극 사이로 노출된 상기 산화물 반도체 패턴을 상기 순수 비정질 실리콘과는 반응하지 않는 제 2 식각액을 이용한 습식식각을 진행하여 제거함으로써 상기 소스 및 드레인 전극 하부로 산화물 반도체 물질의 옴틱콘택층을 형성하는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계와; 상기 제 1 포토레지스트 패턴이 제거됨으로써 노출된 상기 소스 및 드레인 전극과 데이터 배선 위로 전면에 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 보호층 위로 상기 화소영역에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하며, 상기 액티브층은 스위칭 영역 내에서 균일한 두께를 갖는 것이 특징인 어레이 기판의 제조방법을 제공한다.

특허청구의 범위

청구항 1

화소영역과 상기 화소영역 내에 스위칭 영역이 정의된 기판 위로, 일방향으로 연장하는 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 배선과 게이트 전극 위로 전면에 게이트 절연막과 제 1 두께를 갖는 순수 비정질 실리콘층을 형성하는 단계와;

상기 순수 비정질 실리콘층 위로 제 2 두께를 갖는 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층이 형성된 기판에 대해 300℃ 내지 400℃ 온도 분위기를 갖는 오븐 또는 퍼나스 (furnace) 내에서 수십 초 내지 수십 분간 열처리를 실시함으로써 상기 산화물 반도체층의 전도 특성을 향상시켜 오믹특성을 갖도록 하는 단계와;

상기 오믹특성을 갖는 산화물 반도체층 위로 전면에 금속층을 형성하는 단계와;

상기 금속층 위로 제 3 두께를 갖는 제 1 포토레지스트 패턴과, 상기 제 3 두께보다 얇은 제 4 두께를 갖는 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토레지스트 패턴 외부로 노출된 상기 금속층과, 그 하부의 상기 산화물 반도체층과 상기 순수 비정질 실리콘층을 제거함으로써 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 데이터 배선과 연결된 소스 드레인 패턴과, 그 하부로 순차적으로 산화물 반도체 패턴과 순수 비정질 실리콘의 액티브층을 형성하는 단계와;

상기 제 2 포토레지스트 패턴을 애싱(ashing)을 통해 제거함으로써 상기 소스 드레인 패턴의 중앙부를 노출시키는 단계와;

상기 제 2 포토레지스트 패턴이 제거됨으로써 노출된 상기 소스 드레인 패턴의 중앙부를 제 1 식각액을 이용한 습식식각을 진행하여 제거함으로써 서로 이격하는 소스 및 드레인 전극을 형성하며, 상기 산화물 반도체 패턴의 중앙부를 노출시키는 단계와;

상기 소스 및 드레인 전극 사이로 노출된 상기 산화물 반도체 패턴을 상기 순수 비정질 실리콘과는 반응하지 않는 제 2 식각액을 이용한 습식식각을 진행하여 제거함으로써 상기 소스 및 드레인 전극 하부로 산화물 반도체 물질의 오믹콘택층을 형성하는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계와;

상기 제 1 포토레지스트 패턴이 제거됨으로써 노출된 상기 소스 및 드레인 전극과 데이터 배선 위로 전면에 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와;

상기 보호층 위로 상기 화소영역에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계

를 포함하며, 상기 액티브층은 스위칭 영역 내에서 균일한 두께를 갖는 것이 특징인 어레이 기판의 제조방법.

청구항 2

삭제

청구항 3

화소영역과, 상기 화소영역 내에 스위칭 영역이 정의된 기판 위로 일방향으로 연장하는 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 배선과 게이트 전극 위로 전면에 게이트 절연막과 제 1 두께를 갖는 순수 비정질 실리콘층을 형성하는 단계와;

상기 순수 비정질 실리콘층 위로 제 2 두께를 갖는 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층과 그 하부의 순수 비정질 실리콘층을 패터닝하여 상기 스위칭 영역의 상기 게이트 절연막 위로 순차적으로 순수 비정질 실리콘의 액티브층과, 산화물 반도체 패턴을 형성하는 단계와;

상기 산화물 반도체 패턴이 형성된 기판에 대해 300℃ 내지 400℃ 온도 분위기를 갖는 오븐 또는 퍼나스(furnace) 내에서 수십 초 내지 수십 분간 열처리를 실시함으로써 상기 산화물 반도체 패턴의 전도 특성을 향상시켜 옴틱특성을 갖도록 하는 단계와;

상기 옴틱특성을 갖는 산화물 반도체 패턴 위로 전면에 금속층을 형성하고, 이를 제 1 식각액을 이용한 습식식각을 진행하여 패터닝하여 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 산화물 반도체 패턴 위로 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극 사이로 노출된 상기 산화물 반도체 패턴을 상기 액티브층과 반응하지 않는 제 2 식각액을 이용한 습식식각을 진행하여 제거함으로써 상기 소스 및 드레인 전극 하부로 산화물 반도체 물질의 옴콘택층을 형성하는 단계와;

상기 소스 및 드레인 전극과 데이터 배선 위로 전면에 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와;

상기 보호층 위로 상기 화소영역에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계

를 포함하며, 상기 액티브층은 스위칭 영역 내에서 균일한 두께를 갖는 것이 특징인 어레이 기판의 제조방법.

청구항 4

삭제

청구항 5

제 1 항 또는 제 3 항에 있어서,
상기 제 1 두께는 300Å 내지 700Å인 어레이 기판의 제조방법.

청구항 6

제 1 항 또는 제 3 항에 있어서,
상기 제 2 두께는 50Å 내지 500Å인 어레이 기판의 제조방법.

청구항 7

제 1 항 또는 제 3 항에 있어서,
상기 산화물 반도체층은 a-IGZO(amorphous-Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), ZTO(Zinc Tin Oxide) 중 어느 하나의 물질을 이용하여 형성하는 것이 특징인 어레이 기판의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 어레이 기판에 관한 것이며, 특히 건식식각 진행에 의해 액티브층의 표면 손상 발생을 원천적으로 억제하며, 이동도 특성이 우수한 액티브층을 갖는 박막트랜지스터 어레이 기판의 제조방법에 관한 것이다.

배경 기술

- [0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어듦에 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 평판표시장치로서 액정표시장치 또는 유기전계 발광소자가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.
- [0003] 액정표시장치 중에서는 각 화소(pixel)별로 전압의 온(on),오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 어레이 기판을 포함하는 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.
- [0004] 또한, 유기전계 발광소자는 높은 휘도와 낮은 동작 전압 특성을 가지며, 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하므로 최근 평판표시장치로서 주목 받고 있다.
- [0005] 이러한 액정표시장치와 유기전계 발광소자에 있어서 공통적으로 화소영역 각각을 온(on)/오프(off) 제거하기 위해 필수적으로 스위칭 소자인 박막트랜지스터를 구비한 어레이 기판이 구성된다.
- [0006] 도 1은 액정표시장치 또는 유기전계 발광소자를 구성하는 종래의 어레이 기판에 있어 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 부분에 대한 단면을 도시한 것이다.
- [0007] 도시한 바와 같이, 어레이 기판(11)에 있어 다수의 게이트 배선(미도시)과 다수의 데이터 배선(33)이 교차하여 정의되는 다수의 화소영역(P) 내의 스위칭 영역(TrA)에는 게이트 전극(15)이 형성되어 있다. 또한, 상기 게이트 전극(15) 상부로 전면에 게이트 절연막(18)이 형성되어 있으며, 그 위에 순차적으로 순수 비정질 실리콘의 액티브층(22)과 불순물 비정질 실리콘의 오믹콘택층(26)으로 구성된 반도체층(28)이 형성되어 있다. 또한 상기 오믹콘택층(26) 위로는 상기 게이트 전극(15)에 대응하여 서로 이격하며 소스 전극(36)과 드레인 전극(38)이 형성되어 있다. 이때 상기 스위칭 영역(TrA)에 순차 적층 형성된 게이트 전극(15)과 게이트 절연막(18)과 반도체층(28)과 소스 및 드레인 전극(36, 38)은 박막트랜지스터(Tr)를 이룬다.
- [0008] 또한, 상기 소스 및 드레인 전극(36, 38)과 노출된 액티브층(22) 위로 전면에 상기 드레인 전극(38)을 노출시키는 드레인 콘택홀(45)을 포함하는 보호층(42)이 형성되어 있으며, 상기 보호층(42) 상부에는 각 화소영역(P)별로 독립되며, 상기 드레인 콘택홀(45)을 통해 상기 드레인 전극(38)과 접촉하는 화소전극(50)이 형성되어 있다. 이때, 상기 데이터 배선(33) 하부에는 상기 오믹콘택층(26)과 액티브층(22)을 이루는 동일한 물질로 제 1 패턴(27)과 제 2 패턴(23)의 이중층 구조를 갖는 반도체 패턴(29)이 형성되어 있다.
- [0009] 전술한 구조를 갖는 종래의 어레이 기판(11)에 있어서 상기 스위칭 영역(TrA)에 구성된 박막트랜지스터(Tr)의 반도체층(28)을 살펴보면, 순수 비정질 실리콘의 액티브층(22)은 그 상부로 서로 이격하는 오믹콘택층(26)이 형성된 부분의 제 1 두께(t_1)와 상기 오믹콘택층(26)이 제거되어 노출된 된 부분의 제 2 두께(t_2)가 달리 형성됨을 알 수 있다. 이러한 액티브층(22)의 두께 차이($t_1 \neq t_2$)는 제조 방법에 기인한 것이며, 상기 액티브층(22)의 두께 차이($t_1 \neq t_2$)에 의해 상기 박막트랜지스터(Tr)의 특성 저하가 발생하고 있다.
- [0010] 도 2a 내지 도 2e는 종래의 어레이 기판의 제조 단계 중 반도체층과 소스 및 드레인 전극을 형성하는 단계를 도시한 공정 단면도이다.
- [0011] 우선, 도 2a에 도시한 바와 같이, 기판(11) 상에 금속물질을 증착하고 패터닝함으로써 일방향으로 연장하는 게이트 배선(미도시)과, 상기 게이트 배선(미도시)과 연결된 게이트 전극(미도시)을 형성한다. 이후, 상기 게이트 배선(미도시)과 게이트 전극(미도시) 위로 무기절연물질을 증착하여 전면에 게이트 절연막(미도시)을 형성한다.
- [0012] 다음, 상기 게이트 절연막(미도시) 위로 순수 비정질 실리콘층(20)을 형성하고 그 상부로 불순물 비정질 실리콘층(24)과 금속층(30)을 순차적으로 형성한다. 이후 상기 금속층(30) 위로 포토레지스트를 도포하여 포토레지스트층(미도시)을 형성하고, 이를 노광 마스크를 이용하여 노광하고, 연속하여 현상함으로써 상기 소스 및 드레인 전극이 형성될 부분에 대응하여 제 3 두께를 갖는 제 1 포토레지스트 패턴(91)을 형성하고, 동시에 상기 소스 및 드레인 전극 사이의 이격영역에 대응해서는 상기 제 3 두께보다 얇은 제 4 두께를 갖는 제 2 포토레지스트 패턴(92)을 형성한다.
- [0013] 다음, 도 2b에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(91, 92) 외부로 노출된 상기 금속층(도

2a의 30)과 그 하부의 불순물 및 순수 비정질 실리콘층(도 2a의 24, 20)을 식각하여 제거함으로써 최상부에 금속물질로서 소스 드레인 패턴(31)을 형성하고, 그 하부로 불순물 비정질 실리콘 패턴(25)과, 액티브층(22)을 형성한다.

- [0014] 다음, 도 2c에 도시한 바와 같이, 애싱(ashing)을 진행함으로써 상기 제 4 두께의 제 2 포토레지스트 패턴(도 2b의 92)을 제거한다. 이 경우 상기 제 1 두께의 제 1 포토레지스트 패턴(도 2b의 91)은 그 두께가 줄어든 상태로 제 3 포토레지스트 패턴(93)을 이루며 상기 소스 드레인 패턴(31) 상에 남아있게 된다.
- [0015] 다음, 도 2d에 도시한 바와 같이, 상기 제 3 포토레지스트 패턴(93) 외부로 노출된 상기 소스 드레인 패턴(도 2c의 31)을 식각하여 제거함으로써 서로 이격하는 소스 및 드레인 전극(36, 38)을 형성한다. 이때 상기 소스 및 드레인 전극(36, 398) 사이로 상기 불순물 비정질 실리콘 패턴(25)이 노출되게 된다.
- [0016] 다음, 도 2e에 도시한 바와 같이, 상기 소스 및 드레인 전극(36, 38) 사이의 이격영역에 노출된 상기 불순물 비정질 실리콘 패턴(도 2d의 25)에 대해 건식식각을 실시함으로써 상기 소스 및 드레인 전극(36, 38) 외부로 노출된 상기 불순물 비정질 실리콘 패턴(도 2d의 25)을 제거함으로써 서로 이격하는 오믹콘택층(26)을 상기 소스 및 드레인 전극(36, 38) 하부에 형성한다.
- [0017] 이때, 상기 건식식각은 상기 소스 및 드레인 전극(36, 38) 외부로 노출된 불순물 비정질 실리콘 패턴(도 2d의 25)을 완전히 없애기 위해 충분히 오랜시간 지속되며, 이러한 과정에서 상기 불순물 비정질 실리콘 패턴(도 2d의 25) 하부에 위치한 액티브층(22)까지도 상기 불순물 비정질 실리콘 패턴(도 2d의 25)이 제거되는 부분에 대해서는 소정 두께 식각이 발생하게 된다. 따라서 액티브층(22)에 있어 그 상부에 오믹콘택층(26)이 형성된 부분과 노출된 부분에 있어 두께($t_1 \neq t_2$) 차이가 발생하게 된다. 상기 건식식각을 충분히 오랜시간 실시하지 않으면, 소스 및 드레인 전극(36, 38) 간의 이격영역에 있어 제거되어야 할 상기 불순물 비정질 실리콘 패턴(도 2d의 25)이 상기 액티브층(22) 상부에 남게되므로 이를 방지하기 위함이다.
- [0018] 따라서, 전술한 종래의 어레이 기판(11)의 제조 방법에 있어서는 필연적으로 액티브층(22)의 두께 차이가 발생하게 되며, 이로 인해 박막트랜지스터(도 1의 Tr)의 특성 저하가 발생하게 된다.
- [0019] 또한, 액티브층(22)이 오믹콘택층(26) 형성을 위한 건식식각 진행 시 식각되어 제거되는 두께까지 고려하여 1500Å 내지 1800Å 정도의 두께를 갖도록 상기 액티브층(22)을 이루는 순수 비정질 실리콘층(도 2a의 20)을 충분히 두껍게 증착해야 하는 바, 증착시간이 늘어나 생산성을 떨어뜨리는 결과를 초래하고 있다.

발명의 내용

해결 하고자하는 과제

- [0020] 본 발명은 전술한 문제를 해결하기 위한 것으로, 액티브층이 건식식각에 노출되지 않음으로써 그 표면에 손상이 발생하지 않아 박막트랜지스터의 특성이 향상되는 어레이 기판의 제조 방법을 제공하는 것을 그 목적으로 한다.

과제 해결수단

- [0021] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 어레이 기판의 제조 방법은, 화소영역과 상기 화소영역 내에 스위칭 영역이 정의된 기판 위로, 일방향으로 연장하는 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 배선과 게이트 전극 위로 전면에 게이트 절연막과 제 1 두께를 갖는 순수 비정질 실리콘층을 형성하는 단계와; 상기 순수 비정질 실리콘층 위로 제 2 두께를 갖는 산화물 반도체층을 형성하는 단계와; 상기 산화물 반도체층이 형성된 기판에 대해 아르곤(Ar) 또는 수소(H) 가스 분위기를 갖는 진공의 챔버 내에서 플라즈마 표면 처리를 실시함으로써 상기 산화물 반도체층의 전도 특성을 향상시켜 오믹특성을 갖도록 하는 단계와; 상기 오믹특성을 갖는 산화물 반도체층 위로 전면에 금속층을 형성하는 단계와; 상기 제 1 금속층 위로 제 1 두께를 갖는 제 1 포토레지스트 패턴과, 상기 제 1 두께보다 얇은 제 2 두께를 갖는 제 2 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토레지스트 패턴 외부로 노출된 상기 금속층과, 그 하부의 상기 산화물 반도체층과 상기 순수 비정질 실리콘층을 제거함으로써 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 테

이터 배선과 연결된 소스 드레인 패턴과, 그 하부로 순차적으로 산화물 반도체 패턴과 순수 비정질 실리콘의 액티브층을 형성하는 단계와; 상기 제 2 포토레지스트 패턴을 애싱(ashing)을 통해 제거함으로써 상기 소스 드레인 패턴의 중앙부를 노출시키는 단계와; 상기 제 2 포토레지스트 패턴이 제거됨으로써 노출된 상기 소스 드레인 패턴의 중앙부를 제 1 식각액을 이용한 습식식각을 진행하여 제거함으로써 서로 이격하는 소스 및 드레인 전극을 형성하며, 상기 산화물 반도체 패턴의 중앙부를 노출시키는 단계와; 상기 소스 및 드레인 전극 사이로 노출된 상기 산화물 반도체 패턴을 상기 순수 비정질 실리콘과는 반응하지 않는 제 2 식각액을 이용한 습식식각을 진행하여 제거함으로써 상기 소스 및 드레인 전극 하부로 산화물 반도체 물질의 오믹콘택층을 형성하는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계와; 상기 제 1 포토레지스트 패턴이 제거됨으로써 노출된 상기 소스 및 드레인 전극과 데이터 배선 위로 전면에 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 보호층 위로 상기 화소영역에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하며, 상기 액티브층은 스위칭 영역 내에서 균일한 두께를 갖는 것이 특징이다.

[0022] 삭제

[0023] 본 발명의 또 다른 실시예에 따른 어레이 기관의 제조 방법은, 화소영역과 상기 화소영역 내에 스위칭 영역이 정의된 기관 위로 일방향으로 연장하는 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 배선과 게이트 전극 위로 전면에 게이트 절연막과 제 1 두께를 갖는 순수 비정질 실리콘층을 형성하는 단계와; 상기 순수 비정질 실리콘층 위로 제 2 두께를 갖는 산화물 반도체층을 형성하는 단계와; 상기 산화물 반도체층과 그 하부의 순수 비정질 실리콘을 패터닝하여 상기 스위칭 영역의 상기 게이트 절연막 위로 순차적으로 순수 비정질 실리콘의 액티브층과, 산화물 반도체 패턴을 형성하는 단계와; 상기 산화물 반도체 패턴이 형성된 기관에 대해 아르곤(Ar) 또는 수소(H) 가스 분위기를 갖는 진공의 챔버 내에서 플라즈마 표면 처리를 실시함으로써 상기 산화물 반도체 패턴의 전도 특성을 향상시켜 오믹특성을 갖도록 하는 단계와; 상기 오믹특성을 갖는 산화물 반도체 패턴 위로 전면에 금속층을 형성하고, 이를 제 1 식각액을 이용한 습식식각을 진행하여 패터닝하여 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 산화물 반도체 패턴 위로 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 사이로 노출된 상기 산화물 반도체 패턴을 상기 액티브층과 반응하지 않는 제 2 식각액을 이용한 습식식각을 진행하여 제거함으로써 상기 소스 및 드레인 전극 하부로 산화물 반도체 물질의 오믹콘택층을 형성하는 단계와; 상기 소스 및 드레인 전극과 데이터 배선 위로 전면에 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 보호층 위로 상기 화소영역에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하며, 상기 액티브층은 스위칭 영역 내에서 균일한 두께를 갖는 것이 특징이다.

[0024] 삭제

[0025] 상기 제 1 두께는 300Å 내지 700Å이며, 상기 제 2 두께는 50Å 내지 500Å인 것이 바람직하다.

[0026] 또한 상기 산화물 반도체층은 a-IGZO(amorphous-Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), ZTO(Zinc Tin Oxide) 중 어느 하나의 물질을 이용하여 형성하는 것이 특징이다.

효과

[0027] 이와 같이, 본 발명에 따른 어레이 기관 제조방법에 의해 마스크 공정의 증가없이 액티브층이 건식식각에 노출되지 않음으로써 그 표면 손상이 발생하지 않아 박막트랜지스터 특성이 저하되는 것을 방지하는 효과가 있다.

[0028] 액티브층이 건식식각에 영향을 받지 않게 되므로 식각되어 없어지는 두께를 고려하지 않아도 되므로 상기 액티브층의 두께를 줄임으로써 증착 시간을 단축시켜 생산성을 향상시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0029] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.
- [0030] 도 3a 내지 도 3k는 본 발명의 실시예에 따른 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역(P)에 대한 제조 단계별 공정 단면도이다. 이때, 설명의 편의를 위해 각 화소영역(P) 내의 게이트 및 데이터 배선과 연결되는 박막트랜지스터가 형성될 부분을 스위칭 영역(TrA)이라 정의한다.
- [0031] 우선, 도 3a에 도시한 바와 같이, 투명한 절연기판(101) 예를들어 유리 또는 플라스틱으로 이루어진 기판(101) 상에 구리(Cu), 구리 합금(AINd), 알루미늄(Al), 알루미늄 합금(AINd) 및 크롬(Cr)과 같은 도전성 금속 그룹 중 선택된 하나 또는 둘 이상의 물질을 증착함으로써 단일층 또는 이중층 구조를 갖는 제 1 금속층(미도시)을 형성하고, 이를 포토레지스트의 도포, 노광 마스크를 이용한 노광, 노광된 포토레지스트의 현상 및 식각 등 일련의 단위 공정을 포함하는 마스크 공정을 진행하여 패터닝함으로써 일방향으로 연장하는 게이트 배선(미도시)과, 상기 게이트 배선(미도시)에서 스위칭 영역(TrA)으로 분기한 게이트 전극(108)을 형성한다.
- [0032] 다음, 도 3b에 도시한 바와 같이, 상기 게이트 배선(미도시)과 게이트 전극(108) 위로 무기절연물질 예를들면 산화실리콘(SiO₂) 또는 질화실리콘(SiN_x)을 증착하여 전면에 게이트 절연막(112)을 형성한다.
- [0033] 이후, 연속하여 상기 게이트 절연막(112) 위로 순수 비정질 실리콘을 증착함으로써 300Å 내지 700Å 정도의 두께를 갖는 순수 비정질 실리콘층(115)을 형성한다. 종래의 경우 상기 순수 비정질 실리콘층(115)은 통상적으로 과 식각되는 것을 감안하여 1500Å 내지 1800Å 정도의 두께를 갖도록 형성했다 하지만, 본 발명의 경우, 상기 순수 비정질 실리콘층(115) 중 박막트랜지스터의 채널을 이루는 부분에 대해서는 식각 등에 의한 두께의 감소가 발생하지 않는 것이 특징이다. 따라서, 박막트랜지스터의 특성을 극대화할 수 있는 최적의 두께인 300Å 내지 700Å 정도의 두께를 형성함으로써 종래대비 증착 시간을 줄이고, 동시에 순수 비정질 실리콘 증착량을 줄임으로써 재료비 절감이 실현될 수 있다. 이때 상기 게이트 절연막(112)과 상기 순수 비정질 실리콘층(115)은 화학기상증착(CVD) 장비(미도시)를 통해 동일한 챔버내에서 순차적으로 형성된다.
- [0034] 다음, 도 3c에 도시한 바와 같이, 상기 순수 비정질 실리콘층(115) 위로 산화물 반도체 물질 예를들면 a-IGZO(amorphous-Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), ZTO(Zinc Tin Oxide) 중 하나를 스퍼터링을 통해 증착하거나, 또는 액상 특성을 갖는 경우 잉크제팅 또는 코팅법을 이용하여 도포함으로써 전면에 산화물 반도체층(118)을 형성한다. 이때 상기 산화물 반도체층(118)의 두께는 50Å 내지 500Å 정도인 것이 바람직하다.
- [0035] 다음, 도 3d에 도시한 바와 같이, 산화물 반도체층(118)이 형성된 기판(101)에 대해 상기 산화물 반도체층(118)의 특성 변경을 위한 공정을 진행한다. 즉, 반도체적 특성이 강한 상태에서 도전적 특성이 강한 상태를 갖는 산화물 반도체층(118)을 이루기 위해 아르곤(Ar) 또는 수소(H) 가스 분위기를 갖는 진공의 챔버(180) 내에서 플라즈마 표면 처리를 실시하거나, 또는 300°C 내지 400°C 온도 분위기를 갖는 오븐 또는 퍼나스(furnace) 내에서 수십 초 내지 수십 분간 열처리를 실시한다. 이러한 아르곤(Ar) 또는 수소(H) 가스 분위기에서의 플라즈마 공정 또는 열처리 공정에 의해 상기 산화물 반도체층(118)은 상기 순수 비정질 실리콘층(115)과, 추후 형성되어 소스 및 드레인 전극을 이루게 되는 제 2 금속층(도 4e의 128)과의 사이에서 오믹콘택층을 이루게 된다. 만약 이러한 아르곤(Ar) 또는 수소(H) 가스 분위기에서의 플라즈마 공정 또는 열처리 공정을 진행하지 않는 경우는 상기 산화물 반도체층(118)은 이종접합층(heterojunction layer)을 이루게 됨으로써 정상적인 박막트랜지스터로서의 역할 수행을 할 수 없게 된다.
- [0036] 다음, 도 3e에 도시한 바와 같이, 상기 플라즈마 공정 또는 열처리 공정을 진행한 산화물 반도체층(118) 위로 제 2 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AINd), 구리(Cu), 구리합금 및 크롬(Cr) 중 하나를 증착함으로써 제 2 금속층(128)을 형성한다.
- [0037] 이후, 상기 제 2 금속층(128) 위로 포토레지스트를 도포하여 포토레지스트층(미도시)을 형성하고, 상기 포토레지스트층(미도시)에 대해 빛의 투과영역과 차단영역, 그리고 슬릿형태로 구성되거나 또는 다중의 코팅막을 더욱 구비하여 통과되는 빛량을 조절함으로써 그 빛 투과도가 상기 투과영역보다는 작고 상기 차단영역보다는 큰 반투과영역으로 구성된 노광 마스크(미도시)를 이용하여 노광을 실시한다.
- [0038] 다음, 상기 노광된 포토레지스트층(미도시)을 현상함으로써 상기 제 2 금속층(128) 위로 데이터 배선이 형성될 부분과, 서로 이격하는 소스 및 드레인 전극이 형성될 부분에 대응해서는 제 1 두께의 제 1 포토레지스트 패턴(191a)을 형성하고, 상기 소스 및 드레인 전극 사이의 이격영역을 이루게 될 부분에 대응해서는 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴(191b)을 형성한다. 이때, 그 이외의 영역에 대응해서는

상기 포토레지스트층(미도시)은 제거되어 상기 제 2 금속층(128)을 노출시키는 상태가 된다.

- [0039] 다음, 도 3f에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(191a, 191b) 외부로 노출된 제 2 금속층(도 3e의 128)을 제 1 식각액을 이용한 습식식각을 진행하여 제거함으로써 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(132)을 형성하고, 상기 각 스위칭 영역(TrA)에는 상기 데이터 배선(132)과 연결된 상태의 소스 드레인 패턴(129)을 형성한다.
- [0040] 이후, 상기 제 2 금속층(도 3e의 128)이 제거됨으로써 노출된 상기 산화물 반도체층(도 3e의 118)을 제 2 식각액을 이용하여 습식식각을 진행함으로써 제거한다. 이때, 상기 제 2 식각액은 상기 제 1 식각액과 그 성분을 달리하여 상기 제 2 금속물질 및 상기 순수 비정질 실리콘과는 반응하지 않으며, 상기 산화물 반도체층(도 3e의 118) 물질과만 반응하는 것이 특징이다.
- [0041] 연속하여 상기 산화물 반도체층(도 3e의 118)이 습식식각에 의해 제거됨으로써 새롭게 노출된 순수 비정질 실리콘층(도 3e의 115)을 건식식각을 진행하여 제거함으로써 상기 소스 드레인 패턴(129) 하부로 산화물 반도체 패턴(119)과 액티브층(116)을 형성한다. 이때, 공정 특성상 상기 데이터 배선(132) 하부에도 순차 적층된 형태로 각각 상기 소스 드레인 패턴(129) 하부에 형성된 상기 산화물 반도체 패턴(119)을 이루는 동일한 물질로써 제 1 터미패턴(120)과 상기 액티브층(116)을 이루는 동일한 물질로써 제 2 터미패턴(117)이 형성되는 것이 특징이다.
- [0042] 다음, 도 3g에 도시한 바와 같이, 상기 소스 드레인 패턴(129)과 데이터 배선(132)이 형성된 기판(101)에 대해 애싱(ashing)을 진행하여 상기 제 2 두께를 갖는 제 2 포토레지스트 패턴(도 3f의 191b)을 제거함으로써 상기 스위칭 영역(TrA)에 있어 상기 소스 드레인 패턴(129)의 중앙부를 노출시킨다. 이때, 상기 애싱(ashing) 진행에 의해 상기 제 1 포토레지스트 패턴(191a)은 그 두께가 줄어들지만 여전히 상기 기판(101) 상에 남아있게 된다.
- [0043] 다음, 도 3h에 도시한 바와 같이, 상기 제 1 포토레지스트 패턴(191a) 사이로 노출된 상기 소스 드레인 패턴(도 3g의 129)에 대해 상기 제 1 식각액을 이용하여 습식식각을 진행하여 제거함으로써 서로 이격하는 소스 및 드레인 전극(135, 138)을 형성한다. 이때 상기 서로 이격하는 소스 및 드레인 전극(135, 138) 사이로 산화물 반도체 패턴(119)이 노출되게 된다.
- [0044] 다음, 도 3i에 도시한 바와 같이, 서로 이격하는 상기 소스 및 드레인 전극(135, 138)이 형성됨으로써 상기 소스 및 드레인 전극(135, 138) 사이로 새롭게 노출된 상기 산화물 반도체 패턴(도 3h의 119)에 대해서 상기 제 2 식각액을 이용하여 습식식각을 진행하여 제거함으로써 상기 소스 및 드레인 전극(135, 138) 하부에 서로 이격하는 산화물 반도체 물질로 이루어진 오믹콘택층(122)을 형성한다. 이때 상기 제 2 식각액에 대해서는 상기 순수 비정질 실리콘으로 이루어진 액티브층(116)은 전혀 영향을 받지 않으므로, 종래의 불순물 비정질 실리콘으로 이루어진 불순물 비정질 실리콘 패턴의 건식식각 진행에 의한 오믹콘택층을 형성하는 것과는 달리 상기 서로 이격하는 산화물 반도체 물질로 이루어진 오믹콘택층(122) 사이로 노출된 액티브층(116)의 두께가 줄어들어 얇아지는 등의 문제는 발생하지 않는 것이 특징이다.
- [0045] 따라서 상기 순수 비정질 실리콘으로 이루어진 액티브층(116)은 그 표면이 어떠한 손상도 받지 않고 스위칭 영역(TrA) 전체에 있어 동일한 두께를 가지며 형성됨으로써 상기 액티브층(116) 표면 손상에 기인한 박막 트랜지스터의 특성 저하는 발생하지 않는다. 이때 상기 순수 비정질 실리콘의 액티브층(116)과 그 상부의 서로 이격하는 산화물 반도체 물질로 이루어진 오믹콘택층(122)은 반도체층(123)을 이룬다.
- [0046] 한편, 전술한 단계의 공정 진행에 의해 상기 스위칭 영역(TrA)에 순차 적층된 상기 게이트 전극(108)과, 게이트 절연막(112)과, 순수 비정질 실리콘의 액티브층(116)과, 플라즈마 또는 열처리된 산화물 반도체 물질로 이루어진 오믹콘택층(122)과, 서로 이격하는 소스 및 드레인 전극(135, 138)은 박막트랜지스터(Tr)를 이룬다.
- [0047] 한편, 도면에 나타내지 않았지만, 상기 어레이 기판(101)이 유기전계 발광소자용 어레이 기판으로 이용하는 경우, 상기 데이터 배선(132)과 나란하게 상기 데이터 배선(132)이 형성된 동일한 층에 상기 데이터 배선(132)과 소정간격 이격하며 전원배선(미도시)이 더욱 형성될 수 있으며, 각 화소영역(P) 내에는 전술한 게이트 배선(미도시) 및 데이터 배선(132)과 연결된 상기 박막트랜지스터(Tr) 이외에 이와 동일한 구조를 갖는 적어도 하나의 구동 박막트랜지스터(미도시)가 상기 화소영역(P) 내에 더욱 형성될 수도 있다.
- [0048] 다음, 도 3j에 도시한 바와 같이, 상기 소스 및 드레인 전극(135, 138)과 산화물 반도체 물질로 이루어진 오믹콘택층(122)이 형성된 기판(101)에 대해 스트립(strip)을 진행함으로써 상기 데이터 배선(132)과 소스

및 드레인 전극(135, 138)상부에 남아있는 상기 제 1 포토레지스트 패턴(도 3i의 191a)을 제거한다.

[0049] 이후, 상기 제 1 포토레지스트 패턴(도 3i의 191a)이 제거됨으로써 노출된 소스 및 드레인 전극(135, 138)과 데이터 배선(132) 상부로 무기절연물질 예를들면 산화실리콘(SiO₂) 또는 질화실리콘(SiNx)을 증착하거나, 또는 유기절연물질 예를들어, 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포함으로써 전면에 보호층(140)을 형성하고, 이에 대해 마스크 공정을 진행하여 패터닝함으로써 상기 각 화소영역(P) 내의 상기 드레인 전극(138)의 일부를 노출시키는 드레인 콘택홀(143)을 형성한다.

[0050] 다음, 도 3k에 도시한 바와 같이, 상기 드레인 콘택홀(143)이 구비된 보호층(140) 위로 투명 도전성 물질 예를들면 금속물질 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면에 증착하여 투명 도전성 물질층(미도시)을 형성하고, 이를 마스크 공정을 진행하여 패터닝함으로써 상기 화소영역(P)별로 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(138)과 접촉하는 화소전극(150)을 형성함으로써 본 발명의 실시예에 따른 어레이 기판(101)을 완성한다.

[0051] 한편, 상기 각 화소영역(P)에 구동 박막트랜지스터(미도시)가 형성되는 경우, 상기 스위칭 영역(TrA)에 형성되는 박막트랜지스터(Tr)는 상기 화소전극(150)과 접촉하지 않고, 대신 상기 구동 박막트랜지스터(미도시)의 드레인 전극(미도시)이 상기 화소전극(150)과 상기 구동 박막트랜지스터(미도시)의 드레인 전극(미도시)을 노출시키며 형성된 드레인 콘택홀(미도시)을 통해 접촉하여 전기적으로 연결되도록 형성한다. 이때 상기 스위칭 영역(TrA)에 형성된 박막트랜지스터(Tr)는 상기 드레인 콘택홀(143)이 형성되지 않고 보호층(150)에 의해 완전히 덮힌 형태가 된다. 또한, 상기 스위칭 영역(TrA)의 박막트랜지스터(Tr)와 상기 구동 박막트랜지스터(미도시)는 서로 전기적으로 연결되도록 구성한다. 이렇게 스위칭 영역(TrA)에 상기 게이트 및 데이터 배선(미도시, 132)과 연결된 박막트랜지스터(Tr)와 화소영역(P)에 구동 박막트랜지스터(미도시)가 형성되는 어레이 기판의 경우 유기전계 발광 소자용 어레이 기판을 이루게 된다.

[0052] 한편, 전술한 실시예에 따른 어레이 기판의 제조 방법은 4마스크 공정을 전제한 것을 보이고 있으며, 그 변형예로서 5마스크 공정을 통해서도 제조할 수 있다.

[0053] 이후에는 간단히 5마스크 공정에 따른 어레이 기판의 제조 방법에 대해 설명한다. 이때 전술한 4마스크 공정과 차별점이 있는 부분인 반도체층과 소스 및 드레인 전극을 형성하는 단계를 위주로 설명한다.

[0054] 도 4a 내지 도 4e는 본 발명의 실시예의 변형예에 따른 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역(P)에 대한 제조 단계별 공정 단면도이다. 이때, 상기 실시예와 동일한 구성요소에 대해서는 100을 더하여 도면부호를 부여하였다.

[0055] 우선, 도 4a에 도시한 바와 같이, 절연기판(201) 상에 제 1 실시예에 언급한 바와 같이, 게이트 전극(208) 및 게이트 배선(미도시)과, 이들 두 구성요소 상부로 전면에 게이트 절연막(212)을 형성한다.

[0056] 이후, 상기 게이트 절연막(212) 위로 순수 비정질 실리콘을 증착하여 순수 비정질 실리콘층(미도시)을 형성하고, 연속하여 실시예에서 언급한 산화물 반도체 물질 중 하나를 증착하거나 코팅함으로써 상기 순수 비정질 실리콘층(미도시) 위로 산화물 반도체층(미도시)을 형성한다.

[0057] 다음, 상기 산화물 반도체층(미도시)과 그 하부의 순수 비정질 실리콘층(미도시)을 습식식각을 포함하는 마스크 공정을 진행함으로써 패터닝하여 스위칭 영역(TrA)에 상기 게이트 전극(208)에 대응하여 순수 비정질 실리콘의 액티브층(216)과, 그 상부로 산화물 반도체 패턴(219)을 형성한다.

[0058] 다음, 도 4b에 도시한 바와 같이, 상기 산화물 반도체 패턴(219)이 형성된 기판(201)에 대해 상기 산화물 반도체 패턴(219)이 반도체적 특성이 강한 상태에서 도전적 특성이 강한 상태를 갖도록 하기 위해 아르곤(Ar) 또는 수소(H) 가스 분위기를 갖는 진공의 챔버에서 플라즈마 표면 처리를 실시하거나, 또는 300℃ 내지 400℃ 온도 분위기를 갖는 오븐 또는 퍼나스(Furnace) 내에서 수십 초 내지 수십 분간 열처리를 실시한다.

[0059] 다음, 도 4c에 도시한 바와 같이, 아르곤(Ar) 또는 수소(H) 가스 분위기에서의 플라즈마 표면처리 또는 열처리를 실시한 산화물 반도체 패턴(219) 위로 제 1 실시예에서 언급한 제 2 금속물질 즉, 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금 및 크롬(Cr) 중 하나를 증착하여 제 2 금속층(미도시)을 형성한다.

[0060] 이후, 상기 제 2 금속층(미도시)에 대해 제 1 식각액을 이용한 습식식각을 포함하는 마스크 공정을 진행하여 패터닝함으로써 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(232)을 형성

하고, 동시에 스위칭 영역(TrA)에는 상기 산화물 반도체 패턴(219) 상부에서 서로 이격하는 소스 및 드레인 전극(235, 238)을 형성한다.

[0061] 다음, 도 4d에 도시한 바와 같이, 상기 소스 및 드레인 전극(235, 238) 사이의 이격영역에 노출된 상기 산화물 반도체 패턴(도 4c의 219)을 제 1 실시예에서 언급한 제 2 식각액을 이용한 습식식각을 진행하여 제거함으로써 상기 소스 및 드레인 전극(235, 238) 하부에 서로 이격하는 산화물 반도체 물질로 이루어진 오믹콘택층(222)을 형성한다. 이때 상기 액티브층(216)은 상기 제 2 식각액에 전혀 영향을 받지 않으므로 스위칭 영역(TrA) 전체에 걸쳐 고른 두께를 갖게 된다.

[0062] 한편, 전술한 실시예의 변형예의 경우, 액티브층(216)과, 소스 및 드레인 전극(235, 238)을 서로 다른 마스크 공정을 통해 패터닝하므로, 실시예와 달리 상기 데이터 배선(232) 하부에는 상기 액티브층과 오믹콘택층을 이루는 동일한 물질로 이루어진 제 1 및 제 2 더미패턴은 형성되지 않는다.

[0063] 다음, 도 4e에 도시한 바와 같이, 상기 소스 및 드레인 전극(235, 238)과 데이터 배선(232) 상부로 무기절연물질을 증착하거나, 또는 유기절연물질을 도포함으로써 전면에 보호층(240)을 형성하고, 이에 대해 마스크 공정을 진행하여 패터닝함으로써 상기 각 화소영역(P) 내의 상기 드레인 전극(238)의 일부를 노출시키는 드레인 콘택홀(243)을 형성한다.

[0064] 다음, 상기 드레인 콘택홀(243)이 구비된 보호층(240) 위로 투명 도전성 물질을 전면에 증착하여 투명 도전성 물질층(미도시)을 형성하고, 이를 마스크 공정을 진행하여 패터닝함으로써 상기 화소영역(P)별로 상기 드레인 콘택홀(243)을 통해 상기 드레인 전극(238)과 접촉하는 화소전극(250)을 형성함으로써 본 발명의 실시예의 변형예에 따른 어레이 기판(201)을 완성한다.

도면의 간단한 설명

[0065] 도 1은 액정표시장치 또는 유기전계 발광소자를 구성하는 종래의 어레이 기판에 있어 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 단면을 도면.

[0066] 도 2a 내지 도 2e는 종래의 어레이 기판의 제조 단계 중 반도체층과 소스 및 드레인 전극을 형성하는 단계를 도시한 공정 단면도.

[0067] 도 3a 내지 도 3k는 본 발명의 실시예에 따른 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

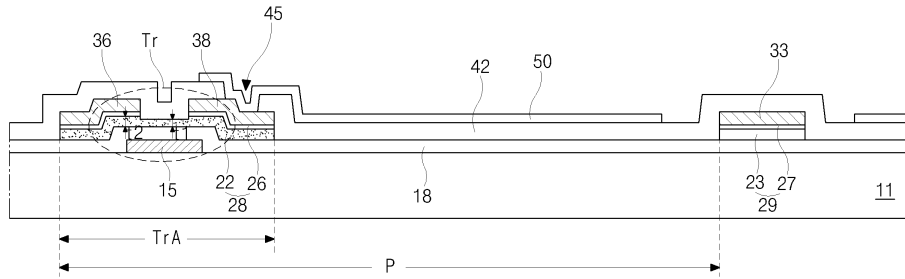
[0068] 도 4a 내지 도 4e는 본 발명의 실시예의 변형예에 따른 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

[0069] < 도면의 주요 부분에 대한 부호의 설명 >

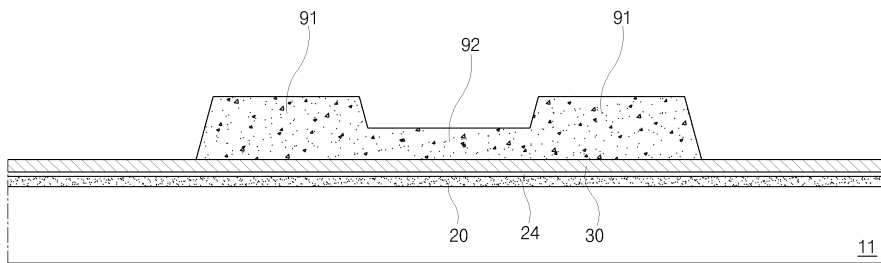
- [0070] 101 : 기판 108 : 게이트 전극
- [0071] 112 : 게이트 절연막 116 : 액티브층
- [0072] 117, 120 : 제 2 및 제 1 더미패턴 122 : (산화물 반도체의)오믹콘택층
- [0073] 123 : 반도체층 132 : 데이터 배선
- [0074] 135 : 소스 전극 138 : 드레인 전극
- [0075] 191a : 제 1 포토레지스트 패턴

도면

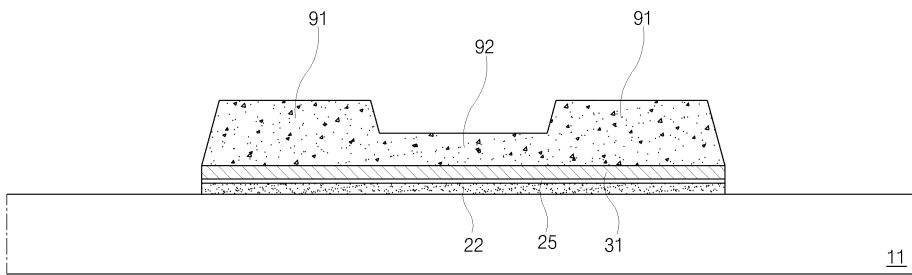
도면1



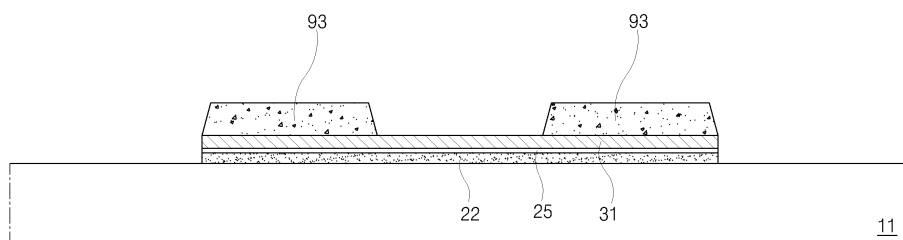
도면2a



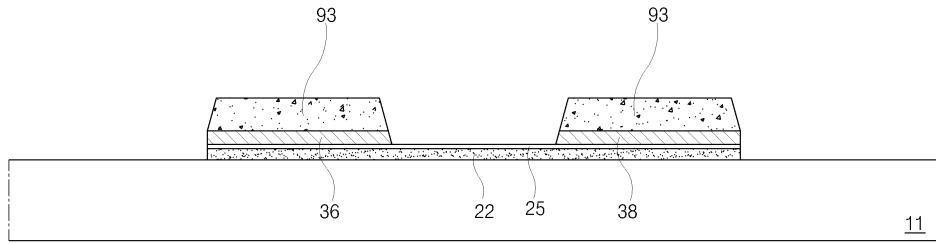
도면2b



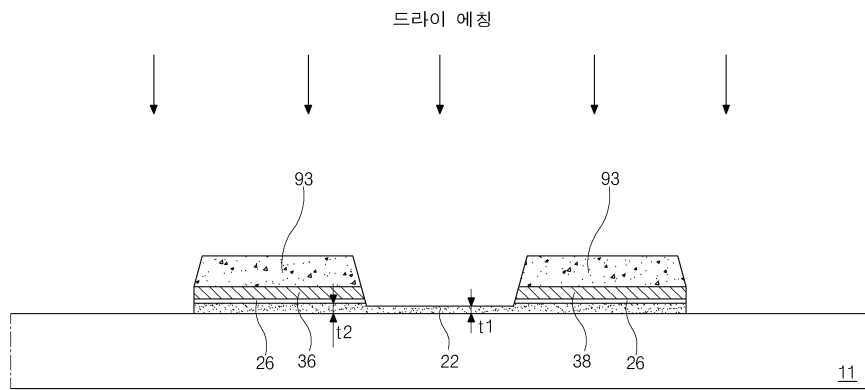
도면2c



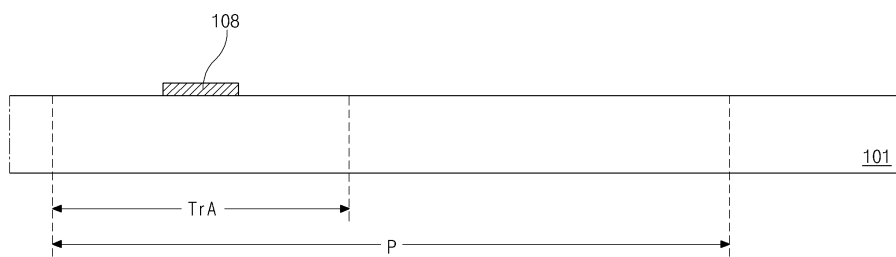
도면2d



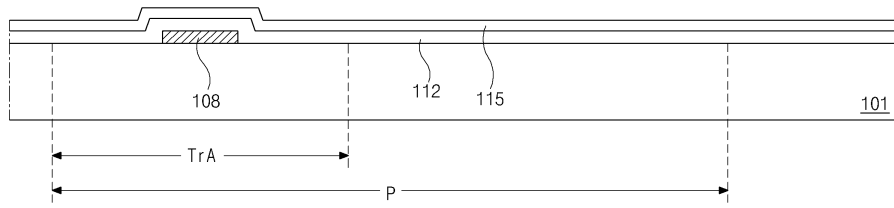
도면2e



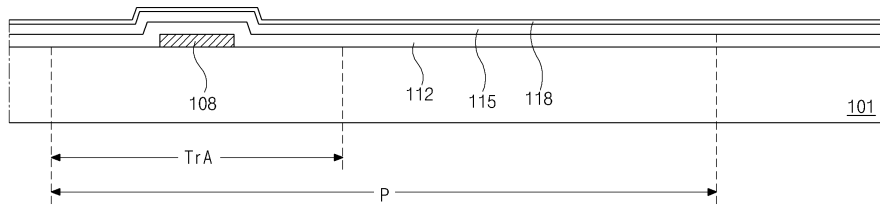
도면3a



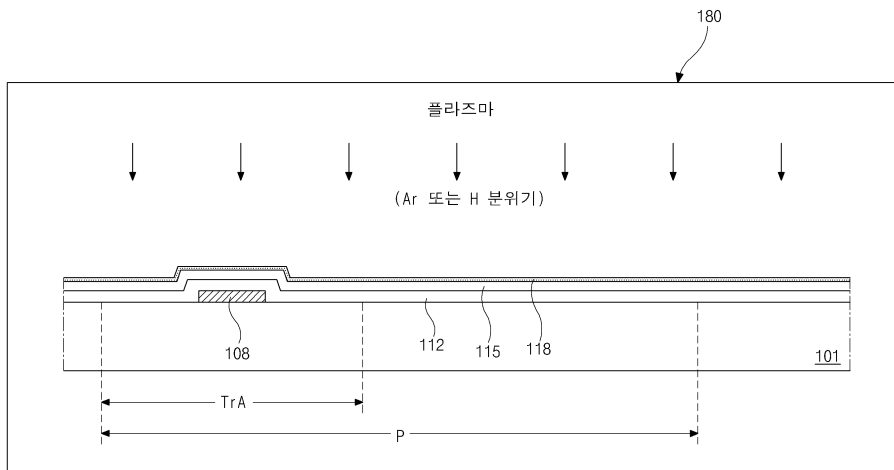
도면3b



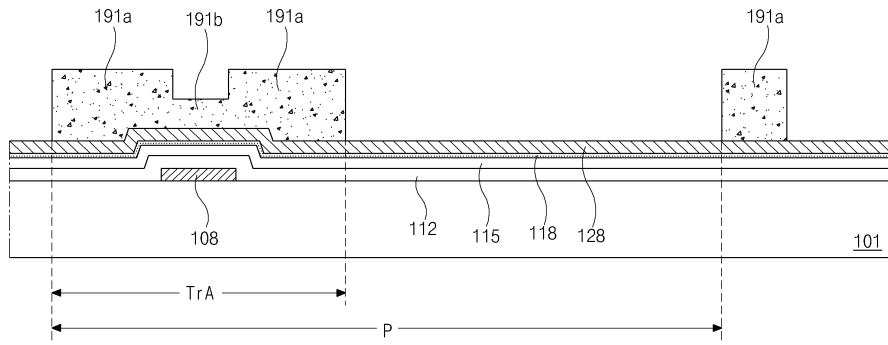
도면3c



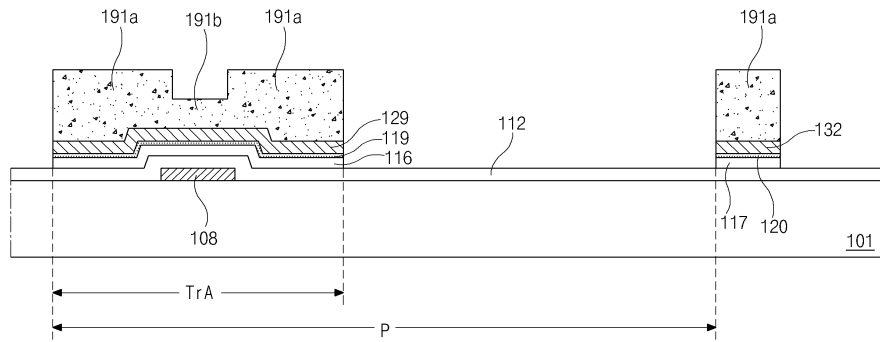
도면3d



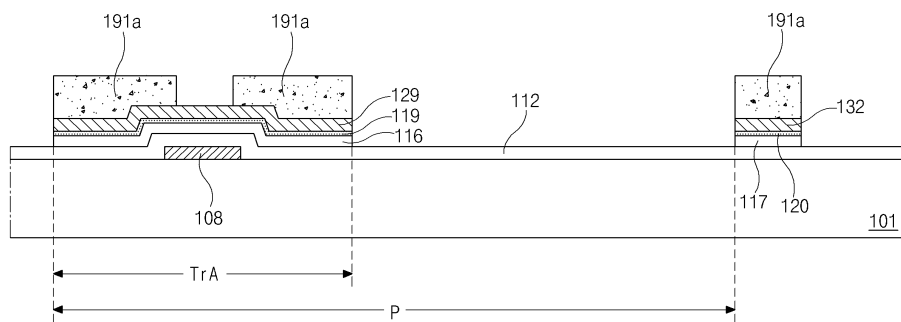
도면3e



도면3f

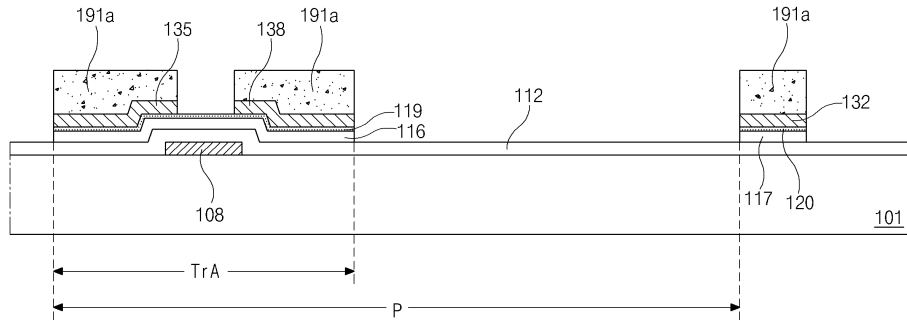


도면3g



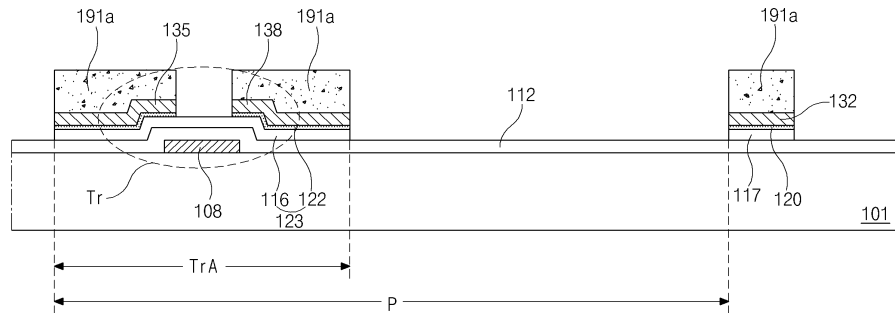
도면3h

제 1 식각액을 이용한 습식식각

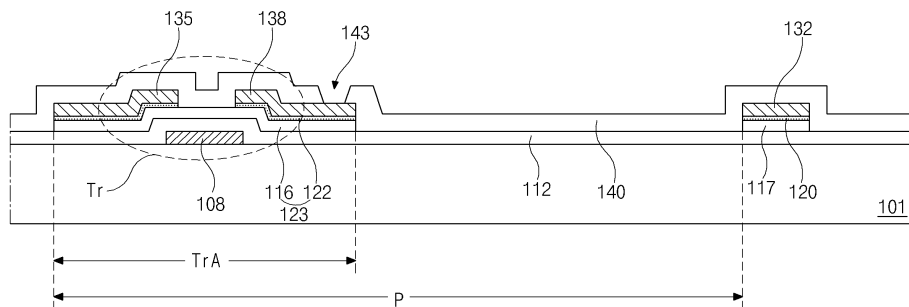


도면3i

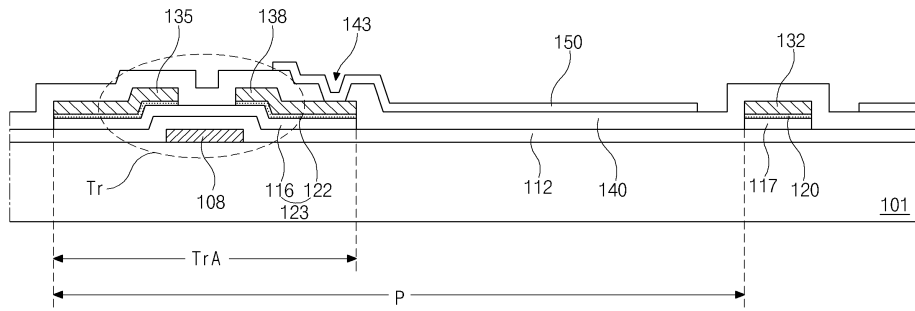
제 2 식각액을 이용한 습식식각



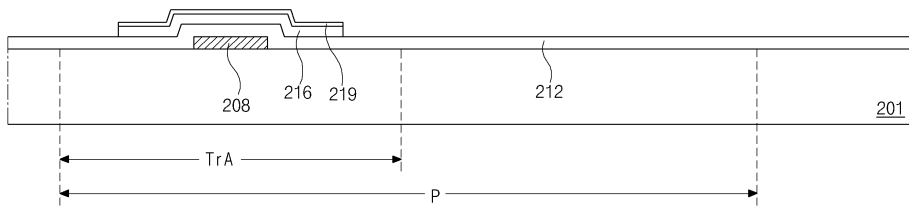
도면3j



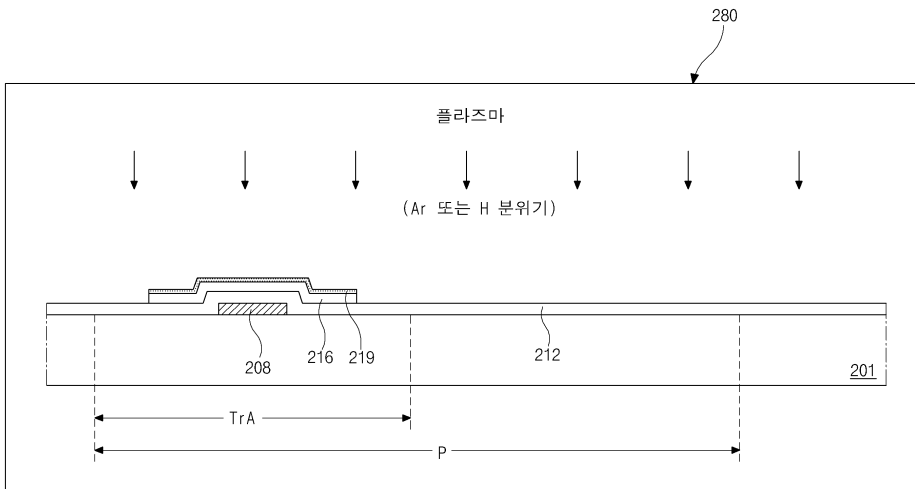
도면3k



도면4a

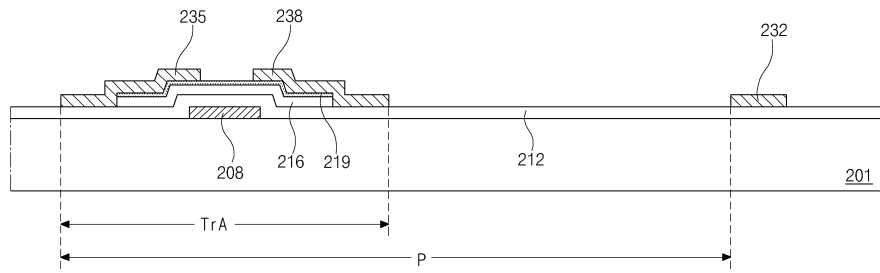


도면4b



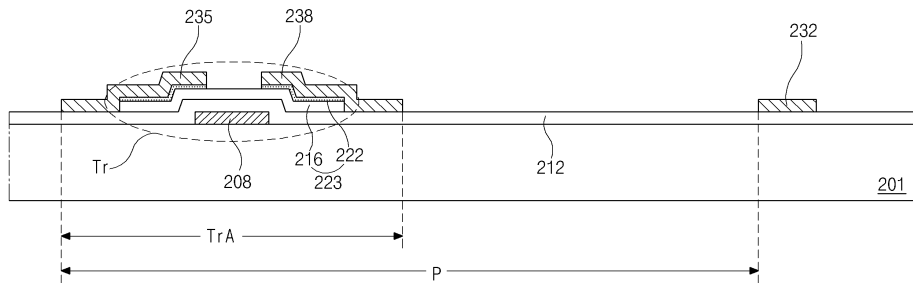
도면4c

제 1 식각액을 이용한 습식식각



도면4d

제 2 식각액을 이용한 습식식각



도면4e

