

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3976097号  
(P3976097)

(45) 発行日 平成19年9月12日(2007.9.12)

(24) 登録日 平成19年6月29日(2007.6.29)

(51) Int. Cl. F I  
H03F 3/45 (2006.01) H03F 3/45 A

請求項の数 8 (全 17 頁)

(21) 出願番号	特願2004-346539 (P2004-346539)	(73) 特許権者	390020248 日本テキサス・インスツルメンツ株式会社 東京都新宿区西新宿六丁目24番1号
(22) 出願日	平成16年11月30日(2004.11.30)	(74) 代理人	100086564 弁理士 佐々木 聖孝
(65) 公開番号	特開2006-157607 (P2006-157607A)	(72) 発明者	渡辺 浩 東京都新宿区西新宿六丁目24番1号 日 本テキサス・インスツルメンツ株式会社内
(43) 公開日	平成18年6月15日(2006.6.15)	審査官	畑中 博幸
審査請求日	平成16年11月30日(2004.11.30)		

最終頁に続く

(54) 【発明の名称】 増幅器

(57) 【特許請求の範囲】

【請求項1】

入力信号を所望の増幅率で増幅して出力信号を生成する増幅回路と、  
 前記増幅回路のスルーレートを規定する動作電流を生成するための第1のトランジスタと、  
 前記第1のトランジスタをバイアスするために前記第1のトランジスタと第1の電流ミラー回路を構成する第2のトランジスタと、  
 一定の基準バイアス電流を供給する定電流源と、  
 フィードバック用の電流を生成するために前記第2のトランジスタと第2の電流ミラー回路を構成する第3のトランジスタと、  
 前記入力信号と前記出力信号との電圧差が設定値を超えてない時はオフし、前記電圧差が前記設定値を超えたときにオンするスイッチ回路と、  
 前記定電流源に直列に接続されるとともに、前記スイッチ回路を介して前記第3のトランジスタに直列に接続される第4のトランジスタと、  
 前記第2のトランジスタに直列に接続されるとともに、前記第4のトランジスタと第3の電流ミラー回路を構成する第5のトランジスタと  
 を有し、  
 前記入力信号と前記出力信号との電圧差が前記設定値を超えてない時は、前記スイッチ回路がオフして前記第3のトランジスタを非導通状態に保ち、前記第4のトランジスタには前記定電流源からの前記基準バイアス電流のみが流れ、前記第5のトランジスタより前

10

20

記基準バイアス電流に比例した電流が前記第 2 のトランジスタに供給され、

前記入力信号と前記出力信号との電圧差が前記設定値を超えた時は、前記スイッチ回路がオンして前記第 3 のトランジスタを通电させて、前記第 4 のトランジスタには前記定電流源からの前記基準バイアス電流と前記第 3 のトランジスタを流れる電流とを足し合わせた合成電流が流れ、前記第 5 のトランジスタより前記合成電流に比例した電流が前記第 2 のトランジスタに供給される増幅器。

【請求項 2】

前記スイッチ回路が、  
前記第 3 のトランジスタと前記第 4 のトランジスタとの間に接続される第 6 のトランジスタと、

前記第 3 のトランジスタと前記第 4 のトランジスタとの間に直列に接続され、かつ前記第 6 のトランジスタと並列に接続されるダイオードおよび第 7 のトランジスタと

を有し、前記第 6 のトランジスタの制御端子に前記入力信号が与えられるとともに前記第 7 のトランジスタの制御端子に前記出力信号が与えられ、前記入力信号と前記出力信号との電圧差が前記設定値を超えたときに前記ダイオードが導通する請求項 1 に記載の増幅器。

【請求項 3】

入力信号を所望の増幅率で増幅して出力信号を生成する増幅回路と、  
前記増幅回路のスルーレートを規定する動作電流を生成するための第 1 のトランジスタと、

前記第 1 のトランジスタをバイアスするために前記第 1 のトランジスタと第 1 の電流ミラー回路を構成する第 2 のトランジスタと、

前記第 2 のトランジスタに一定の基準バイアス電流を供給する定電流源と、  
フィードバック用の電流を生成するために前記第 2 のトランジスタと第 2 の電流ミラー回路を構成する第 3 のトランジスタと、

前記第 3 のトランジスタと直列に接続される第 4 のトランジスタと、  
前記入力信号と前記出力信号との電圧差が設定値を超えてない時はオフし、前記電圧差が前記設定値を超えたときはオンするスイッチ回路と、

前記第 2 のトランジスタに前記スイッチ回路を介して直列に接続されるとともに、前記第 2 のトランジスタからみて前記定電流源と並列に接続され、前記第 4 のトランジスタと第 3 の電流ミラー回路を構成する第 5 のトランジスタと

を有し、  
前記入力信号と前記出力信号との電圧差が前記設定値を超えてない時は、前記スイッチ回路がオフして前記第 5 のトランジスタを非導通状態に保ち、前記第 2 のトランジスタには前記定電流源からの前記基準バイアス電流のみが流れ、

前記入力信号と前記出力信号との電圧差が前記設定値を超えた時は、前記スイッチ回路がオンして前記第 5 のトランジスタを通电させて、前記第 2 のトランジスタには前記定電流源からの前記基準バイアス電流と前記第 5 のトランジスタを流れる電流とを足し合わせた合成電流が流れる増幅回路。

【請求項 4】

前記スイッチ回路が、  
前記第 2 のトランジスタと前記第 5 のトランジスタとの間に接続される第 6 のトランジスタと、

前記第 2 のトランジスタと前記第 5 のトランジスタとの間に直列に接続され、かつ前記第 6 のトランジスタと並列に接続されるダイオードおよび第 7 のトランジスタと

を有し、前記第 6 のトランジスタの制御端子に前記入力信号が与えられるとともに前記第 7 のトランジスタの制御端子に前記出力信号が与えられ、前記入力信号と前記出力信号との電圧差が前記設定値を超えたときに前記ダイオードが導通する請求項 3 に記載の増幅器。

【請求項 5】

10

20

30

40

50

前記増幅回路が一对の入力信号を差動入力する差動入力部を有し、前記差動入力部に前記動作電流が供給される請求項 1 ~ 4 のいずれか一項に記載の増幅器。

【請求項 6】

前記増幅回路が一对の入力信号を差動入力する差動入力部とこの差動入力部より出力された信号を増幅する増幅部とを有し、前記増幅部に前記動作電流が供給される請求項 1 ~ 4 のいずれか一項に記載の増幅器。

【請求項 7】

前記出力信号を帰還させて前記一对の入力信号の一方とする請求項 5 または請求項 6 に記載の増幅器。

【請求項 8】

前記増幅率が実質的に 1 である請求項 1 ~ 7 のいずれか一項に記載の増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅器に係り、特に演算増幅器に関する。

【背景技術】

【0002】

増幅器、特に演算増幅器においては、応答速度や動作周波数がスルーレート (Slew Rate:  $SR$ ) によって律速される。スルーレート  $SR$  は出力が上昇 / 下降するときの最大速度であり、下記の式 (1) で表される。

$$SR = k * I_{CS} / C \quad (1)$$

【0003】

ここで、 $I_{CS}$  は演算増幅器内のバイアス電流の電流値である。k は係数で、 $k * I_{CS}$  は位相補償用コンデンサを充放電する動作電流の電流値であり、増幅に関するトランジスタに供給される動作電流の電流値でもある。C は、近似的には位相補償用コンデンサの容量であり、厳密にはトランジスタの寄生容量等を含む。

【0004】

したがって、応答速度や動作周波数を上げるためには、つまりスルーレート  $SR$  を大きくするには、位相補償用コンデンサの容量を小さくするか、あるいはバイアス電流を大きくすればよい。しかしながら、位相補償用コンデンサの容量を小さくする手法は、安定性の面から (発振を防止するうえで) 採用され難く、特に電圧フォロアでは好まれない。一方、バイアス電流を大きくすれば、消費電力が増大する。昨今のアンプ・アプリケーションでは、低消費電力に対する要求が強く、単純にバイアス電流を増やすことは受け入れられないケースが多い。

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、一例として、液晶ディスプレイの信号線を駆動するソースドライバは、各画素の表示諧調を表すデジタルの諧調データをアナログの諧調電圧に変換するための D/A コンバータ (以下「DAC」という。) を有し、比較的重い容量性の信号線負荷を駆動するために DAC の最終段に演算増幅器からなる電圧フォロアをバッファアンプとして設ける。このようなアプリケーションでは、入力に変化してから出力が目的の諧調電圧 (信号振幅) に落ち着くまでの時間すなわちセトリングタイムが使用可能な周波数を決める重要な指標となる。ここで、セトリングタイムは、スルーレート  $SR$  と諧調電圧 (信号振幅) で決まる。たとえば、スルーレート  $SR$  が  $10 \text{ V} / \mu\text{s}$  で一定の場合、信号振幅が  $4 \text{ V}$  のときのセトリングタイムは  $4 (\text{V}) / 10 (\text{V} / \mu\text{s}) = 0.4 \mu\text{s}$  であり、信号振幅が  $1 \text{ V}$  のときのセトリングタイムは  $1 (\text{V}) / 10 (\text{V} / \mu\text{s}) = 0.1 \mu\text{s}$  である。このように、スルーレート  $SR$  が一定の場合、セトリングタイムは信号振幅に依存し、信号振幅が大きいほどセトリングタイムが長引いて、セトリング特性が低下する。

【0006】

10

20

30

40

50

そこで、スルーレートSRと比例関係にあるバイアス電流 $I_{CS}$ を可変にする手法が考えられる。つまり、信号振幅が大きいときはバイアス電流 $I_{CS}$ を大きくしてスルーレートSRひいては立ち上がり速度を大きくし、信号振幅が小さいときはバイアス電流 $I_{CS}$ を小さめにする。こうすることで、大振幅時でもセトリングタイムを短くする（セトリング特性を向上させる）と同時に、低消費電力化の要求にも応えることができる。

【0007】

本発明は、上記のような問題点と着眼点からなされたもので、入力信号の変化する速度や振幅に合わせてスルーレートを自動的にかつダイナミックに可変できるようにした増幅器を提供することを目的とする。

【0008】

本発明の別の目的は、大振幅の入力信号に対してもセトリングタイムを可及的に短くできるようにした増幅器を提供することにある。

【0009】

本発明の他の目的は、セトリングタイム特性を大幅に改善できる低消費電力型の増幅器を提供することにある。

【課題を解決するための手段】

【0010】

上記の目的を達成するために、本発明の第1の増幅器は、入力信号を所望の増幅率で増幅して出力信号を生成する増幅回路と、前記増幅回路のスルーレートを規定する動作電流を生成するための第1のトランジスタと、前記第1のトランジスタをバイアスするために前記第1のトランジスタと第1の電流ミラー回路を構成する第2のトランジスタと、一定の基準バイアス電流を供給する定電流源と、フィードバック用の電流を生成するために前記第2のトランジスタと第2の電流ミラー回路を構成する第3のトランジスタと、前記入力信号と前記出力信号との電圧差が設定値を超えてない時はオフし、前記電圧差が前記設定値を超えたときにオンするスイッチ回路と、前記定電流源に直列に接続されるとともに、前記スイッチ回路を介して前記第3のトランジスタに直列に接続される第4のトランジスタと、前記第2のトランジスタに直列に接続されるとともに、前記第4のトランジスタと第3の電流ミラー回路を構成する第5のトランジスタとを有し、前記入力信号と前記出力信号との電圧差が前記設定値を超えてない時は、前記スイッチ回路がオフして前記第3のトランジスタを非導通状態に保ち、前記第4のトランジスタには前記定電流源からの前記基準バイアス電流のみが流れ、前記第5のトランジスタより前記基準バイアス電流に比例した電流が前記第2のトランジスタに供給され、前記入力信号と前記出力信号との電圧差が前記設定値を超えた時は、前記スイッチ回路がオンして前記第3のトランジスタを通电させて、前記第4のトランジスタには前記定電流源からの前記基準バイアス電流と前記第3のトランジスタを流れる電流とを足し合わせた合成電流が流れ、前記第5のトランジスタより前記合成電流に比例した電流が前記第2のトランジスタに供給される。

【0011】

上記第1の増幅器において、入力信号と出力信号との電圧差が設定値を超えてない時は、スイッチ回路がオフして第3のトランジスタを非導通状態に保ち、第4のトランジスタには定電流源からの基準バイアス電流のみが流れ、第3の電流ミラー回路の電流ミラー効果を通じて第5のトランジスタより基準バイアス電流に比例した電流が第2のトランジスタに供給される。第1のトランジスタには、第1の電流ミラー回路の電流ミラー効果を通じて、第2のトランジスタを流れる電流つまり基準バイアス電流に比例した一定（最小値）の動作電流が流れ、出力信号の電圧は最小値のスルーレートで入力信号に追従する。この時、第3のトランジスタが非導通なので、第2の電流ミラー回路は働かない。

【0012】

上記第1の増幅器において、入力信号と出力信号との電圧差が設定値を超えた時は、スイッチ回路がオンして第3のトランジスタを通电させて、第4のトランジスタには定電流源からの基準バイアス電流と第3のトランジスタを流れる電流とを足し合わせた合成電流が流れ、第3の電流ミラー回路の電流ミラー効果を通じて第5のトランジスタより該合成

10

20

30

40

50

電流に比例した電流が第2のトランジスタに供給される。これにより、第2の電流ミラー回路の電流ミラー効果を通じて第3のトランジスタには第2のトランジスタを流れる合成電流に所定のカレントミラー比を乗じた値の電流が流れ、この電流が第4のトランジスタにも流れる。そうすると、第3の電流ミラー回路の電流ミラー効果を通じて第5のトランジスタには第4（および第3）のトランジスタを流れる電流に所定のカレントミラー比を乗じた値の電流が流れ、この電流が定電流源からの基準バイアス電流と合わさって第2のトランジスタにも流れる。こうしてバイアス用の第2のトランジスタを流れる電流は正帰還増幅によって急峻に増大する。その結果、第1の電流ミラー回路の電流ミラー効果により、第1のトランジスタで生成される動作電流が急峻に増大し、出力電圧が入力電圧よりも格段に大きなスルーレートで変化または遷移する。これにより、入出力の電圧差は一瞬または極短時間の内に設定値以内になり、スイッチ回路はオフに切り替わる。スイッチ回路がオフすると、上記のように正帰還の電流増幅が停止し、スルーレートは基準値（最小値）に戻る。

10

## 【0013】

本発明の好適な一態様によれば、第3のトランジスタと第4のトランジスタとの間に、第6のトランジスタが接続されるとともに、第6のトランジスタとは並列にダイオードおよび第7のトランジスタが直列接続される。そして、第6のトランジスタの制御端子に入力信号が与えられるとともに、第7のトランジスタの制御端子に出力信号が与えられ、入力信号と出力信号との電圧差が設定値を超えたときにダイオードが導通する。

20

## 【0014】

また、本発明の第2の増幅器は、入力信号を所望の増幅率で増幅して出力信号を生成する増幅回路と、前記増幅回路のスルーレートを規定する動作電流を生成するための第1のトランジスタと、前記第1のトランジスタをバイアスするために前記第1のトランジスタと第1の電流ミラー回路を構成する第2のトランジスタと、前記第2のトランジスタに一定の基準バイアス電流を供給する定電流源と、フィードバック用の電流を生成するために前記第2のトランジスタと第2の電流ミラー回路を構成する第3のトランジスタと、前記第3のトランジスタと直列に接続される第4のトランジスタと、前記入力信号と前記出力信号との電圧差が設定値を超えてない時はオフし、前記電圧差が前記設定値を超えたときはオンするスイッチ回路と、前記第2のトランジスタに前記スイッチ回路を介して直列に接続されるとともに、前記第2のトランジスタからみて前記定電流源と並列に接続され、前記第4のトランジスタと第3の電流ミラー回路を構成する第5のトランジスタとを有し、前記入力信号と前記出力信号との電圧差が前記設定値を超えてない時は、前記スイッチ回路がオフして前記第5のトランジスタを非導通状態に保ち、前記第2のトランジスタには前記定電流源からの前記基準バイアス電流のみが流れ、前記入力信号と前記出力信号との電圧差が前記設定値を超えた時は、前記スイッチ回路がオンして前記第5のトランジスタを通电させて、前記第2のトランジスタには前記定電流源からの前記基準バイアス電流と前記第5のトランジスタを流れる電流とを足し合わせた合成電流が流れる。

30

## 【0015】

上記第2の増幅器において、入力信号と出力信号との電圧差が設定値を超えてない時は、スイッチ回路がオフして第5のトランジスタを非導通状態に保ち、第2のトランジスタには定電流源からの基準バイアス電流のみが流れる。第1の電流ミラー回路の電流ミラー効果を通じて、第1のトランジスタには、第2のトランジスタを流れる電流つまり基準バイアス電流に比例した一定（最小値）の動作電流が流れ、出力信号の電圧は最小値のスルーレートで入力信号に追従する。この時、第2の電流ミラー回路の電流ミラー効果を通じて第3のトランジスタには第2のトランジスタを流れる電流（基準バイアス電流）に比例した電流が流れるが、第5のトランジスタが非導通なので第3の電流ミラー回路は働かず、第3のトランジスタを流れる電流は第2のトランジスタに帰還されない。

40

## 【0016】

上記第2の増幅器において、入力信号と出力信号との電圧差が設定値を超えた時は、ス

50

スイッチ回路がオンして第5のトランジスタを通电させて、第2のトランジスタには定電流源からの基準バイアス電流と第5のトランジスタを流れる電流とを足し合わせた合成電流が流れる。そして、第5のトランジスタが通电することで、第3のトランジスタを流れる電流が第3の電流ミラー回路を通じて第2のトランジスタに帰還される。ここで、第3のトランジスタを流れる電流は、第2の電流ミラー回路の電流ミラー効果により、第2のトランジスタを流れる電流に所定のカレントミラー比を乗じた電流値を有する。こうしてバイアス用の第2のトランジスタを流れる電流が正帰還増幅によって急峻に増大する。そうすると、第1の電流ミラー回路の電流ミラー効果により、第1のトランジスタで生成される動作電流が急峻に増大し、出力電圧が入力電圧よりも格段に大きなスルーレートで変化または遷移する。これにより、入出力の電圧差は一瞬または極短時間の内に設定値以内になり、スイッチ回路はオフに切り替わる。スイッチ回路がオフすると、上記のように正帰還の電流増幅が停止し、スルーレートは基準値（最小値）に戻る。

10

#### 【0017】

本発明の好適な一態様によれば、第2のトランジスタと第5のトランジスタとの間に、第6のトランジスタが接続されるとともに、第6のトランジスタとは並列にダイオードおよび第7のトランジスタが直列接続される。そして、第6のトランジスタの制御端子に入力信号が与えられるとともに、第7のトランジスタの制御端子に出力信号が与えられ、入力信号と出力信号との電圧差が設定値を超えたときにダイオードが導通する。

#### 【0019】

本発明の一態様によれば、増幅回路が一对の入力信号を差動入力する差動入力部を有し、この差動入力部に動作電流が供給される。別の一態様によれば、増幅回路が一对の入力信号を差動入力する差動入力部とこの差動入力部より出力された信号を増幅する増幅部とを有し、該増幅部に動作電流が供給される。また、出力信号を帰還させて一对の入力信号の一方とすることも可能である。増幅率は任意に選定可能であり、たとえば1でもよい。

20

#### 【発明の効果】

#### 【0020】

本発明の増幅器によれば、上記のような構成と作用により、入力信号の変化する速度や振幅に合わせてスルーレートを自動的にかつダイナミックに可変することかできる。また、大振幅の入力信号に対してもセトリングタイムを可及的に短くし、セトリングタイム特性を大幅に改善できる。しかも、入力信号の変化がないか、変化があっても小さいときは、一定値のスルーレートで動作するので、消費電力を少なくすることができる。

30

#### 【発明を実施するための最良の形態】

#### 【0021】

以下、添付図を参照して本発明の好適な一実施形態を説明する。

#### 【0022】

図1に、本発明の好適な一実施形態における演算増幅器の構成を示す。この演算増幅器は、信号増幅用のトランジスタや位相補償用のコンデンサ等を含むメイン回路10と、このメイン回路10に動作電流を供給する定電流回路12とを有し、非反転入力端子(+)および反転入力端子(-)をそれぞれ信号入力端子INおよび信号出力端子OUTに接続している。

40

#### 【0023】

定電流回路12は、メイン回路10で用いる動作電流 $I_E$ を生成する定電流源14と、この定電流源14の流す動作電流 $I_E$ を正帰還で増幅するための動作電流増幅回路16と、この動作電流増幅回路16の正帰還ループ18に設けられたスイッチ20と、このスイッチ20のオン・オフを制御するスイッチ制御回路22とを有する。ここで、スイッチ制御回路22は、信号入力端子INの電圧 $V_{in}$ と信号出力端子OUTの電圧 $V_{out}$ とを比較し、電圧差 $|V_{out} - V_{in}|$ が設定値 $V_F$ 以内のときはスイッチ20をオフにし、電圧差 $|V_{out} - V_{in}|$ が設定値 $V_F$ を超えたときにスイッチ20をオンにする。なお、定電流回路12の各部は、図1では図解の便宜からメイン回路10の外に出して示しているが、実際には同一チップ上でメイン回路10に内蔵される。また、定電流源14は1つに限るもの

50

ではなく、任意の個数設けることができる。

【 0 0 2 4 】

この演算増幅器は、電圧フォロアとして動作し、入力信号をそのまま、つまりゲイン 1 で出力する。したがって、入力信号の電圧  $V_{in}$  がたとえば 2 ボルトで与えられると、出力電圧  $V_{out}$  はほぼ正確に 2 ボルトになる。この点（安定時）の入出力特性は通常の電圧フォロアと変わらない。この演算増幅器の主たる特長は、以下に説明するように、入力信号の電圧  $V_{in}$  の変化する速度に合わせてスルーレートを自動的にかつダイナミックに可変できることであり、入力信号の電圧  $V_{in}$  が急速に変化しても最短のセトリングタイムで出力信号の電圧  $V_{out}$  が入力電圧  $V_{in}$  に追いつけることである。さらに、高速アンプにも拘わらず消費電力が少ないのも特長の 1 つである。

10

【 0 0 2 5 】

この演算増幅器では、入力信号の電圧変化が無いが、あっても小さいとき、つまり入力信号と出力信号の電圧差  $|V_{out} - V_{in}|$  が設定値  $V_F$  以内であるときは、定電流回路 1 2 においてスイッチ制御回路 2 2 がスイッチ 2 0 をオフにしておく。このとき、正帰還回路 1 8 はオープン（遮断）状態で動作電流増幅回路 1 6 は働かず、定電流源 1 4 は動作電流  $I_E$  を基準または最小の電流値でメイン回路 1 0 内のトランジスタに供給する。したがって、スルーレート  $SR (= k * I_E / C)$  も一定の基準値（最小値）に保たれている。ここで、 $k$  は係数、 $C$  は近似的にメイン回路 1 0 に含まれる位相補償用コンデンサの容量である。

【 0 0 2 6 】

入力信号の電圧  $V_{in}$  が大きく、あるいは急激に変化するときは、入力信号と出力信号の電圧差  $|V_{out} - V_{in}|$  が設定値  $V_F$  を超えた時点で、定電流回路 1 2 においてスイッチ制御回路 2 2 がスイッチ 2 0 をオンにする。そうすると、動作電流増幅回路 1 6 が作動し、定電流源 1 4 の電流  $I_E$  を正帰還ループで増幅する。この電流  $I_E$  の正帰還増幅により、スルーレート  $SR$  がそれまでの基準値から急峻に増大し、出力電圧  $V_{out}$  は直ちに入力電圧  $V_{in}$  に追従する。そして、入出力の電圧差  $|V_{out} - V_{in}|$  が設定値  $V_F$  以内に減少すると、スイッチ制御回路 2 2 がスイッチ 2 0 をオフにし、動作電流増幅回路 1 6 の増幅作用が停止する。これによって、動作電流  $I_E$  が基準電流値に戻り、スルーレート  $SR$  も基準値に戻る。しかし、スルーレート  $SR$  が基準値に戻るや否や、入出力の電圧差  $|V_{out} - V_{in}|$  が設定値  $V_F$  を再び超えるため、スイッチ 2 0 が再度オンして動作電流増幅回路 1 6 による正帰還の電流増幅が再開される。こうして、入力信号の電圧  $V_{in}$  が所定値以上のレートで遷移している間は、スイッチ 2 0 が非常に短い周期でオン・オフを繰り返し、 $|V_{out} - V_{in}| = V_F$  の関係が保たれた平衡状態で、出力信号が入力信号の遷移波形と同様な波形またはレートで遷移する。そして、入力電圧  $V_{in}$  が目的値に達して飽和すると、出力電圧  $V_{out}$  は最終的には基準値のスルーレート  $SR$  で入力電圧  $V_{in}$  に追いついて同レベルになる。

20

30

【 0 0 2 7 】

このように、この実施形態の演算増幅器は、入力信号の電圧変化が無いが、あっても小さいときは、基準値または最小値のスルーレート  $SR$  で応答する。そして、入力信号が所定値以上のレートで急速に変化するときは、ミクロ的には入出力の電圧差  $|V_{out} - V_{in}|$  が設定値  $V_F$  を超えた時はスルーレート  $SR$  を無限大に向かって急峻に上げるモードと入出力の電圧差  $|V_{out} - V_{in}|$  が設定値  $V_F$  以内のときはスルーレート  $SR$  を基準値に保つモードとを非常に短い時間間隔で交互に繰り返し、マクロ的には入力電圧の変化する速度にスルーレート  $SR$  を合わせる。これによって、入力信号の任意の遷移波形またはレートに出力信号の遷移波形またはレートを合わせることができる。また、入出力の電圧差  $|V_{out} - V_{in}|$  が設定値  $V_F$  を超えた時だけ動作電流  $I_E$  を増幅するので、トータル的に消費電力を少なくできる。

40

【 0 0 2 8 】

図 2 に、この実施形態におけるスイッチ制御回路 2 2 の一構成例を示す。このスイッチ制御回路 2 2 は、一対のコンパレータ 2 4 , 2 6 と、一対の定電圧発生器 2 8 , 3 0 と、

50

1つのオアゲート32とを有する。定電圧発生器28, 30は設定値 $V_F$ に相当する一定の直流電圧 $V_{F1}$ ,  $V_{F2}$ をそれぞれ発生する。コンパレータ24は、入力信号の電圧 $V_{in}$ と出力信号の電圧 $V_{out}$ に定電圧発生器28の電圧 $V_{F1}$ を足し合わせた電圧( $V_{out} + V_{F1}$ )とを比較し、 $V_{in} > (V_{out} + V_{F1})$ のときにHレベルの出力を発生し、 $V_{in} < (V_{out} + V_{F1})$ のときにLレベルの出力を発生する。このコンパレータ24の出力がHレベルになるのは、入力信号の電圧 $V_{in}$ が上昇するときである。コンパレータ26は、入力信号の電圧 $V_{in}$ と出力信号の電圧 $V_{out}$ から定電圧発生器30の電圧 $V_{F2}$ を差し引いた電圧( $V_{out} - V_{F2}$ )とを比較し、 $V_{in} < (V_{out} - V_{F1})$ のときにHレベルの出力を発生し、 $V_{in} > (V_{out} - V_{F1})$ のときにLレベルの出力を発生する。このコンパレータ26の出力がHレベルになるのは、入力信号の電圧 $V_{in}$ が下降するときである。両コンパレータ24, 26の出力は、オアゲート32を介してスイッチ20に制御信号として与えられる。スイッチ20は、Hレベルの制御信号に応動してオンし、Lレベルの制御信号に応動してオフになる。

10

#### 【0029】

図3に、一実施例による動作電流増幅回路16の構成を示す。この例では、動作電流生成用の定電流源14がNMOSトランジスタで構成されている。この動作電流増幅回路16は、正極側電源電圧 $V_{DD}$ の端子と負極側電源電圧 $V_{SS}$ の端子との間で、PMOSトランジスタ40とNMOSトランジスタ34とを直列に接続し、PMOSトランジスタ38と定電流源42とを直列に接続し、NMOSトランジスタ36をPMOSトランジスタ38にスイッチ20を介して直列に、かつ定電流源42に並列に接続している。ここで、NMOSトランジスタ34は動作電流生成用の定電流源であるNMOSトランジスタ14をバイアスするためのトランジスタであり、NMOSトランジスタ36はフィードバック電流を生成するためのトランジスタであり、PMOSトランジスタ38, 40は電流正帰還回路を構成するトランジスタである。

20

#### 【0030】

定電流源42は、PMOSトランジスタ38に一定の基準バイアス電流 $I_B$ を供給する。PMOSトランジスタ40は、PMOSトランジスタ38とドレイン電位およびゲート電位をそれぞれ共通接続し、電流ミラー回路を構成している。この電流ミラー回路[38, 40]のカレントミラー比 $n$ は、両トランジスタ38, 40のサイズ(チャンネル幅)の比によって任意の値に選定可能である。たとえば $n = 1$ に選ぶことで、PMOSトランジスタ38に流れる電流と同じ大きさの電流をPMOSトランジスタ40に流すことができる。

30

#### 【0031】

バイアス用のNMOSトランジスタ34は、動作電流生成用のNMOSトランジスタ14およびフィードバック電流生成用のNMOSトランジスタ36とドレインおよびゲートを共通接続しており、電流ミラー回路を構成している。ここで、電流ミラー回路[34, 14]のカレントミラー比 $k$ は任意の値に選定できる。電流ミラー回路[34, 36]のカレントミラー比 $m$ も任意の値に選定可能である。ただし、フィードバック電流量を大きくするには、 $m$ の値は大きい方が好ましく、たとえば $m = 3$ に選んでよい。なお、スイッチ20は、フィードバック電流生成用のNMOSトランジスタ36と直列に、かつ基準バイアス用定電流源42と並列に接続される。

40

#### 【0032】

次に、図3の動作電流増幅回路16における作用を説明する。入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_F$ ( $V_{F1}$ ,  $V_{F2}$ )以内のときは、スイッチ20がオフし、フィードバック電流生成用のNMOSトランジスタ36もオフしている。このため、PMOSトランジスタ38には定電流源42による基準バイアス電流 $I_B$ だけが流れ、電流ミラー効果によりPMOSトランジスタ40ひいてはバイアス用のNMOSトランジスタ34にも基準バイアス電流 $I_B$ に等しい電流が流れる。これにより、メイン回路10の動作電流生成用のNMOSトランジスタ14には、基準バイアス電流 $I_B$ にカレントミラー比 $k$ を乗じた値の動作電流 $I_E$ ( $= k * I_B$ )が流れる。このとき、スルーレート $SR$ は $SR = k * I_E$

50



/Cであり、一定に保たれる。

【0033】

入力信号の電圧 $V_{in}$ が大きく、あるいは急激に変化するときは、入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_F$  ( $V_{F1}$ ,  $V_{F2}$ )を超えた時点で、スイッチ20がオンし、NMOSトランジスタ36が導通状態でPMOSトランジスタ38に接続される。そうすると、NMOSトランジスタ34, 36間の電流ミラー効果により、NMOSトランジスタ36には、NMOSトランジスタ34を流れる電流 $I_B$ にカレントミラー比 $m$ を乗じた値の電流 $I_C$ が流れる。こうしてNMOSトランジスタ36を流れる電流 $I_C$  ( $= m * I_B$ )はPMOSトランジスタ38にも流れる。つまり、PMOSトランジスタ38には、定電流源42に向かう基準バイアス電流 $I_B$ とNMOSトランジスタ36に向かう電流 $I_C$  ( $= m * I_B$ )とを足し合わせた合成電流 ( $I_B + I_C$ ) ( $= (I_B + m * I_B)$ )が流れる。そうすると、PMOSトランジスタ38, 40間の電流ミラー効果により、PMOSトランジスタ38を流れる電流と同じ大きさの電流 ( $I_B + m * I_B$ )がPMOSトランジスタ40に流れ、ひいてはバイアス用のNMOSトランジスタ34にも流れる。

10

【0034】

このようにバイアス用のNMOSトランジスタ34を流れる電流が $I_B$ から ( $I_B + I_C$ )つまり ( $I_B + m * I_B$ )に増えると、NMOSトランジスタ34, 36間の電流ミラー効果により、NMOSトランジスタ36に $m$ 倍の電流 $I_C$ つまり $m(m+1) * I_B$ が流れる。そして、この電流 $I_C$ または $m(m+1) * I_B$ がPMOSトランジスタ38, 40を介してバイアス用のNMOSトランジスタ34に正帰還され、NMOSトランジスタ34を流れる電流は ( $I_B + m * I_B$ ) から ( $I_B + I_C$ )つまり  $\{ I_B + m(m+1) * I_B \}$ に増える。

20

【0035】

こうしてバイアス用のNMOSトランジスタ34を流れる電流は正帰還増幅によって急峻に増大する。そうすると、NMOSトランジスタ34との電流ミラー効果により、NMOSトランジスタ14で生成される駆動電流 $I_E$ も急峻に増大する。

【0036】

上記のように、この動作電流増幅回路16では、入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_F$  ( $V_{F1}$ ,  $V_{F2}$ )を超えてスイッチ20がオンすると、バイアス用のNMOSトランジスタ34を流れる電流が電流ミラー効果を通じてNMOSトランジスタ36に検出され、NMOSトランジスタ36で生成されたフィードバック電流 $I_C$ が電流ミラー回路[38, 40]を介してバイアス用NMOSトランジスタ34に正帰還される。こうして、バイアス用NMOSトランジスタ34を流れる電流が正帰還をかけられて増幅され、ひいては動作電流生成用の定電流源であるNMOSトランジスタ14を流れる動作電流 $I_E$ も正帰還をかけられて増幅される。これにより、スルーレートSRが急峻に増大し、出力電圧 $V_{out}$ が入力電圧 $V_{in}$ よりも格段に大きなレートで変化または遷移する結果、入出力の電圧差 $|V_{out} - V_{in}|$ は一瞬または極短時間の内に設定値 $V_F$ 以内になり、スイッチ制御回路22によりスイッチ20はオフに切り替えられる。スイッチ20がオフすると、上記のように正帰還の電流増幅が停止し、スルーレートSRは基準値に戻る。

30

【0037】

図3の動作電流増幅回路16は、スイッチ20がオフに保たれている時はフィードバック電流生成用のNMOSトランジスタ36に電流が流れないため、低消費電力化に有利である。

40

【0038】

図4に、動作電流増幅回路16の別の実施例を示す。この実施例では、正極側電源電圧 $V_{DD}$ の端子と負極側電源電圧 $V_{SS}$ の端子との間で、PMOSトランジスタ38とNMOSトランジスタ36とを直列に接続し、PMOSトランジスタ40とNMOSトランジスタ34とをスイッチ20を介して直列に接続し、基準バイアス用の定電流源42をPMOSトランジスタ40に並列に、かつNMOSトランジスタ34に直列に接続している。この実施例でも、NMOSトランジスタ34は動作電流生成用のNMOSトランジスタ14を

50

バイアスするためのトランジスタであり、NMOSトランジスタ36はフィードバック電流を生成するためのトランジスタであり、PMOSトランジスタ38, 40は電流正帰還回路を構成するトランジスタである。動作電流生成用の定電流源14はNMOSトランジスタで構成されている。また、PMOSトランジスタ38, 40が電流ミラー回路を構成し、NMOSトランジスタ34, 36, 14が電流ミラー回路を構成している。ただし、スイッチ20は、PMOSトランジスタ40と直列に、かつ定電流源42と並列に接続される。定電流源42は、一定の基準バイアス電流 $I_B$ をバイアス用のNMOSトランジスタ34に直接供給する。

#### 【0039】

図4の駆動電流増幅回路16においては、入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_F$  ( $V_{F1}, V_{F2}$ ) 以内にあってスイッチ20がオフしている間も、フィードバック電流生成用のNMOSトランジスタ36には電流 $I_C$ が流れる。この電流 $I_C$ は、NMOSトランジスタ34, 36間の電流ミラー効果によるもので、バイアス用のNMOSトランジスタ34を流れている電流つまり基準バイアス電流 $I_B$ と比例関係にある。このスタンバイ時の電流 $I_C$ による消費電流を少なくするために、電流ミラー回路[34, 36]のカレントミラー比 $m$ の値は小さい方が好ましく、たとえば1以下に選ばれてよい。このようにフィードバック電流生成用のNMOSトランジスタ36に電流 $I_C$ が流れていても、スイッチ20がオフしているためPMOSトランジスタ40には電流が流れず、バイアス用のNMOSトランジスタ34には定電流源42からの基準バイアス電流 $I_B$ だけが流れる。このため、動作電流生成用のNMOSトランジスタ14には、基準バイアス電流 $I_B$ にカレントミラー比 $k$ を乗じた値の動作電流 $I_E (= k * I_B)$ が流れる。したがって、スルーレート $SR$ は $SR = k * I_B / C$ で、一定に保たれる。

#### 【0040】

この動作電流増幅回路16においても、入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_F$  ( $V_{F1}, V_{F2}$ ) を超えると、スイッチ20がオンする。そうすると、NMOSトランジスタ36に流れる電流 $I_C$ が電流ミラー回路[38, 40]を介してバイアス用NMOSトランジスタ34に正帰還される。ここで、電流ミラー回路[38, 40]のカレントミラー比 $n$ は、電流ミラー回路[34, 36]のカレントミラー比 $m$ を補償できるほどの大きさに選ばれるのが好ましく、たとえば $n = 3$ に選ばれてよい。

#### 【0041】

このように、この実施例でも、スイッチ20がオンすると、動作電流増幅回路16において正帰還をかけた電流増幅が行われることにより、バイアス用NMOSトランジスタ34を流れる電流が急峻に増大し、NMOSトランジスタ34によってバイアスされる動作電流生成用のNMOSトランジスタ14でも動作電流 $I_E$ が急峻に増大する。これによりスルーレート $SR$ が瞬時に増大し、出力電圧 $V_{out}$ が入力電圧 $V_{in}$ よりも格段に大きなレートで変化または遷移する結果、入出力の電圧差 $|V_{out} - V_{in}|$ は一瞬または極短時間の内に設定値 $V_F$ 以内になり、スイッチ20はオフに切り替えられる。スイッチ20がオフすると、上記のように正帰還の電流増幅が停止し、スルーレート $SR$ は基準値に戻る。

#### 【0042】

なお、図3および図4の定電流回路12は、メイン回路10に対してシンク(sink)型のもを想定しているが、ソース(source)型のもも可能である。すなわち、各部のPMOSトランジスタ(たとえば38, 40)をそれぞれNMOSトランジスタに置き換えるとともに、各部のNMOSトランジスタ(たとえば34, 36, 14)をそれぞれPMOSトランジスタに置き換えることで、ソース型のもに変形することができる。

#### 【0043】

また、図3および図4の実施例では、バイアス用のトランジスタ34とフィードバック電流生成用のトランジスタ36とが互いに電流ミラー回路を構成して直接に結ばれている。しかし、両トランジスタ34, 36が他のトランジスタを含む電流ミラー回路を介して間接的に接続される構成も可能である。同様に、バイアス用のトランジスタ34と動作電流生成用のトランジスタ14とが他のトランジスタを含む電流ミラー回路を介して間接的

10

20

30

40

50

に接続される構成も可能である。また、電流正帰還回路においても、1つの電流ミラー回路 [ 3 8 , 4 0 ] で構成するのは一例であり、2つ以上の電流ミラー回路を含む構成も可能である。

【 0 0 4 4 】

図5に、一実施例における演算増幅器のより具体的な構成例を示す。この演算増幅器はブロックA, B, C, D, E, Fからなり、Rail to Rail出力型の電圧フォロアとして構成されている。

【 0 0 4 5 】

ブロックCには、図2のコンパレータ24および基準電圧発生器28と、図3のスイッチ20およびフィードバック電流生成用のNMOSトランジスタ36に相当する構成が含まれている。すなわち、差動接続された一対のPMOSトランジスタ42P, 44Pがコンパレータ24に対応し、ダイオード46Pが基準電圧発生器28とスイッチ20に対応し、カスコード接続のPMOSトランジスタ48P, 50Pがフィードバック電流生成用のNMOSトランジスタ36に対応する。

10

【 0 0 4 6 】

より詳細には、PMOSトランジスタ42Pのゲートは信号入力端子INまたは非反転入力端子(+)に接続され、PMOSトランジスタ44Pのゲートは信号出力端子OUTまたは反転入力端子(-)に接続されている。カスコードのPMOSトランジスタ48P, 50Pは、PMOSトランジスタ48Pのソースが正極性電源電圧 $V_{DD}$ の端子に接続され、PMOSトランジスタ50PのドレインがPMOSトランジスタ42Pのソースに直接接続されるとともにPMOSトランジスタ44Pのソースにダイオード46Pを介して接続されている。PMOSトランジスタ42Pのドレインは負極性電源電圧 $V_{SS}$ の端子に接続されている。PMOSトランジスタ44Pのドレインは、ブロックA内のカスコード接続のNMOSトランジスタ54N, 52Nを介して負極性電源電圧 $V_{SS}$ の端子に接続されている。ここで、カスコードのNMOSトランジスタ54N, 52Nは、電流正帰還回路を構成するもので、図3のPMOSトランジスタ38に相当する。

20

【 0 0 4 7 】

入力信号の電圧 $V_{in}$ が出力信号の電圧 $V_{out}$ にダイオード46Pのオン電圧 $V_{F1}$ を加えた値( $V_{out} + V_{F1}$ )よりも低いときは、ダイオード46Pは非導通状態を保つ。入力信号の電圧 $V_{in}$ が( $V_{out} + V_{F1}$ )よりも高いと、ダイオード46PおよびPMOSトランジスタ44Pがオンし、正極性の電源電圧端子 $V_{DD}$ よりカスコードのPMOSトランジスタ48P, 50P、ダイオード46P、PMOSトランジスタ44PおよびブロックA内のカスコードのNMOSトランジスタ54N, 52Nを通して負極性の電源電圧端子 $V_{SS}$ に電流 $I_C$ が流れる。ここで、フィードバック電流生成用のPMOSトランジスタ48P, 50Pは、図3のバイアス用NMOSトランジスタ34に相当するブロックB内の一群のPMOSトランジスタ< 68P >、特にカスコード接続のPMOSトランジスタ70P, 72Pと電流ミラー回路を構成している。

30

【 0 0 4 8 】

ブロックDには、図2のコンパレータ26および基準電圧発生器30と、図3または図4のスイッチ20およびフィードバック電流生成用のNMOSトランジスタ36に相当する構成が含まれている。すなわち、差動接続された一対のPMOSトランジスタ42N, 44Nがコンパレータ26に相当し、ダイオード46Nが基準電圧発生器30とスイッチ20に相当し、カスコード接続のNMOSトランジスタ48N, 50Nがフィードバック電流生成用のNMOSトランジスタ36に相当する。

40

【 0 0 4 9 】

より詳細には、NMOSトランジスタ42Nのゲートは信号入力端子INまたは非反転入力端子(+)に接続され、NMOSトランジスタ44Nのゲートは信号出力端子OUTまたは反転入力端子(-)に接続されている。カスコードのNMOSトランジスタ48N, 50Nは、NMOSトランジスタ48Nのソースが負極性電源電圧 $V_{SS}$ の端子に接続され、NMOSトランジスタ50NのドレインがNMOSトランジスタ42Nのソースに直

50

接続されるとともにNMOSトランジスタ44Nのソースにダイオード46Nを介して接続されている。NMOSトランジスタ42Nのドレインは正極性電源電圧 $V_{DD}$ の端子に接続されている。NMOSトランジスタ44Nのドレインは、ブロックA内のカスコード接続のPMOSトランジスタ54P, 52Pを介して正極性電源電圧 $V_{DD}$ の端子に接続されている。ここで、カスコードのPMOSトランジスタ54P, 52Pは、電流正帰還回路を構成するもので、図3のPMOSトランジスタ38に相当する。

#### 【0050】

入力信号の電圧 $V_{in}$ が出力信号の電圧 $V_{out}$ からダイオード46Nのオン電圧 $V_{F1}$ を減じた値( $V_{out} - V_{F1}$ )よりも高いときは、ダイオード46Nは非導通状態を保つ。入力信号の電圧 $V_{in}$ が( $V_{out} - V_{F1}$ )よりも低いと、NMOSトランジスタ44Nおよびダイオード46Nがオンし、正極性の電源電圧端子 $V_{DD}$ よりカスコードのPMOSトランジスタ52P, 54P、NMOSトランジスタ44N、ダイオード46N、カスコードのNMOSトランジスタ50N, 48Nを通して負極性の電源電圧端子 $V_{SS}$ に電流 $I_C$ が流れる。ここで、フィードバック電流生成用のNMOSトランジスタ48N, 50Nは、図3のバイアス用NMOSトランジスタ34に相当するブロックB内の一群のNMOSトランジスタ<68N>、特にカスコード接続のPMOSトランジスタ70P, 72Pと電流ミラー回路を構成している。

10

#### 【0051】

ブロックEは、差動入力部であり、シンク系の差動入力回路とソース系の差動入力回路とを含んでいる。シンク系の差動入力回路は、差動接続された一对のNMOSトランジスタ80N, 82Nと、それらのNMOSトランジスタ80N, 82Nのソースと負極性電源電圧端子 $V_{SS}$ との間に接続されたカスコードのNMOSトランジスタ84N, 86Nとを有する。ここで、カスコードのNMOSトランジスタ84N, 86Nは、NMOSトランジスタ80N, 82Nに動作電流を供給するための定電流源(14)を構成し、図3のバイアス用NMOSトランジスタ34に相当するブロックB内の一群のNMOSトランジスタ<68N>、特にカスコード接続のNMOSトランジスタ72N, 70Nと電流ミラー回路を構成している。

20

#### 【0052】

ソース系の差動入力回路は、差動接続された一对のPMOSトランジスタ80P, 82Pと、それらのPMOSトランジスタ80P, 82Pのソースと正極性電源電圧端子 $V_{DD}$ との間に接続されたカスコードのPMOSトランジスタ84P, 86Pとを有する。ここで、カスコードのPMOSトランジスタ84P, 86Pは、PMOSトランジスタ80P, 82Pに動作電流を供給するための定電流源(14)を構成し、図3のバイアス用NMOSトランジスタ34に相当するブロックB内の一群のPMOSトランジスタ<68P>、特にカスコード接続のPMOSトランジスタ72P, 70Pと電流ミラー回路を構成している。

30

#### 【0053】

ブロックFは、電圧増幅部またはバッファ部であり、ブロックEの差動入力部から取り出される信号をゲイン1以上の増幅率で増幅し、出力回路Gにおける位相補償用コンデンサ100P, 100Nを充放電しつつ出力用のPMOSトランジスタ102P、NMOSトランジスタ102Nを駆動する。

40

#### 【0054】

ブロックE, Fにおいて、定電流源のPMOSトランジスタ86P, 84Pからの動作電流 $I_E (= k * I_B)$ は、 $I_E / 2$ ずつ分流して差動入力のPMOSトランジスタ80P, 82PおよびNMOSトランジスタ88N, 90Nを流れる。一方、差動入力のNMOSトランジスタ80N, 82Nより $I_E / 2$ ずつ定電流源のNMOSトランジスタ84N, 86Nに吸い込まれる動作電流 $I_E$ は、PMOSトランジスタ88P, 90Pより $I_E / 2$ ずつ供出される。

#### 【0055】

ブロックFは、電流を電圧として増幅する回路であり、ブロックEから供給される差動

50

電流を電流ミラー回路を用いてカスコード増幅する。

【0056】

ブロックAには正帰還回路が含まれている。詳細には、カスコードのNMOSトランジスタ52N, 54Nは、カスコードのNMOSトランジスタ56N, 58Nと電流ミラー回路を構成する。ここで、カスコードのNMOSトランジスタ52N, 54Nは上記のように図3のPMOSトランジスタ38に相当し、カスコードのNMOSトランジスタ56N, 58Nは図3のPMOSトランジスタ40に相当する。

【0057】

カスコードのNMOSトランジスタ56N, 58Nを流れる電流 $I_1$ は、カスコードのPMOSトランジスタ52P, 54Pを流れる電流でもあり、たとえば $I_B + I_C$ である。カスコードのPMOSトランジスタ52P, 54Pは、上記のように図3のPMOSトランジスタ38に相当し、カスコードのPMOSトランジスタ60P, 62Pと電流ミラー回路を構成し、カスコードのPMOSトランジスタ64P, 66Pとも電流ミラー回路を構成する。ここで、カスコードのPMOSトランジスタ(60P, 62P)、(64P, 66P)は図3のPMOSトランジスタ40に相当する。

10

【0058】

ブロックBには、バイアス用のトランジスタを構成するカスコード接続の一群のPMOSトランジスタ<68P>およびNMOSトランジスタ<68N>が含まれており、各部にブロックAの電流 $I_1$ と所定の比で比例関係にある電流 $I_2, I_3, I_4, I_5, I_6, I_7$ が流れる。

20

【0059】

図6に、この演算増幅器(図5)において入力信号を安定値 $V_A$ からそれよりも高い安定値 $V_B$ へステップ的に立ち上げた場合に得られる入力信号および出力信号の遷移波形を示す。入力信号の立ち上がり開始直後( $t_0 \sim t_1$ )は、入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_F$ ( $V_{F1}, V_{F2}$ )以内にあり、出力信号は基準値( $k * I_E / C$ )のスルーレートSRで入力信号に追従する。

【0060】

そして、入力信号の電圧 $V_{in}$ と出力信号の電圧 $V_{out}$ との差が設定値 $V_{F1}$ まで開いた時点( $t_1$ )で、ブロックCのダイオード46PおよびPMOSトランジスタ44Pがオンして、カスコードのPMOSトランジスタ48P, 50Pで生成されるフィードバック電流 $I_C$ がブロックAの電流正帰還回路へ送られ、ブロックB内のバイアス電流ひいてはブロックE, F内の動作電流が正帰還をかけられて増幅される。以後は、上記したように、ミクロ的には入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_{F1}$ を超えた時はスルーレートSRを無限大に向かって急峻に上げるモードと入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_{F1}$ 以内のときはスルーレートSRを基準値に保つモードとが非常に短い時間間隔で交互に繰り返され、マクロ的には入力電圧 $V_{in}$ の変化する速度にスルーレートSRが合わせられ、 $|V_{out} - V_{in}| = V_{F1}$ の平衡状態が保たれる。

30

【0061】

そして、入力信号の電圧 $V_{in}$ が目的値 $V_B$ に到達すると( $t_2$ )、入出力の電圧差 $|V_{out} - V_{in}|$ が定常的に設定値 $V_{F1}$ 以内に収まり、出力信号は基準値( $k * I_E / C$ )のスルーレートSRで入力信号に追いつく( $t_3$ )。

40

【0062】

図7に、この演算増幅器(図5)において入力信号を安定値 $V_B$ からそれよりも低い安定値 $V_A$ へステップ的に立ち下げた場合に得られる入力信号および出力信号の遷移波形を示す。この場合は、入出力の電圧差 $|V_{out} - V_{in}|$ が設定値 $V_{F1}$ を超えた時にブロックDのNMOSトランジスタ44Nおよびダイオード46Nがオンして、カスコードのNMOSトランジスタ50N, 48Nで生成されるフィードバック電流 $I_C$ がブロックAの電流正帰還回路へ送られ、ブロックB内のバイアス電流ひいてはブロックE, F内の動作電流が正帰還をかけられて増幅される。図示のように、立ち上がりの場合(図6)と同様の遷移特性が得られる。

50

## 【 0 0 6 3 】

本発明の増幅器は、高速タイプのアンプやD A Cに好適に適用できる。特に、D A Cのアプリケーションにおいては、大振幅出力時のスルーレートを入力信号のレートに合わせてダイナミックに変化させることができるため、動作周波数を決める要素となる出力バッファのセトリングタイムを小さくし、高速の動作周波数特性を実現できる。また、入力の電圧に変化がない時や、変化があっても小さい時は、バイアス電流の増幅を行わないので、低消費電力で待機することができる。必要な時だけ電流を増やしてアンプの周波数特性を上げるので、システム上の消費電力の最適化も実現できる。

## 【 0 0 6 4 】

なお、本発明の増幅器は、演算増幅器や電圧フォロアに限定されるものではなく、動作電流を供給する定電流回路を含む任意の増幅器に適用可能である。 10

## 【 図面の簡単な説明 】

## 【 0 0 6 5 】

【 図 1 】 本発明の好適な一実施形態における演算増幅器の構成を示す回路図である。

【 図 2 】 一実施形態におけるスイッチ制御回路の一構成例を示す回路図である。

【 図 3 】 一実施例における動作電流増幅回路の構成を示す回路図である。

【 図 4 】 一実施例における動作電流増幅回路の構成を示す回路図である。

【 図 5 】 一実施例における演算増幅回路の具体的な構成を示す回路図である。

【 図 6 】 実施例の演算増幅回路で得られる信号立ち上がり時の入出力遷移波形を示す波形図である。 20

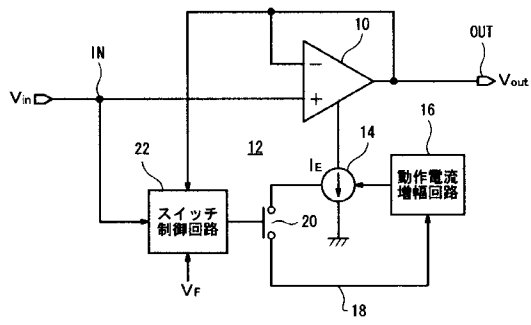
【 図 7 】 実施例の演算増幅回路で得られる信号立ち下がり時の入出力遷移波形を示す波形図である。

## 【 符号の説明 】

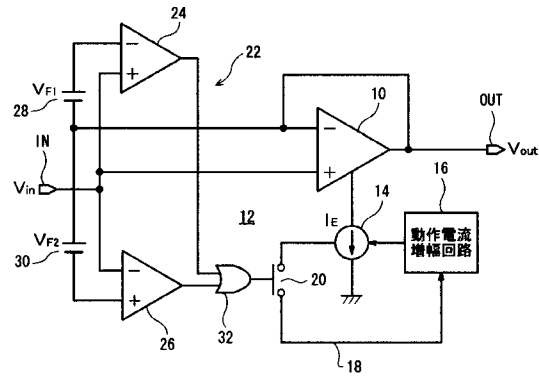
## 【 0 0 6 6 】

- 1 0      メイン回路
- 1 2      定電流回路
- 1 4      定電流源（動作電流生成用N M O S トランジスタ）
- 1 6      動作電流増幅回路
- 1 8      正帰還ループ
- 2 0      スイッチ
- 2 2      スイッチ制御回路
- 2 4 , 2 6      コンパレータ
- 2 8 , 3 0      基準電圧発生器
- 3 4      バイアス用N M O S トランジスタ
- 3 6      フィードバック電流生成用N M O S トランジスタ
- 3 8 , 4 0      電流正帰還用のP M O S トランジスタ

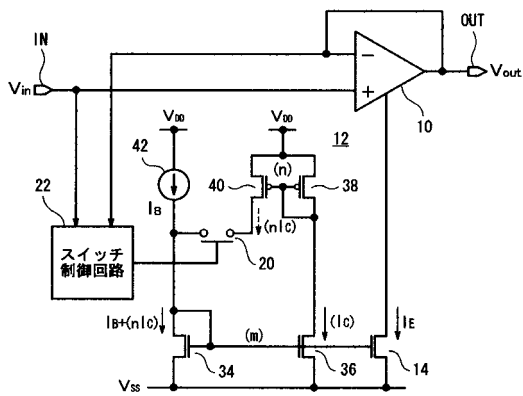
【 図 1 】



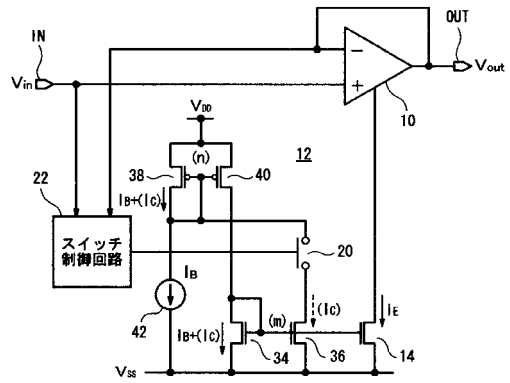
【 図 2 】



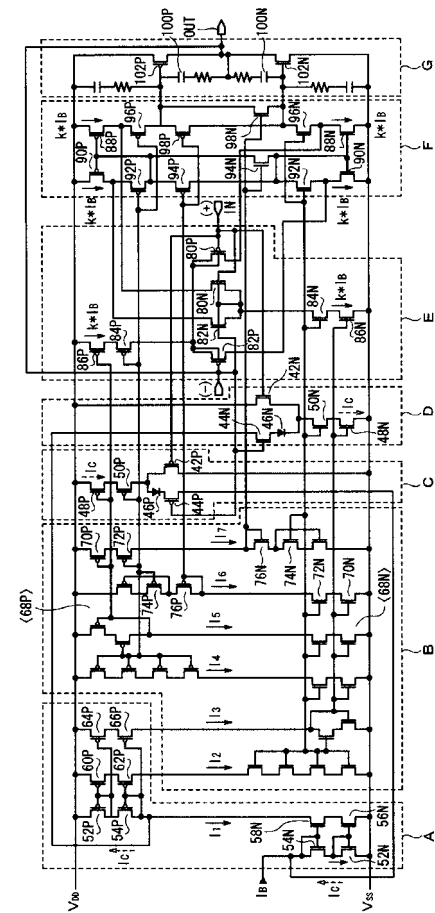
【 図 4 】



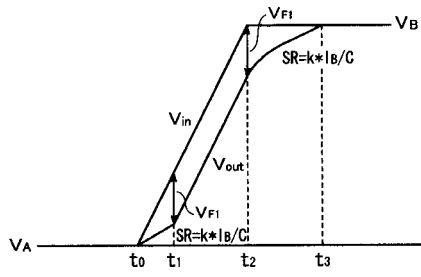
【 図 3 】



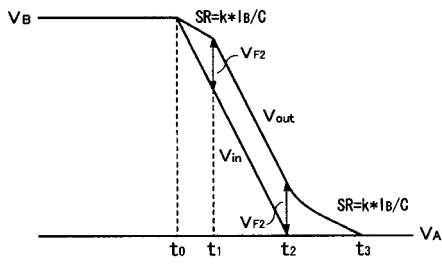
【 図 5 】



【 図 6 】



【 図 7 】





---

フロントページの続き

- (56)参考文献 特開2001-326542(JP,A)  
特開2001-244761(JP,A)  
特開平10-022741(JP,A)  
特開平06-104663(JP,A)  
特表平10-510971(JP,A)  
特開平11-136044(JP,A)  
特開平4-38003(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/45