



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I395100B1

(45) 公告日：中華民國 102 (2013) 年 05 月 01 日

(21) 申請案號：098101031

(22) 申請日：中華民國 98 (2009) 年 01 月 13 日

(51) Int. Cl. : G06F12/02 (2006.01)

(71) 申請人：銀燦科技股份有限公司 (中華民國) INNOSTOR TECHNOLOGY CORPORATION
(TW)

新竹市東區金山七街 49 號 3 樓

(72) 發明人：許進東 SHEU, CHIN TUNG (TW) ; 張琮民 CHANG, TSUNG MIN (TW)

(74) 代理人：戴俊彥

(56) 參考文獻：

TW 200828020A

TW 200834319A

US 6970957B1

US 7093101B2

US 7139883B2

US 7284083B2

US 2005/0198596A1

US 2008/0235486A1

審查人員：黃正和

申請專利範圍項數：39 項 圖式數：8 共 0 頁

(54) 名稱

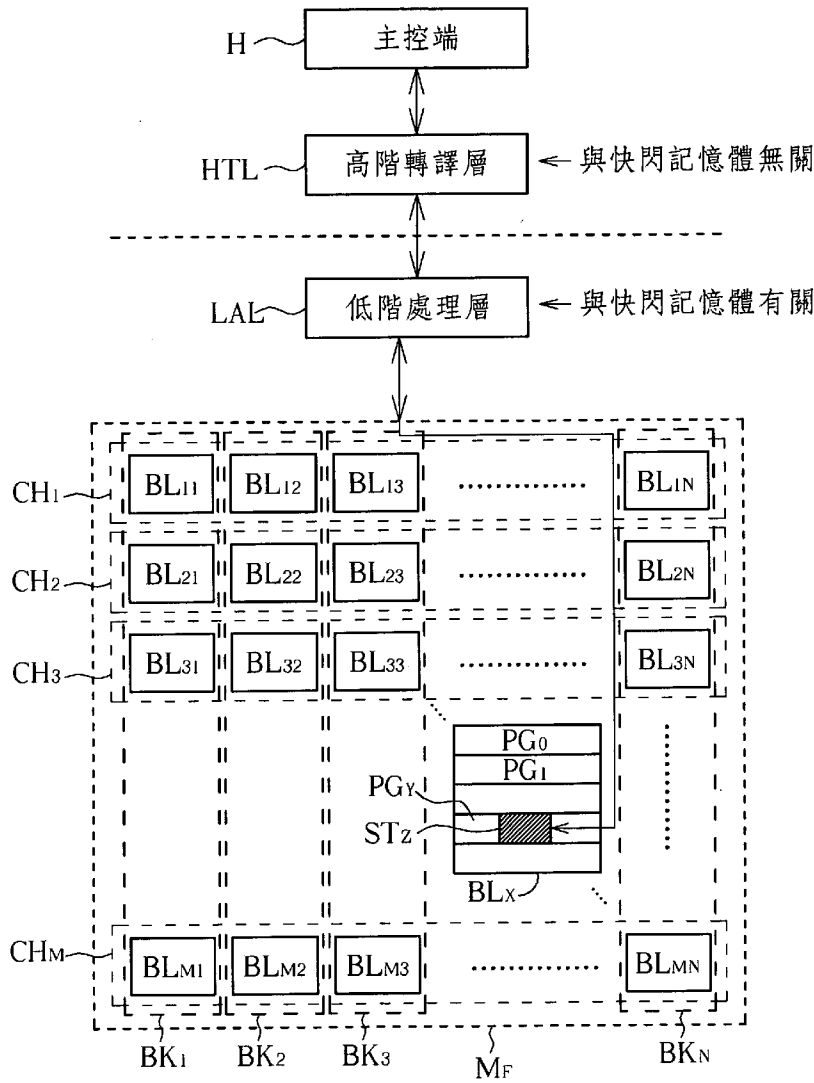
應用於快閃記憶體之階級化分層處理資料的方法及相關快閃記憶體裝置

METHOD FOR PROCESSING DATA OF FLASH MEMORY BY SEPARATING LEVELS AND FLASH MEMORY DEVICE THEREOF

(57) 摘要

一種以階級化分層來對快閃記憶體進行資料處理的方法包含將主控端與快閃記憶體之間的溝通經由高階轉譯層與低階處理層來分別處理。高階轉譯層負責接收主控端之命令與邏輯位址，並將所接收之邏輯位址轉換成快閃記憶體的實體位址。低階處理層負責根據高階轉譯層傳送之指令與實體位址控制快閃記憶體對應的記憶單元以進行資料處理。由於低階處理層設置於高階轉譯層與快閃記憶體之間，因此高階轉譯層與快閃記憶體之架構無關，而無須因為快閃記憶體的更換而重新設計。

A method for processing data of a flash memory by differentiating levels includes separating the communication between a host and a flash memory by a high-level translation layer and a low-level processing layer. The high-level translation layer receives commands and logic addresses from the host and translates the received logic addresses to the physical addresses of the flash memory. The low-level processing layer executes data processing to the corresponding memory cells according to the commands and the physical addresses from the high-level translation layer. Since the low-level processing layer is disposed between the high-level translation layer and the flash memory, the high-level translation layer is irrelevant to the structure of the flash memory, and does not have to be re-design with the flash memory is replaced with another new flash memory.



- H . . . 主控端
- M_F . . . 快閃記憶體
- BL₁₁ ~ BL_{MN} . . . 已分類單獨區塊
- HTL . . . 高階轉譯層
- LAL . . . 低階處理層
- CH₁ ~ CH_M . . . 已分類區塊通道
- BK₁ ~ BK_N . . . 組
- PG₀、PG₁、PG_Y . . . 已分類區塊分頁
- ST_Z . . . 已分類分頁區段

第2圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98101031

※ 申請日：98.1.13.

※IPC 分類：G06F 12/02 (2006.01)

一、發明名稱：(中文/英文)

應用於快閃記憶體的階級化分層處理資料的方法及相關快閃記憶體裝置/Method for processing data of flash memory by separating levels and flash memory device thereof

二、中文發明摘要：

一種以階級化分層來對快閃記憶體進行資料處理的方法包含將主控端與快閃記憶體之間的溝通經由高階轉譯層與低階處理層來分別處理。高階轉譯層負責接收主控端之命令與邏輯位址，並將所接收之邏輯位址轉換成快閃記憶體的實體位址。低階處理層負責根據高階轉譯層傳送之指令與實體位址控制快閃記憶體對應的記憶單元以進行資料處理。由於低階處理層設置於高階轉譯層與快閃記憶體之間，因此高階轉譯層與快閃記憶體之架構無關，而無須因為快閃記憶體的更換而重新設計。

三、英文發明摘要：

A method for processing data of a flash memory by differentiating levels includes separating the communication between a host and a flash memory by a high-level translation layer and a low-level processing layer. The high-level translation layer receives commands and logic addresses from the host and translates the received logic addresses to

the physical addresses of the flash memory. The low-level processing layer executes data processing to the corresponding memory cells according to the commands and the physical addresses from the high-level translation layer. Since the low-level processing layer is disposed between the high-level translation layer and the flash memory, the high-level translation layer is irrelevant to the structure of the flash memory, and does not have to be re-design with the flash memory is replaced with another new flash memory.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

H	主控端
M _F	快閃記憶體
BL ₁₁ ~BL _{MN}	已分類單獨區塊
HTL	高階轉譯層
LAL	低階處理層
CH ₁ ~CH _M	已分類區塊通道
BK ₁ ~BK _N	組已分類區塊
PG ₀ 、PG ₁ 、PG _Y	已分類區塊分頁
ST _Z	已分類分頁區段

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種應用於快閃記憶體處理資料的方法及相關快閃記憶體裝置，更明確地說，係有關一種應用於快閃記憶體的階級化分層處理資料的方法及相關快閃記憶體裝置。

【先前技術】

快閃記憶體(Flash memory)是一種非揮發性固態儲存記憶體(Non-volatile solid state memory)。快閃記憶體相較於傳統的非揮發性固態儲存記憶體，具有單位儲存成本低、讀寫速度快的優點。另一方面，快閃記憶體相較於硬碟而言，有較佳的抗震性。也就是說，儲存的資料較不會因震動而損壞。由於快閃記憶體具有以上特性，因此常被應用在可攜式裝置(如數位隨身聽、數位相機、手機、記憶卡以及 USB 隨身碟等)裡面作為儲存媒體。

快閃記憶體有很多不同的類型，比如說單階記憶單元(Single Level Cell, SLC)小已分類單獨區塊(small block)快閃記憶體、單階記憶單元大已分類單獨區塊(large block)快閃記憶體，以及多階記憶單元(Multi-Level Cell, MLC)大已分類單獨區塊(large block)快閃記憶體...等。快閃記憶體有很多不同的製造廠商，比如說 Samsung、Hynix 及 Toshiba...等。不同類型的快閃記憶體或不同製造廠商的快閃記憶體具有不同的結構與不同的控制方法。舉例而言，SLC 小已分類單

獨區塊快閃記憶體之每一已分類單獨區塊包含 32 個已分類區塊分頁(page)；每一已分類區塊分頁包含 528 位元組(byte)，其中前 512 位元組為資料區(data area)，而後 16 位元組為保留區(spare area)。SLC 大已分類單獨區塊快閃記憶體之每一已分類單獨區塊包含 64 個已分類區塊分頁；每一已分類區塊分頁包含 2112 位元組，其中前 2048 位元組為資料區，而後 64 位元組為保留區。

請參考第 1 圖。第 1 圖係為說明先前技術之快閃記憶體轉譯層 (Flash Translation Layer)FTL 之示意圖。快閃記憶體轉譯層 FTL 介於一主控端 H 與一快閃記憶體 M_{F1} 之間。

快閃記憶體 M_{F1} 包含 $(M \times N)$ 個已分類單獨區塊 $BL_{11} \sim BL_{MN}$ 。快閃記憶體轉譯層 FTL 用以接收或回應來自主控端 H 的要求，而對快閃記憶體 M_{F1} 進行資料處理動作。此外，主控端 H 可為一用戶端應用程式及/或檔案系統。

快閃記憶體轉譯層 FTL 讀取快閃記憶體 M_{F1} 之硬體架構資訊 D_{SPEC} 。更明確地說，快閃記憶體轉譯層 FTL 讀取快閃記憶體 M_{F1} 之型號 ID_{FLASH} 以獲得有關快閃記憶體 M_{F1} 之類型(如 SLC 大已分類單獨區塊)、製造廠商(如 Samsung)、結構(如已分類單獨區塊數量)、容量、控制方法...等之硬體架構資訊 D_{SPEC} 。快閃記憶體轉譯層 FTL，根據硬體架構資訊 D_{SPEC} 所描述的快閃記憶體 M_{F1} 之結構，以轉換邏輯位址(Logic Address, LA)為一對應於快閃記憶體 M_{F1} 之一實體儲存單元之實體位址(Physical Address, PA)。然後，快閃記憶體

轉譯層 FTL 根據所接收的硬體架構資訊 D_{SPEC} ，找到對應於快閃記憶體 M_{F1} 的控制方法，以控制快閃記憶體 M_{F1} 來進行資料處理動作。如此一來，主控端 H 便可透過快閃記憶體轉譯層 FTL，要求快閃記憶體 M_{F1} ，進行資料處理動作。舉例來說，當主控端 H 對快閃記憶體 M_{F1} 發出資料處理動作的要求時且傳送邏輯位址為「P」（表一數值）至快閃記憶體轉譯層 FTL 時，快閃記憶體轉譯層 FTL 會轉譯邏輯位址「P」為實體位址「X」，而要求快閃記憶體 M_{F1} 中的已分類獨立區塊 BL_X ，進行資料處理的動作。

值得注意的是，由於快閃記憶體轉譯層 FTL 需直接控制快閃記憶體 M_{F1} ，因此，快閃記憶體轉譯層 FTL，需根據快閃記憶體 M_{F1} 之控制方法與結構來設計。然而，不同製造廠商之快閃記憶體或不同類型之快閃記憶體具有不同的控制方法與結構。因此，每當快閃記憶體 M_{F1} （如 Samsung 生產之快閃記憶體）更換為另一新型快閃記憶體 M_{F2} （如 Toshiba 生產之快閃記憶體）時，快閃記憶體轉譯層 FTL，就需要根據新型快閃記憶體 M_{F2} 之控制方法與結構，來重新設計。如此一來，便會造成使用者極大的不便。

【發明內容】

本發明係提供一種應用於一快閃記憶體的階級化分層處理資料的方法。該方法包含將一邏輯位址傳送至一高階轉譯層以要求在該快閃記憶體中進行一資料處理動作、由一低階處理層取得屬於該快

閃記憶體的一硬體架構資訊以將該硬體架構資訊傳送至該高階轉譯層、由該高階轉譯層根據該硬體架構資訊，在該快閃記憶體中，設置一組對應至該邏輯位址的實體儲存單元、由該高階轉譯層根據該硬體架構資訊，找出在該組對應至該邏輯位址的實體儲存單元中，有一可供進行資料處理動作的實體儲存單元、由該高階轉譯層根據該硬體架構資訊，決定一資料處理流程，以將該邏輯位址轉換為對應至該可供進行資料處理動作的實體儲存單元的一實體位址，以及由該低階處理層根據由該高階轉譯層傳送之該實體位址，在該可供進行資料處理動作的實體儲存單元中，進行該資料處理動作。該高階轉譯層用以令一用戶端應用程式及一檔案系統可在該快閃記憶體內進行資料處理，以及負責蒐集該快閃記憶體使用狀態的相關資訊以管理該快閃記憶體。該低階處理層根據該實體位址內的一第一段位址資料得知一組已分類區塊、該低階處理層根據該實體位址內的一第二段位址資料得知一已分類單獨區塊、該低階處理層根據該實體位址內的一第三段位址資料得知一已分類區塊分頁、該低階處理層根據該實體位址內的一第四段位址資料得知一已分類區塊通道。

本發明另提供一種應用於一快閃記憶體的階級化分層處理資料的方法。該方法包含將一邏輯位址傳送至一高階轉譯層以要求在該快閃記憶體中進行一資料處理動作、由一快閃架構處理層取得屬於該快閃記憶體的一硬體架構資訊以將該硬體架構資訊傳送至該高階轉譯層、由該高階轉譯層根據該硬體架構資訊，在該快閃記憶體中，設置一組對應至該邏輯位址的實體儲存單元、由該高階轉譯層根據

該硬體架構資訊，找出在該組對應至該邏輯位址的實體儲存單元中，有一可供進行資料處理動作的實體儲存單元、由該高階轉譯層根據該硬體架構資訊，決定一資料處理流程以將該邏輯位址轉換為對應至該可供進行資料處理動作的實體儲存單元的一實體位址，以及由該快閃架構處理層根據由該高階轉譯層傳送之該實體位址，在該可供進行資料處理動作的實體儲存單元中，進行該資料處理動作。該高階轉譯層用以令一用戶端應用程式及一檔案系統可在該快閃記憶體內進行資料處理，以及負責蒐集該快閃記憶體使用狀態的相關資訊以管理該快閃記憶體。該快閃架構處理層根據該實體位址內的一第一段位址資料得知一組已分類區塊、該快閃架構處理層根據該實體位址內的一第二段位址資料得知一已分類單獨區塊、該快閃架構處理層根據該實體位址內的一第三段位址資料得知一已分類區塊分頁、該快閃架構處理層根據該實體位址內的一第四段位址資料得知一已分類分頁區段、該快閃架構處理層根據該實體位址內的一第五段位址資料得知一已分類區塊通道。

本發明另提供一種使用階級化分層處理資料的快閃記憶體裝置。該快閃記憶體裝置包含一快閃記憶體，由複數個已分類單獨區塊組成、一命令及邏輯位址轉換電路，以及一執行命令及實體位址定址電路。該命令及邏輯位址轉換電路用以令一高階轉譯層接收一邏輯位址及一在該快閃記憶體中進行一資料處理動作之要求，命令一低階處理層取得屬於該快閃記憶體的一硬體架構資訊以將該硬體架構資訊傳送至該高階轉譯層，且令該高階轉譯層根據該硬體架構

資訊，在該複數個已分類單獨區塊中，設置一組對應至該邏輯位址的實體儲存單元，找出在該組對應至該邏輯位址的實體儲存單元中，有一可供進行資料處理動作的實體儲存單元，並決定一資料處理流程以將該邏輯位址轉換為對應至該可供進行資料處理動作的實體儲存單元的一實體位址。該執行命令及實體位址定址電路用以令該低階處理層根據由該高階轉譯層傳送之該實體位址，在該可供進行資料處理動作的實體儲存單元中，進行該資料處理動作。該高階轉譯層用以令一用戶端應用程式及一檔案系統可在該快閃記憶體內進行資料處理，以及負責蒐集該快閃記憶體使用狀態的相關資訊以管理該快閃記憶體。該低階處理層根據該實體位址內的一第一段位址資料得知一組已分類區塊、該低階處理層根據該實體位址內的一第二段位址資料得知一已分類單獨區塊、該低階處理層根據該實體位址內的一第三段位址資料得知一已分類區塊分頁、該低階處理層根據該實體位址內的一第四段位址資料得知一已分類區塊通道。

【實施方式】

有鑑於此，本發明係將快閃記憶體轉譯層 FTL 分隔為高階轉譯層(High-level Translation Layer, HTL)與低階處理層(Low-level Abstraction Layer, LAL)，以解決當原本所使用的快閃記憶體 M_{F1} 更換為另一新型快閃記憶體 M_{F2} 時，整個快閃記憶體轉譯層 FTL 都需要重新設計的困擾。其中，低階處理層 LAL 可為快閃架構處理層

(Flash Abstraction Layer)FAL；而高階轉譯層 HTL 可為快閃架構轉譯層(Flash Translation Layer, FTL)。

請參考第 2 圖。第 2 圖係為說明本發明應用於快閃記憶體的階級化分層處理資料之示意圖。如第 2 圖所示，高階轉譯層 HTL 介於主控端 H 與低階處理層 LAL 之間；低階處理層 LAL 介於高階轉譯層 HTL 與快閃記憶體 M_F 之間。高階轉譯層 HTL 之設計與快閃記憶體 M_F 之控制方法無關；低階處理層 LAL 之設計則必須根據快閃記憶體 M_F 的不同而更動。於第 2 圖中，CH 表示已分類區塊通道(channel)、BK 表示一組已分類區塊(bank)、BL 表示已分類單獨區塊(block)、PG 表示已分類區塊分頁(page)、ST 表示已分類分頁區段(sector)。

高階轉譯層 FTL 用以令主控端 H(如一用戶端應用程式或/及一檔案系統)可在快閃記憶體 M_F 內進行資料處理、負責蒐集快閃記憶體 M_F 使用狀態的相關資訊，以及管理快閃記憶體 M_F 。此外，高階轉譯層 FTL 隔絕由主控端 H 發送之要求直接進入該低階處理層 LAL。

低階處理層 LAL 介於高階轉譯層 HTL 及快閃記憶體 M_F 之間，用以執行由高階轉譯層 HTL 發送之命令，並將快閃記憶體 M_F 之硬體架構資訊 D_{SPEC} 及由快閃記憶體 M_F 取得之一保留資訊 D_{SP} (spare data)回傳至高階轉譯層 HTL。同樣地，低階處理層 LAL 可藉由讀取快閃記憶體 M_F 之型號 ID_{FLASH} 以獲得有關快閃記憶體 M_F 之類型

(如 SLC 大已分類單獨區塊)、製造廠商(如 Samsung)、結構(如已分類單獨區塊數量)、容量、控制方法...等之硬體架構資訊 D_{SPEC} 。此外，低階處理層 LAL 隔絕高階轉譯層 HTL 發送之命令直接進入快閃記憶體 M_F 。

如此一來，由於低階處理層 LAL 隔絕了高階轉譯層 HTL 與快閃記憶體 M_F 之間直接溝通(意即低階處理層 LAL 會根據高階轉譯層 HTL 所發出的命令控制快閃記憶體 M_F ，而高階轉譯層 HTL 所發出的命令並不能直接傳達至快閃記憶體 M_F)，因此不論快閃記憶體 M_F 是更換為快閃記憶體 M_{F1} 或 M_{F2} ，對於高階轉譯層 HTL 皆不會有任何影響，而能夠省除高階轉譯層 HTL 因為快閃記憶體 M_F 的更換所造成的困擾。

請參考第 3 圖。第 3 圖係為說明本發明應用於一快閃記憶體的階級化分層處理資料的方法 300 之流程圖。步驟說明如下：

步驟 301： 由高階轉譯層 HTL 發出第一命令 CMD_1 以指示低階處理層 LAL，取得屬於快閃記憶體 M_{F1} 之硬體架構資訊 D_{SPEC1} ；

步驟 302： 由低階處理層 LAL，根據第一命令 CMD_1 ，取得屬於快閃記憶體 M_{F1} 之硬體架構資訊 D_{SPEC1} ，並傳送至高階轉譯層 HTL；

步驟 303： 由高階轉譯層 HTL 發出第二命令 CMD_2 以指示低階處理層 LAL，取得屬於快閃記憶體 M_F 之保留資訊 D_{SP1} ；

步驟 304： 由低階處理層 LAL，根據第二命令 CMD_2 ，取得屬於快閃記憶體 M_{F1} 之保留資訊 D_{SP1} ，並傳送至高階轉譯層 HTL；

步驟 305： 主控端 H 將一邏輯位址「P」，傳送至高階轉譯層 HTL 以要求在快閃記憶體 M_{F1} 中進行一資料處理動作；

步驟 306： 由高階轉譯層 HTL 根據硬體架構資訊 D_{SPEC1} ，在快閃記憶體 M_{F1} 中，設置一組對應至邏輯位址「P」的實體儲存單元；

步驟 307： 由高階轉譯層 HTL 根據保留資訊 D_{SP1} ，找出在該組對應至邏輯位址「P」的實體儲存單元中，有一可供進行資料處理動作的實體儲存單元；

步驟 308： 由高階轉譯層 HTL 根據硬體架構資訊 D_{SPEC1} 與保留資訊 D_{SP1} ，決定一資料處理流程 DPS，以將邏輯位址「P」轉換為對應至該可供進行資料處理動作的實體儲存單元的一實體位址「X」；

步驟 309： 由低階處理層 LAL 根據由高階轉譯層 HTL 傳送之實體位址「X」，在該可供進行資料處理動作的實體儲存單元中，進行該資料處理動作。

於方法 300 中，當一新型快閃記憶體 M_{F2} 取代快閃記憶體 M_{F1} 時，方法 300 會重新設置一新型低階處理層 LAL_2 取代原有之低階處理層 LAL(設原有之低階處理層為 LAL_1)，且由新型低階處理層 LAL_2 取得屬於新型快閃記憶體 M_{F2} 的硬體架構資訊 D_{SPEC2} 與保留資訊 D_{SP} 以將硬體架構資訊 D_{SPEC2} 與保留資訊 D_{SP} 傳送至高階轉譯層 HTL。換句話說，當一新型快閃記憶體 M_{F2} 取代原有之快閃記憶體 M_{F1} 時，步驟 301~308 便會再重新進行一次，以告知高階轉譯層 HTL 需重新設定將邏輯位址轉譯成實體位址的方式。

於步驟 309 中，低階處理層 LAL 能夠根據高階轉譯層 HTL 所傳送來之實體位址「X」，得知在快閃記憶體 M_{F1} 中實際上所對應的一已分類區塊通道、一組已分類區塊(Bank)、一已分類單獨區塊、一已分類區塊分頁，以及一已分類分頁區段。換句話說，實體位址「X」可區分成五段為 $(x_1, x_2, x_3, x_4, x_5)$ 。第一段實體位址「 x_1 」的數值代表實體上對應到快閃記憶體 M_{F1} 中所分配之一已分類區塊通道；第二段實體位址「 x_2 」的數值代表實體上對應到快閃記憶體 M_{F1} 中所分配之一組已分類區塊；第三段實體位址「 x_3 」的數值代表實體上對應到快閃記憶體 M_{F1} 中所分配之一已分類單獨區塊；第四段實體位址「 x_4 」的數值代表實體上對應到快閃記憶體 M_{F1} 中所分配之一已分類區塊分頁；第五段實體位址「 x_5 」的數值代表實體上對應

到快閃記憶體 M_{F1} 中所分配之一已分類分頁區段。舉例來說，若實體位址 X 為(1,1,1,1,1)，則表示在實體上可供進行資料處理動作的實體儲存單元係位於快閃記憶體 M_{F1} 的已分類區塊通道 CH_1 中的一組已分類區塊 BK_1 中的已分類單獨區塊 BL_1 中的已分類區塊分頁 PG_1 中的已分類分頁區段 ST_1 。

此外，硬體架構資訊 D_{SPEC1} 提供可在快閃記憶體 M_{F1} 所規劃行已分類區塊通道、組已分類區塊、已分類單獨區塊、已分類區塊分頁和已分類分頁區段的資訊。舉例來說，硬體架構資訊 D_{SPEC1} 可為(10,10,10,64,4)，則表示在快閃記憶體 M_{F1} 中，有 10 個已分類區塊通道、每個已分類區塊通道包含 10 組已分類區塊、每組已分類區塊包含 10 個已分類單獨區塊、每個已分類單獨區塊包含 64 個已分類區塊分頁、每個已分類區塊分頁包含 4 個已分類分頁區段。另外，一般定義一個已分類分頁區段的大小為 512 位元組，因此不需要在硬體架構資訊 D_{SPEC1} 中提供。

因此，高階轉譯層 HTL 便可根據硬體架構資訊 D_{SPEC1} ，將邏輯位址「P」轉換成對應的實體位址「X」。如前所述，若硬體架構資訊 D_{SPEC1} 為(10,10,10,64,4)，舉例邏輯位址「X」為[123456]，則高階轉譯層 HTL 可將[123456]除以 25600($10 \times 10 \times 64 \times 4$ ，表示一個已分類區塊通道的大小)，得到 4 且餘 21056(表示實體位址 x_1 為 4)；再將餘數[21056]除以 2560($10 \times 64 \times 4$ ，表示一組已分類區塊的大小)，得到 8 且餘 576(表示實體位址 x_2 為 8)；再將餘數[576]除以 256(64×4 ，表示一已分類單獨區塊的大小)，得到 2 且餘 64(表示實

體位址 x_3 為 2)；再將餘數[64]除以 4(4，表示一已分類區塊分頁的大小)，得到 16 且餘 0(表示實體位址 x_4 為 4 而實體位址 x_5 為餘數 0)。簡單的說，當邏輯位址「P」為[123456]時，高階轉譯層 HTL 根據硬體架構資訊 D_{SPEC1} 所轉譯出來的實體位址 X 為(4,8,2,16,0)，其表示為快閃記憶體 M_{F1} 中第 4 個已分類區塊通道 CH_4 中的第 8 組已分類區塊 BK_8 中的第 2 個已分類單獨區塊 BL_2 中的第 16 個已分類區塊分頁 PG_{16} 中的第 0 個已分類分頁區段 ST_0 。

然而，在快閃記憶體中，一有儲存資料之已分類區塊分頁無法再被寫入資料。更明確地說，若要將資料寫入至有儲存資料的已分類區塊分頁，必須要先抹除該已分類區塊分頁所屬的已分類單獨區塊。每次抹除(erase)資料的動作是以一個「已分類單獨區塊」作為單位。也就是說，每次抹除資料的動作至少要抹除一個已分類單獨區塊，而無法只抹除一個已分類區塊分頁或一個位元組。是故，為了加速主控端 H 對於快閃記憶體 M_{F1} 所進行的資料處理動作，在高階轉譯層 HTL 中，會設置一查詢表(Look Up Table, LUT) T_B ，以選擇對應到同一個邏輯位址的已分類單獨區塊中並未儲存資料的實體儲存單元，來進行資料處理的動作。更明確地說，在前述高階轉譯層 HTL 轉譯邏輯位址「P」為實體位址「X」時，其所轉譯出的實體位址 x_3 並不會直接對應到一個單一個已分類單獨區塊，而是對應到兩個不同的已分類單獨區塊，然後再根據快閃記憶體 M_{F1} 所提供的保留資訊 D_{SP} ，選擇其中之一可提供進行資料處理的已分類單獨區塊。其中保留資訊 D_{SP} 係用來提供所欲處理的實體儲存單元是否

已經有儲存資料以方便高階轉譯層 HTL 選擇未儲存資料的實體儲存單元。以下將更詳細解釋其運作原理。

請參考第 4 圖。第 4 圖係為說明高階轉譯層 HTL 根據邏輯位址、保留資訊，以及查詢表找出實際上可供資料處理的實體儲存單元之示意圖。同樣舉邏輯位址「P」為[123456]為例，可知實體位址 x_3 為「2」。因此可從查詢表 T_B 中的第 2 欄查得對應於實體位址 x_3 的已分類單獨區塊為已分類單獨區塊 BL_5 與 BL_{13} 。而實際上欲進行資料處理的實體儲存單元位於第 4 個已分類區塊分頁中的第 0 個已分類分頁區段。由保留資訊 D_{SP} 可知，在已分類單獨區塊 BL_5 中的第 4 個已分類區塊分頁已有儲存資料而在已分類單獨區塊 BL_{13} 中的第 4 個已分類區塊分頁並未儲存資料。因此，高階轉譯層 HTL 便會選擇已分類單獨區塊 BL_{13} 作為實際上要進行資料處理的實體儲存單元。更明確地說，邏輯位址[123456]經過高階轉譯層 HTL 處理後，會對應到實體位址為(4,8,「13」,16,0)而不是原本的實體位址(4,8,「2」,16,0)，亦非(4,8,「5」,16,0)。換句話說，實際上經由高階轉譯層 HTL 所找出的實體儲存單元係位於快閃記憶體 M_{F1} 中第 4 個已分類區塊通道 CH_4 中的第 8 組已分類區塊 BK_8 中的第 13 個已分類單獨區塊 BL_{13} 中的第 16 個已分類區塊分頁 PG_{16} 中的第 0 個已分類分頁區段 ST_0 。

於步驟 308 中，資料處理流程 DPS 係用來決定低階處理層 LAL 取得實體位址「X」中的第一段實體位址(x_1)、第二段實體位址(x_2)、

第三段實體位址(x_3)、第四段實體位址(x_4)以及第五段實體位址(x_5)之順序。

請參考第 5 圖。第 5 圖係為說明本發明之資料處理流程 DPS 之一第一實施例之流程圖。步驟說明如下：

步驟 501： 令低階處理層 LAL 取得第二段實體位址 (x_2)，得知在快閃記憶體 M_{F1} 中，存在對應之一組已分類區塊，而可對資料進行處理動作；

步驟 502： 在取得該第二段實體位址之後，取得第三段實體位址(x_3)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類單獨區塊，可對資料進行處理動作；

步驟 503： 在取得該第三段實體位址之後，取得第四段實體位址(x_4)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類區塊分頁，可對資料進行處理動作；

步驟 504： 在取得該第四段實體位址之後，取得第五段實體位址(x_5)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類分頁區段，可對資料進行處理動作；

步驟 505： 在取得該第五段實體位址之後，取得第一段實體位址(x_1)，最後得知在快閃記憶體 M_{F1} 中，存在對應之一已分類區塊通道，可對資料進行處理動作。

請參考第 6 圖。第 6 圖係為說明本發明之資料處理流程 DPS 之一第二實施例之流程圖。步驟說明如下：

步驟 601： 令低階處理層 LAL 取得第一段實體位址 (x_1)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類區塊通道，而可對資料進行處理動作；

步驟 602： 在取得該第一段實體位址之後，取得第三段實體位址 (x_3)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類單獨區塊，可對資料進行處理動作；

步驟 603： 在取得該第三段實體位址之後，取得第四段實體位址 (x_4)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類區塊分頁，可對資料進行處理動作；

步驟 604： 在取得該第四段實體位址之後，取得第五段實體位址 (x_5)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類分頁區段，可對資料進行處理動作；

步驟 605： 在取得該第五段實體位址之後，取得第二段實體位址 (x_2)，最後得知在快閃記憶體 M_{F1} 中，存在對應之一組已分類區塊，可對資料進行處理動作。

請參考第 7 圖。第 7 圖係為說明本發明之資料處理流程 DPS 之一第三實施例之流程圖。步驟說明如下：

步驟 701： 令低階處理層 LAL 取得第三段實體位址 (x_3)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類單獨區塊，而可對資料進行處理動作；

步驟 702： 在取得該第三段實體位址之後，取得第二段實體位址 (x_2)，得知在快閃記憶體 M_{F1} 中，存在對應之一組已分類區塊，可對資料進行處理動作；

步驟 703： 在取得該第二段實體位址之後，取得第四段實體位址 (x_4)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類區塊分頁，可對資料進行處理動作；

步驟 704： 在取得該第四段實體位址之後，取得第五段實體位址 (x_5)，得知在快閃記憶體 M_{F1} 中，存在對應之一已分類分頁區段，可對資料進行處理動作；

步驟 705： 在取得該第五段實體位址之後，取得第一段實體位址 (x_1)，最後得知在快閃記憶體 M_{F1} 中，存在對應之一組已分類區塊通道，可對資料進行處理動作。

於上述資料處理流程 DPS 之三個實施例中，第五段實體位址並非為必須，意即低階處理層 LAL 不一定需要以已分類分頁區段為單位來進行資料處理動作。換句話說，若低階處理層 LAL 所接收到的實體位址僅定址到已分類區塊分頁，則低階處理層 LAL 便以一已分類區塊分頁為單位來進行資料處理動作；而若低階處理層 LAL 所接

收到的實體位址定址到已分類分頁區段，則低階處理層 LAL 便以一已分類分頁區段為單位來進行資料處理動作。此外，實體位址 x_3 係為高階轉譯層 HTL，根據邏輯位址「P」、查詢表 T_B 以及保留資訊 D_{SP} ，最後所求得之實體位址(如第 4 圖之示範例)。

請參考第 8 圖。第 8 圖係為本發明之使用階級化分層處理資料的快閃記憶體裝置 800 之示意圖。如第 8 圖所示，快閃記憶體裝置 800 包含一命令及邏輯位址轉換電路 810、一執行命令及實體位址定址電路 820，以及一快閃記憶體 M_F 。快閃記憶體 M_F 包含複數個已分類單獨區塊 $BL_{11} \sim BL_{MN}$ 。

命令及邏輯位址轉換電路 810 位於高階轉譯層 HTL；執行命令及實體位址定址電路 820 位於低階處理層 LAL。命令及邏輯位址轉換電路 810 另包含一邏輯判斷電路 811。於第 8 圖中，主控端 H、高階轉譯層 HTL、低階處理層 LAL 以及快閃記憶體 M_F 之運作原理皆如前述，於此不再贅述。

命令及邏輯位址轉換電路 810 係用來執行下列幾項動作：

1. 令高階轉譯層 HTL 接收主控端 H 傳送之邏輯位址「P」，並據以在快閃記憶體 M_F 中進行一資料處理動作之要求；
2. 命令低階處理層 LAL 取得屬於快閃記憶體 M_F 的硬體架構資訊 D_{SPEC} 以傳送至高階轉譯層 HTL；

3. 令高階轉譯層 HTL 根據硬體架構資訊 D_{SPEC} ，在該複數個已分類單獨區塊中，設置一組對應至邏輯位址「P」的實體儲存單元，找出在該組對應至該邏輯位址的實體儲存單元中，有一可供進行資料處理動作的實體儲存單元，決定一資料處理流程以將該邏輯位址轉換為對應至該可供進行資料處理動作的實體儲存單元的一實體位址。

執行命令及實體位址定址電路 820 係用來令低階處理層 LAL 根據由高階轉譯層 HTL 傳送之實體位址「X」，在該可供進行資料處理動作的實體儲存單元中，進行資料處理動作。

邏輯判斷電路 811 係用來執行下列幾項動作：

1. 令高階轉譯層 HTL 發出一命令(CMD_1 或 CMD_2)以指示低階處理層 LAL 取得硬體架構資訊 D_{SPEC} 及保留資訊 D_{SP} 其中之一；
2. 令低階處理層 LAL 根據所發出的命令，讀取快閃記憶體 M_F 之硬體架構資訊 D_{SPEC} 及保留資訊 D_{SP} 其中之一，以回傳至高階轉譯層 HTL；
3. 令高階轉譯層 HTL 根據硬體架構資訊 D_{SPEC} 及保留資訊 D_{SP} ，決定資料處理流程，以轉換所接收之邏輯位址「P」為對應的實體位址「X」。

綜上所述，藉由本發明將快閃記憶體轉譯層分隔為高階轉譯層與低階處理層，便可解決當原本所使用的快閃記憶體更換為另一新

型快閃記憶體時，整個快閃記憶體轉譯層都需要重新設計的困擾，而藉由本發明所提供之低階處理層，可對於各種不同的快閃記憶體，根據高階轉譯層所提供的實體位址，並使用對應的控制方法，直接對對應的儲存單元進行資料處理的動作，如此便可提供給使用者更大的便利性。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖係為說明先前技術之快閃記憶體轉譯層之示意圖。

第 2 圖係為說明本發明應用於快閃記憶體的階級化分層處理資料之示意圖。

第 3 圖係為說明本發明應用於一快閃記憶體的階級化分層處理資料的方法之流程圖。

第 4 圖係為說明高階轉譯層根據邏輯位址、保留資訊，以及查詢表找出實際上可供資料處理的實體儲存單元之示意圖。

第 5 圖係為說明本發明之資料處理流程之一第一實施例之流程圖。

第 6 圖係為說明本發明之資料處理流程之一第二實施例之流程圖。

第 7 圖係為說明本發明之資料處理流程之一第三實施例之流程圖。

第 8 圖係為本發明之使用階級化分層處理資料的快閃記憶體裝置之示意圖。

【主要元件符號說明】

H	主控端
FTL	快閃記憶體轉譯層
M_F 、 M_{F1}	快閃記憶體
$BL_{11} \sim BL_{MN}$	已分類單獨區塊
HTL	高階轉譯層
LAL	低階處理層
$CH_1 \sim CH_M$	已分類區塊通道
$BK_1 \sim BK_N$	組已分類區塊
PG_0 、 PG_1 、 PG_2 、 PG_3 、 PG_4 、 PG_Y	已分類區塊分頁
ST_Z	已分類分頁區段
P	邏輯位址
X	實體位址
T_B	查詢表
D_{SP}	保留資訊
301~309、501~505、 601~605、701~705	步驟
800	快閃記憶體裝置
810	命令及邏輯位址轉換電路
811	邏輯判斷電路
820	執行命令及實體位址定址電路

七、申請專利範圍：

1. 一種應用於一快閃記憶體的階級化分層處理資料的方法，包含：
將一邏輯位址(Logical Address)傳送至一高階轉譯層(High-Level Translation Layer)以要求在該快閃記憶體中進行一資料處理動作；
由一低階處理層(Low-Level Abstraction Layer)取得屬於該快閃記憶體的一硬體架構資訊以將該硬體架構資訊傳送至該高階轉譯層；
由該高階轉譯層根據該硬體架構資訊，在該快閃記憶體中，設置一組對應至該邏輯位址的實體儲存單元；
由該高階轉譯層根據該硬體架構資訊，找出在該組對應至該邏輯位址的實體儲存單元中，有一可供進行資料處理動作的實體儲存單元；
由該高階轉譯層根據該硬體架構資訊，決定一資料處理流程，以將該邏輯位址轉換為對應至該可供進行資料處理動作的實體儲存單元的一實體位址(Physical Address)；以及
由該低階處理層根據由該高階轉譯層傳送之該實體位址，在該可供進行資料處理動作的實體儲存單元中，進行該資料處理動作；
其中，該高階轉譯層用以令一用戶端應用程式及一檔案系統可在該快閃記憶體內進行資料處理，以及負責蒐集該快閃記憶體使用狀態的相關資訊以管理該快閃記憶體，並且，該低階處

理層根據該實體位址內的一第一段位址資料得知一組已分類區塊(Bank)，根據該實體位址內的一第二段位址資料得知一已分類單獨區塊(Block)，根據該實體位址內的一第三段位址資料得知一已分類區塊分頁(page)，根據該實體位址內的一第四段位址資料得知一已分類區塊通道(Channel)。

2. 如請求項 1 所述之方法，其中更包含：

由該高階轉譯層發出一第一命令以指示該低階處理層取得該硬體架構資訊；以及

該低階處理層根據該第一命令讀取該快閃記憶體之該硬體架構資訊以回傳至該高階轉譯層。

3. 如請求項 2 所述之方法，其中更包含：

由該高階轉譯層發出一第二命令以指示該低階處理層取得一保留資訊(spare data)；

該低階處理層根據該第二命令讀取該快閃記憶體之該保留資訊以回傳至該高階轉譯層；以及

由該高階轉譯層根據該硬體架構資訊及該保留資訊，決定該資料處理流程，以轉換為該實體位址。

4. 如請求項 1 所述之方法，其中該高階轉譯層用以隔絕由該用戶端應用程式和經由該檔案系統發送之要求直接進入該低階處理層。

5. 如請求項 1 所述之方法，其中該低階處理層介於該高階轉譯層及該快閃記憶體之間，用以執行由該高階轉譯層發送之命令，並將該硬體架構資訊及由該快閃記憶體取得之一保留資訊回傳至該高階轉譯層。
6. 如請求項 1 所述之方法，其中該低階處理層用以執行由該高階轉譯層發送之命令，隔絕該高階轉譯層發送之命令直接進入該快閃記憶體，並將該硬體架構資訊及由該快閃記憶體取得之一保留資訊回傳至該高階轉譯層。
7. 如請求項 1 所述之方法，其中當一新型快閃記憶體取代該快閃記憶體時，設置一新型低階處理層取代該低階處理層，由該新型低階處理層取得屬於該新型快閃記憶體的一新型硬體架構資訊以將該新型硬體架構資訊傳送該高階轉譯層。
8. 如請求項 1 所述之方法，其中該硬體架構資訊提供可在該快閃記憶體規劃該組已分類區塊、該已分類單獨區塊、該已分類區塊分頁和該已分類區塊通道之資訊。
9. 如請求項 8 所述之方法，其中該資料處理流程決定該低階處理層取得該第一段位址資料、該第二段位址資料、第三段位址資料和該第四段位址資料之順序。

10. 如請求項 9 所述之方法，其中該資料處理流程包含：

令該低階處理層取得該第一段位址資料，得知在該快閃記憶體中，存在該組已分類區塊，可對資料進行處理動作；

在取得該第一段位址資料之後，取得該第二段位址資料，得知在該快閃記憶體中，存在該已分類單獨區塊，可對資料進行處理動作；

在取得該第二段位址資料之後，取得該第三段位址資料，得知在該快閃記憶體中，存在該已分類區塊分頁，可對資料進行處理動作；以及

在取得該第三段位址資料之後，取得該第四段位址資料，最後得知在該快閃記憶體中，存在已分類區塊通道，可對資料進行處理動作。

11. 如請求項 9 所述之方法，其中該資料處理流程包含：

令該低階處理層取得該第四段位址資料，得知在該快閃記憶體中，存在該已分類區塊通道，可對資料進行處理動作；

在取得該第四段位址資料之後，取得該第二段位址資料，得知在該快閃記憶體中，存在該已分類單獨區塊，可對資料進行處理動作；

在取得該第二段位址資料之後，取得該第三段位址資料，得知在該快閃記憶體中，存在該已分類區塊分頁，可對資料進行處理動作；以及

在取得該第三段位址資料之後，取得該第一段位址資料，最後得

知在該快閃記憶體中，存在該組已分類區塊，可對資料進行處理動作。

12. 如請求項 9 所述之方法，其中該資料處理流程包含：

令該低階處理層取得該第二段位址資料，得知在該快閃記憶體

中，存在該已分類單獨區塊，可對資料進行處理動作；

在取得該第二段位址資料之後，取得該第一段位址資料，得知在

該快閃記憶體中，存在該組已分類區塊，可對資料進行處理動作；

在取得該第一段位址資料之後，取得該第三段位址資料，得知在

該快閃記憶體中，存在該已分類區塊分頁，可對資料進行處理動作；以及

在取得該第三段位址資料之後，取得該第四段位址資料，最後得

知在該快閃記憶體中，存在已分類區塊通道，可對資料進行處理動作。

13. 如請求項 1 所述之方法，其中該低階處理層為快閃架構處理層 (Flash Abstraction Layer)。

14. 一種應用於一快閃記憶體的階級化分層處理資料的方法，包含：

將一邏輯位址(Logical Address)傳送至一高階轉譯層(High-Level

Translation Layer)以要求在該快閃記憶體中進行一資料處理

動作；

由一快閃架構處理層(Flash Abstraction Layer)取得屬於該快閃記憶體的一硬體架構資訊以將該硬體架構資訊傳送至該高階轉譯層；

由該高階轉譯層根據該硬體架構資訊，在該快閃記憶體中，設置一組對應至該邏輯位址的實體儲存單元；

由該高階轉譯層根據該硬體架構資訊，找出在該組對應至該邏輯位址的實體儲存單元中，有一可供進行資料處理動作的實體儲存單元；

由該高階轉譯層根據該硬體架構資訊，決定一資料處理流程以將該邏輯位址轉換為對應至該可供進行資料處理動作的實體儲存單元的一實體位址(Physical Address)；以及

由該快閃架構處理層根據由該高階轉譯層傳送之該實體位址，在該可供進行資料處理動作的實體儲存單元中，進行該資料處理動作；

其中，該高階轉譯層用以令一用戶端應用程式及一檔案系統可在該快閃記憶體內進行資料處理，以及負責蒐集該快閃記憶體使用狀態的相關資訊以管理該快閃記憶體，並且，該快閃架構處理層根據該實體位址內的一第一段位址資料得知一組已分類區塊(Bank)，根據該實體位址內的一第二段位址資料得知一已分類單獨區塊(Block)，根據該實體位址內的一第三段位址資料得知一已分類區塊分頁(Page)，根據該實體位址內的一第四段位址資料得知一已分類分頁區段(Sector)，根據該實體位址內的一第五段位址資料得知一已分類區塊通道

(Channel)。

15. 如請求項 14 所述之方法，其中更包含：

由該高階轉譯層發出一第一命令以指示該低階處理層取得該硬體架構資訊；以及

該低階處理層根據該第一命令讀取該快閃記憶體之該硬體架構資訊以回傳至該高階轉譯層。

16. 如請求項 15 所述之方法，其中更包含：

由該高階轉譯層發出一第二命令以指示該低階處理層取得一保留資訊(spare data)；

該低階處理層根據該第二命令讀取該快閃記憶體之該保留資訊以回傳至該高階轉譯層；以及

由該高階轉譯層根據該硬體架構資訊及該保留資訊，決定該資料處理流程以轉換為該實體位址。

17. 如請求項 14 所述之方法，其中該高階轉譯層用以隔絕由該用戶端應用程式和經由該檔案系統發送之要求直接進入該快閃架構處理層。

18. 如請求項 14 所述之方法，其中該快閃架構處理層介於該高階轉譯層及該快閃記憶體之間，用以執行由該高階轉譯層發送之命令，並將該硬體架構資訊及由該快閃記憶體取得之一保留資訊回傳至

該高階轉譯層。

19. 如請求項 14 所述之方法，其中該快閃架構處理層用以執行由該高階轉譯層發送之命令，隔絕該高階轉譯層發送之命令直接進入該快閃記憶體，並將該硬體架構資訊及由該快閃記憶體取得之一保留資訊回傳至該高階轉譯層。
20. 如請求項 14 所述之方法，其中當一新型快閃記憶體取代該快閃記憶體時，設置一新型快閃架構處理層取代該快閃架構處理層，由該新型快閃架構處理層取得屬於該新型快閃記憶體的一新型硬體架構資訊以將該新型硬體架構資訊傳送至該高階轉譯層。
21. 如請求項 14 所述之方法，其中該硬體架構資訊提供可在該快閃記憶體規劃該組已分類區塊、該已分類單獨區塊、該已分類區塊分頁、該已分類分頁區段和該已分類區塊通道之資訊。
22. 如請求項 21 所述之方法，其中該資料處理流程決定該快閃架構處理層取得該第一段位址資料、該第二段位址資料、第三段位址資料、該第四段位址資料和該第五段位址資料之順序。
23. 如請求項 22 所述之方法，其中該資料處理流程包含：

令該快閃架構處理層取得該第一段位址資料，得知在該快閃記憶體中，存在該組已分類區塊，可對資料進行處理動作；

在取得該第一段位址資料之後，取得該第二段位址資料，得知在該快閃記憶體中，存在該已分類單獨區塊，可對資料進行處理動作；

在取得該第二段位址資料之後，取得該第三段位址資料，得知在該快閃記憶體中，存在該已分類區塊分頁，可對資料進行處理動作；

在取得該第三段位址資料之後，取得該第四段位址資料，得知在該快閃記憶體中，存在該已分類分頁區段，可對資料進行處理動作；以及

在取得該第四段位址資料之後，取得該第五段位址資料，最後得知在該快閃記憶體中，存在已分類區塊通道，可對資料進行處理動作。

24. 如請求項 22 所述之方法，其中該資料處理流程包含：

令該快閃架構處理層取得該第五段位址資料，得知在該快閃記憶體中，存在已分類區塊通道，可對資料進行處理動作；

在取得該第五段位址資料之後，取得該第二段位址資料，得知在該快閃記憶體中，存在該已分類單獨區塊，可對資料進行處理動作；

在取得該第二段位址資料之後，取得該第三段位址資料，得知在該快閃記憶體中，存在該已分類區塊分頁，可對資料進行處理動作；

在取得該第三段位址資料之後，取得該第四段位址資料，得知

在該快閃記憶體中，存在該已分類分頁區段，可對資料進行處理動作；以及
在取得該第四段位址資料之後，取得該第一段位址資料，最後得知在該快閃記憶體中，存在該組已分類區塊，可對資料進行處理動作。

25. 如請求項 22 所述之方法，其中該資料處理流程包含：

令該快閃架構處理層取得該第二段位址資料，得知在該快閃記憶體中，存在該已分類單獨區塊，可對資料進行處理動作；
在取得該第二段位址資料之後，取得該第一段位址資料，得知在該快閃記憶體中，存在該組已分類區塊，可對資料進行處理動作；
在取得該第一段位址資料之後，取得該第三段位址資料，得知在該快閃記憶體中，存在該已分類區塊分頁，可對資料進行處理動作；
在取得該第三段位址資料之後，取得該第四段位址資料，得知在該快閃記憶體中，存在該已分類分頁區段，可對資料進行處理動作；以及
在取得該第四段位址資料之後，取得該第五段位址資料，最後得知在該快閃記憶體中，存在已分類區塊通道，可對資料進行處理動作。

26. 如請求項 14 所述之方法，其中該高階轉譯層為快閃架構轉譯層

(Flash Translation Layer)。

27. 一種使用階級化分層處理資料的快閃記憶體裝置，包含：

一快閃記憶體，由複數個已分類單獨區塊組成；

一命令及邏輯位址轉換電路，用以令一高階轉譯層(High-Level Translation Layer)接收一邏輯位址(Logical Address)及一在該快閃記憶體中進行一資料處理動作之要求，命令一低階處理層(Low-Level Abstraction Layer)取得屬於該快閃記憶體的一硬體架構資訊以將該硬體架構資訊傳送至該高階轉譯層，令該高階轉譯層根據該硬體架構資訊，在該複數個已分類單獨區塊中，設置一組對應至該邏輯位址的實體儲存單元，找出在該組對應至該邏輯位址的實體儲存單元中，有一可供進行資料處理動作的實體儲存單元，決定一資料處理流程以將該邏輯位址轉換為對應至該可供進行資料處理動作的實體儲存單元的一實體位址(Physical Address)；以及

一執行命令及實體位址定址電路，用以令該低階處理層根據由該高階轉譯層傳送之該實體位址，在該可供進行資料處理動作的實體儲存單元中，進行該資料處理動作；

其中，該高階轉譯層用以令一用戶端應用程式及一檔案系統可在該快閃記憶體內進行資料處理，以及負責蒐集該快閃記憶體使用狀態的相關資訊以管理該快閃記憶體，並且，該低階處理層根據該實體位址內的一第一段位址資料得知一組已分類區塊(Bank)，根據該實體位址內的一第二段位址資料得知

一已分類單獨區塊(Block)，根據該實體位址內的一第三段位址資料得知一已分類區塊分頁(page)，根據該實體位址內的一第四段位址資料得知一已分類區塊通道(Channel)。

28. 如請求項 27 所述之裝置，其中該命令及邏輯位址轉換電路更包含：
一邏輯判斷電路，用以令該高階轉譯層發出一命令以指示該低階處理層取得該硬體架構資訊及一保留資訊(spare data)其中之一，令該低階處理層根據該命令讀取該快閃記憶體之該硬體架構資訊及該保留資訊(spare data)其中之一，以回傳至該高階轉譯層以及令該高階轉譯層根據該硬體架構資訊及該保留資訊，決定該資料處理流程以轉換為該實體位址。
29. 如請求項 27 所述之裝置，其中該高階轉譯層用以隔絕由該用戶端應用程式和經由該檔案系統發送之要求直接進入該低階處理層。
30. 如請求項 27 所述之裝置，其中該低階處理層介於該高階轉譯層及該快閃記憶體之間，用以執行由該高階轉譯層發送之命令，並將該硬體架構資訊及由該快閃記憶體取得之一保留資訊回傳至該高階轉譯層。
31. 如請求項 27 所述之裝置，其中該低階處理層用以執行由該高階轉譯層發送之命令，隔絕該高階轉譯層發送之命令直接進入該快閃記憶體，並將該硬體架構資訊及由該快閃記憶體取得之一保留

資訊回傳至該高階轉譯層。

32. 如請求項 27 所述之裝置，其中當一新型快閃記憶體取代該快閃記憶體時，設置一新型低階處理層取代該低階處理層，由該新型低階處理層取得屬於該新型快閃記憶體的一新型硬體架構資訊以將該新型硬體架構資訊傳送至該高階轉譯層。

33. 如請求項 27 所述之裝置，其中該硬體架構資訊提供可在該快閃記憶體規劃該組已分類區塊、該已分類單獨區塊、該已分類區塊分頁和該已分類區塊通道之資訊。

34. 如請求項 33 所述之裝置，其中該資料處理流程決定該低階處理層取得該第一段位址資料、該第二段位址資料、第三段位址資料和該第四段位址資料之順序。

35. 如請求項 34 所述之裝置，其中該資料處理流程包含：

令該低階處理層取得該第一段位址資料，得知在該快閃記憶體

中，存在該組已分類區塊，可對資料進行處理動作；

在取得該第一段位址資料之後，取得該第二段位址資料，得知

在該快閃記憶體中，存在該已分類單獨區塊，可對資料進行處理動作；

在取得該第二段位址資料之後，取得該第三段位址資料，得知

在該快閃記憶體中，存在該已分類區塊分頁，可對資料進行

處理動作；以及
在取得該第三段位址資料之後，取得該第四段位址資料，最後
得知在該快閃記憶體中，存在已分類區塊通道，可對資料進
行處理動作。

36. 如請求項 34 所述之裝置，其中該資料處理流程包含：

令該低階處理層取得該第四段位址資料，得知在該快閃記憶體
中，存在該已分類區塊通道，可對資料進行處理動作；
在取得該第四段位址資料之後，取得該第二段位址資料，得知
在該快閃記憶體中，存在該已分類單獨區塊，可對資料進行
處理動作；
在取得該第二段位址資料之後，取得該第三段位址資料，得知
在該快閃記憶體中，存在該已分類區塊分頁，可對資料進行
處理動作；以及
在取得該第三段位址資料之後，取得該第一段位址資料，最後
得知在該快閃記憶體中，存在該組已分類區塊，可對資料進
行處理動作。

37. 如請求項 34 所述之裝置，其中該資料處理流程包含：

令該低階處理層取得該第二段位址資料，得知在該快閃記憶體
中，存在該已分類單獨區塊，可對資料進行處理動作；
在取得該第二段位址資料之後，取得該第一段位址資料，得知
在該快閃記憶體中，存在該組已分類區塊，可對資料進行處

理動作；

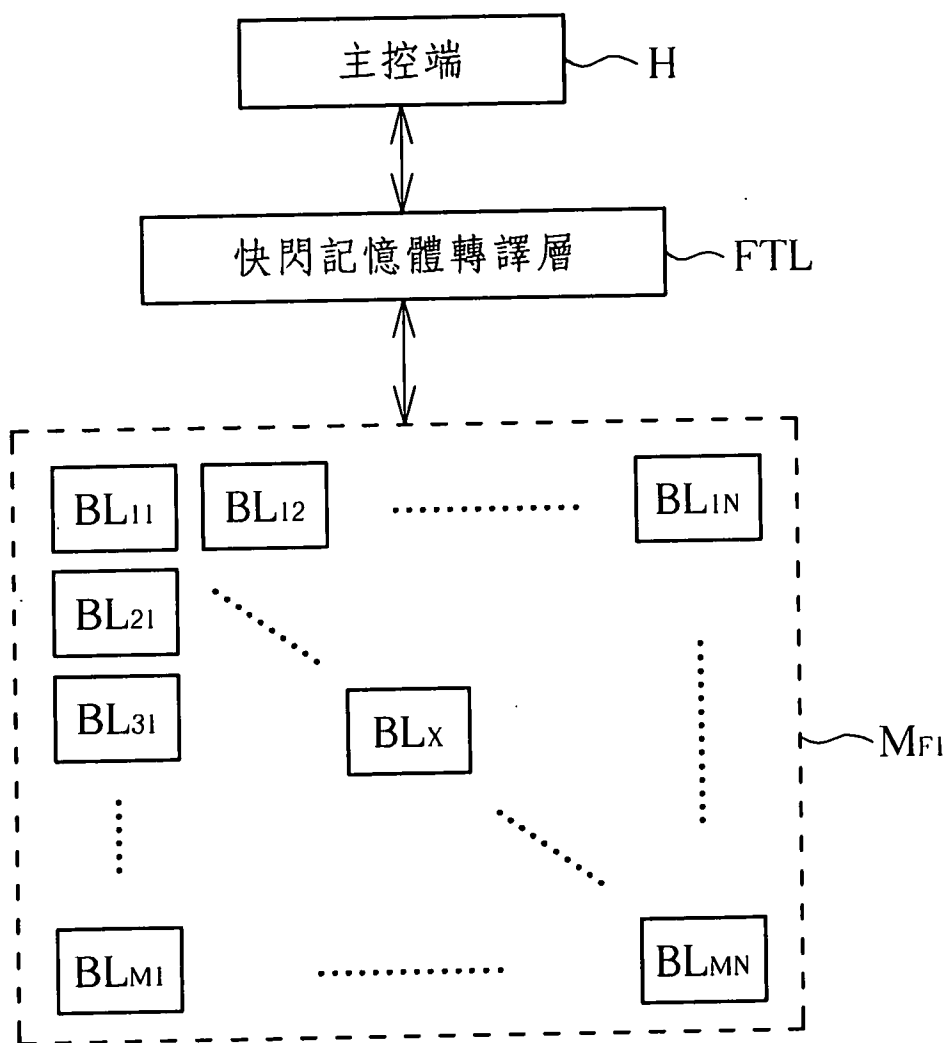
在取得該第一段位址資料之後，取得該第三段位址資料，得知在該快閃記憶體中，存在該已分類區塊分頁，可對資料進行處理動作；以及

在取得該第三段位址資料之後，取得該第四段位址資料，最後得知在該快閃記憶體中，存在已分類區塊通道，可對資料進行處理動作。

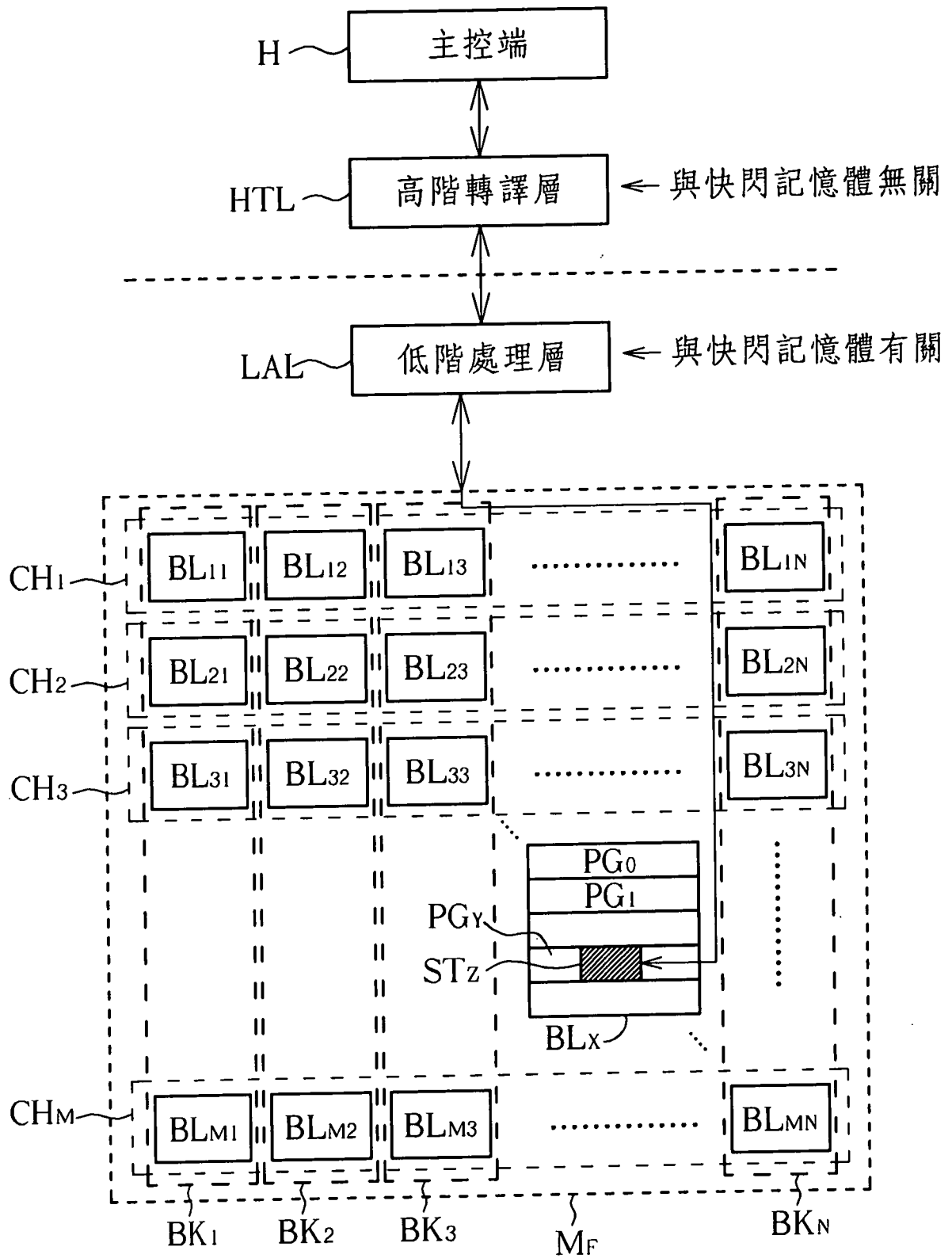
38. 如請求項 27 所述之裝置，其中該低階處理層為快閃架構處理層 (Flash Abstraction Layer)。

39. 如請求項 27 所述之裝置，其中該高階轉譯層為快閃架構轉譯層 (Flash Translation Layer)。

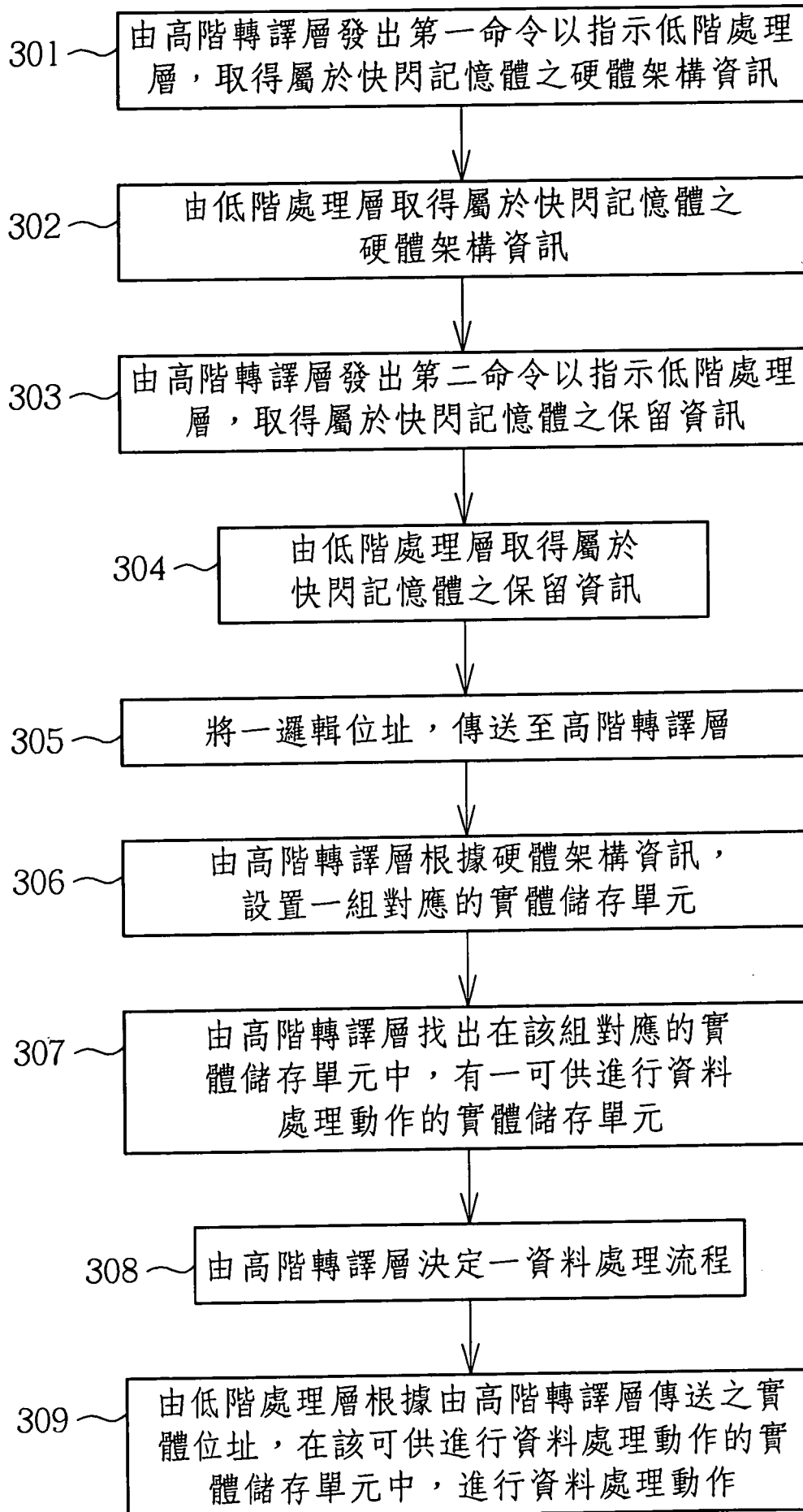
八、圖式：



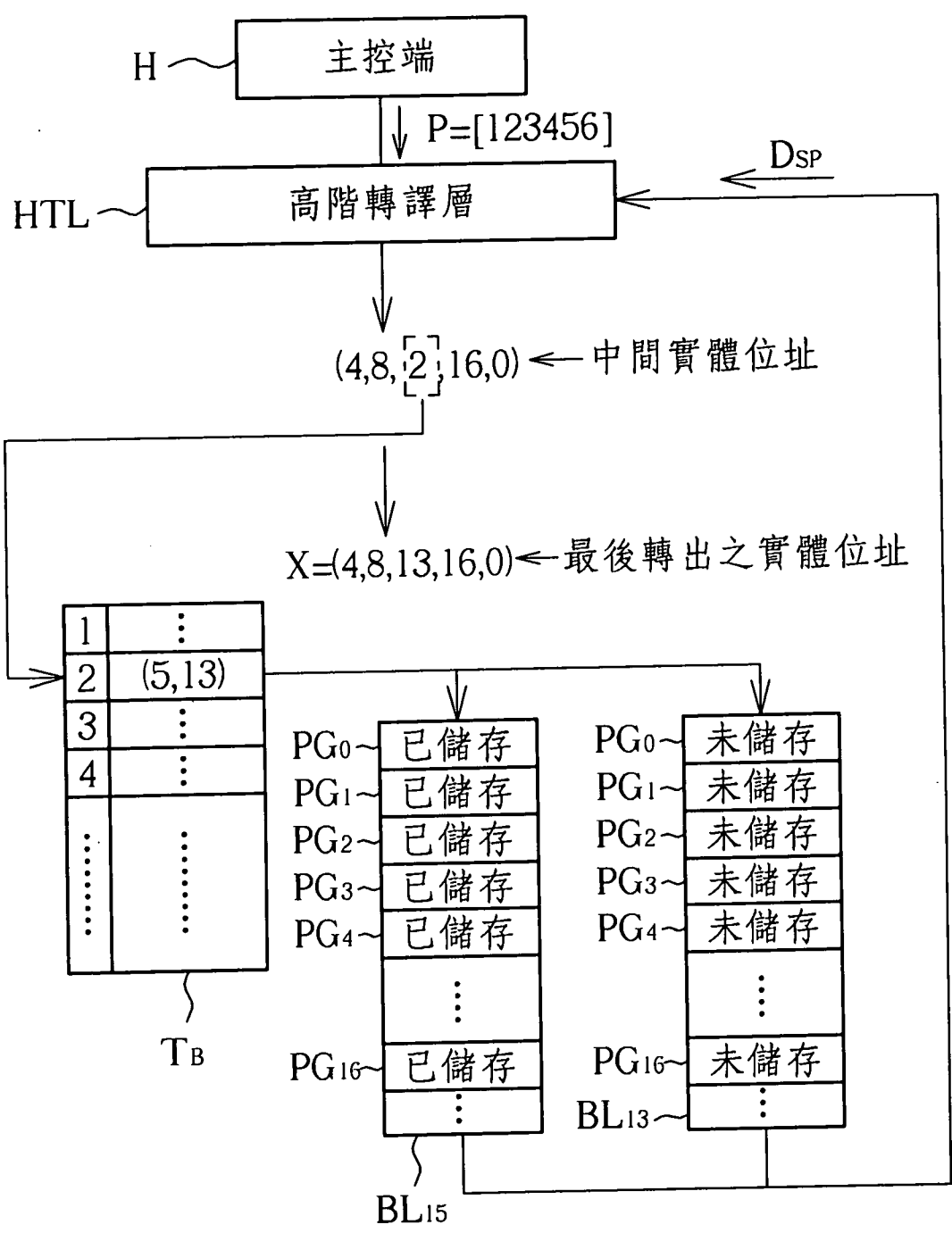
第1圖



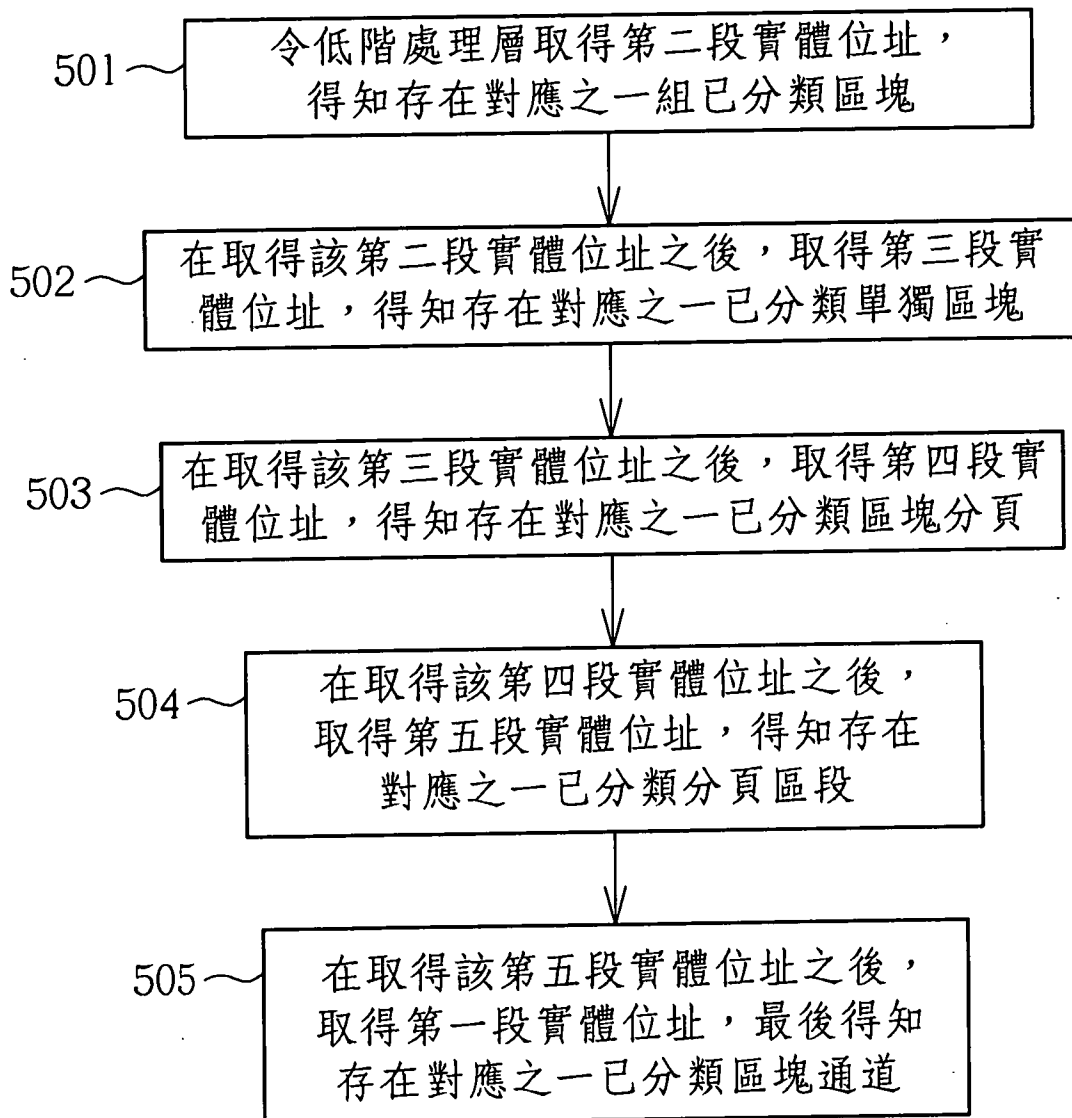
第2圖



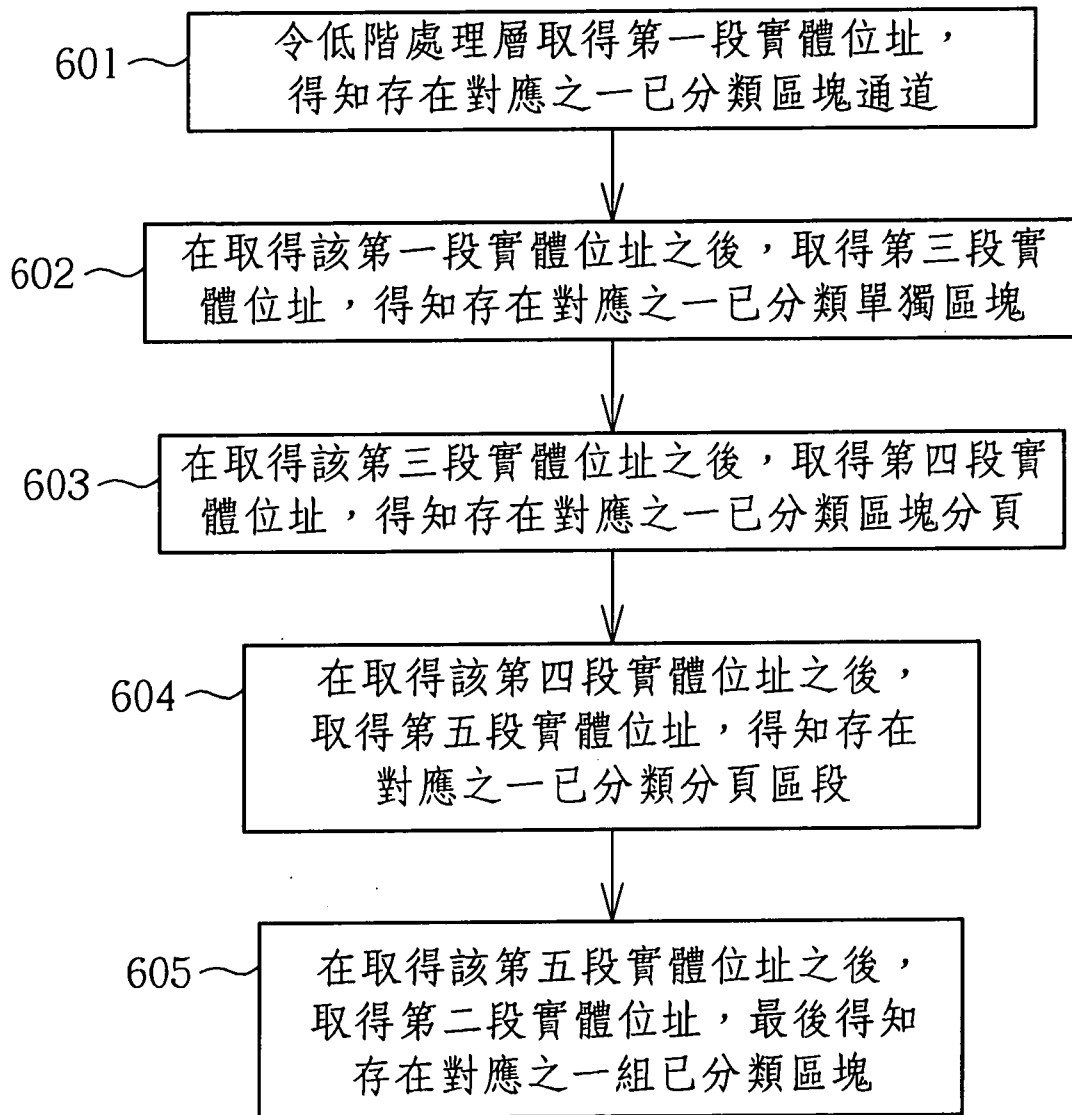
第3圖



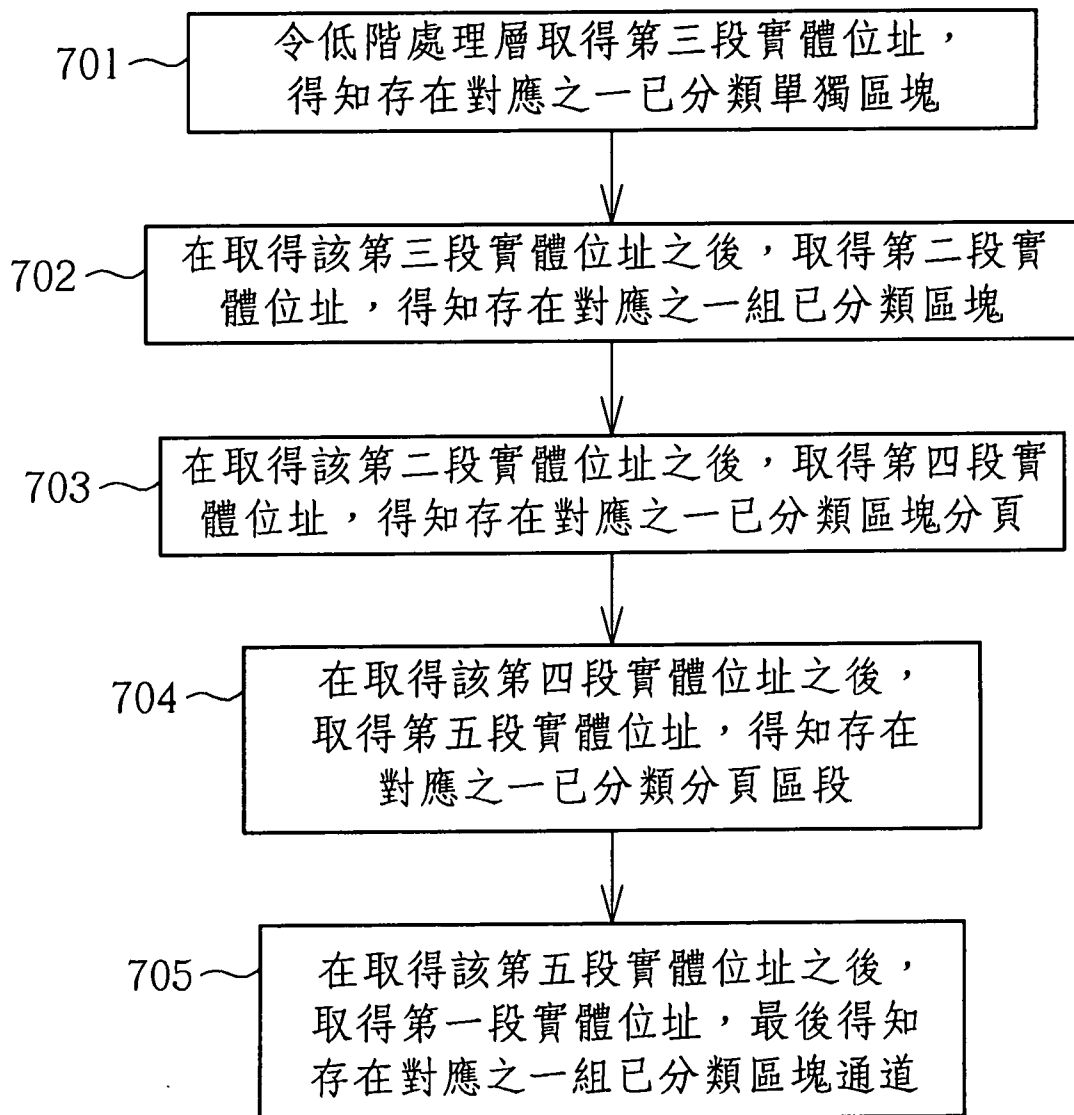
第4圖



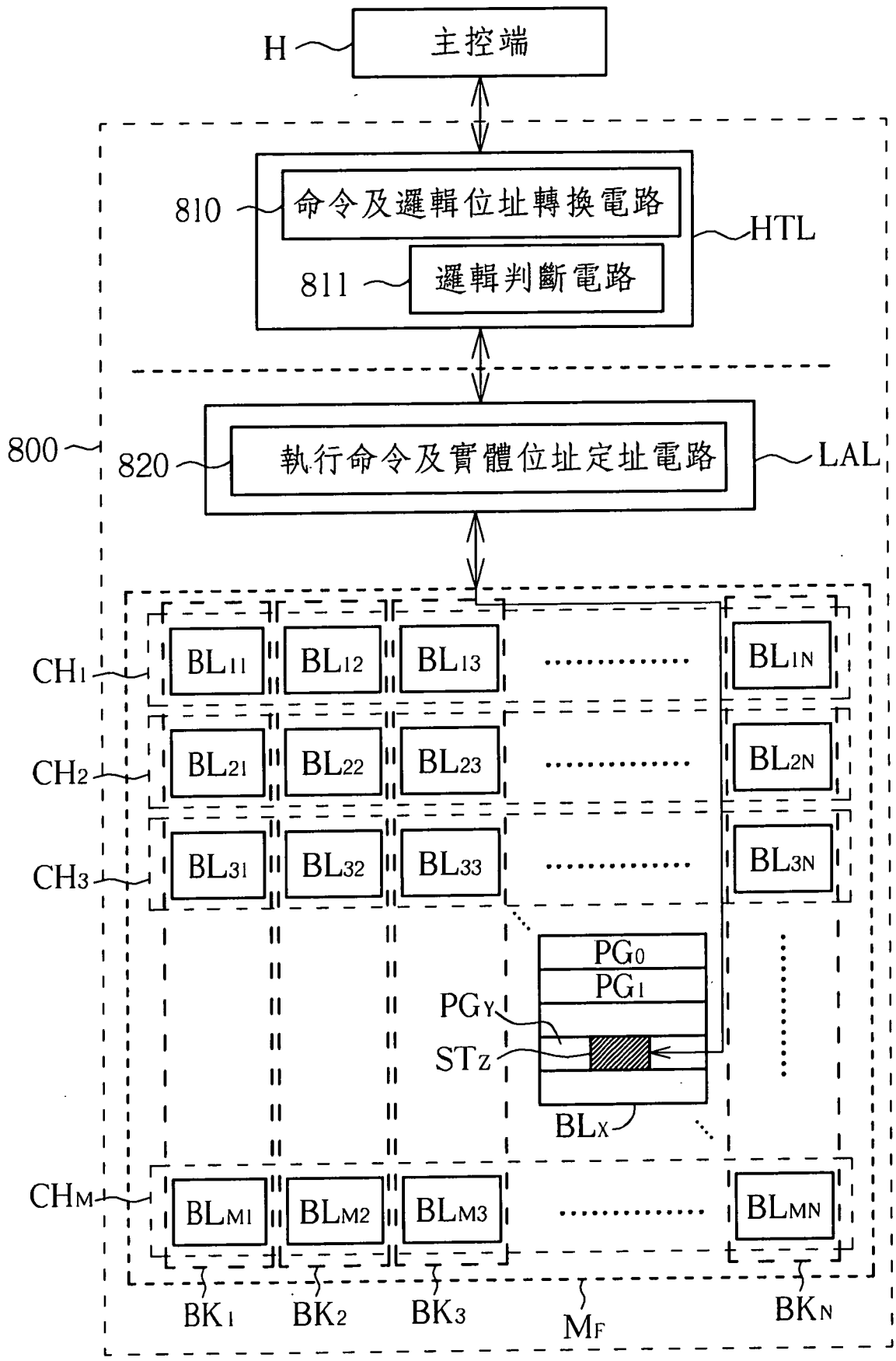
第5圖



第6圖



第7圖



第8圖