

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3597176号**  
**(P3597176)**

(45) 発行日 平成16年12月2日(2004.12.2)

(24) 登録日 平成16年9月17日(2004.9.17)

(51) Int. Cl.<sup>7</sup>

F I

HO 4 N 5/335	HO 4 N 5/335	F
HO 1 L 21/822	HO 1 L 27/14	B
HO 1 L 27/04	HO 1 L 27/04	B
HO 1 L 27/148	HO 1 L 27/04	G

請求項の数 10 (全 23 頁)

<p>(21) 出願番号 特願2002-119022 (P2002-119022)</p> <p>(22) 出願日 平成14年4月22日(2002.4.22)</p> <p>(62) 分割の表示 特願平3-259099の分割</p> <p>原出願日 平成3年10月7日(1991.10.7)</p> <p>(65) 公開番号 特開2003-37779 (P2003-37779A)</p> <p>(43) 公開日 平成15年2月7日(2003.2.7)</p> <p>審査請求日 平成14年4月22日(2002.4.22)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号</p> <p>(74) 代理人 100075753 弁理士 和泉 良彦</p> <p>(72) 発明者 尾崎 俊文 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研 究所内</p> <p>(72) 発明者 中井 正章 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研 究所内</p>
---	--

最終頁に続く

(54) 【発明の名称】 CCD型固体撮像素子

(57) 【特許請求の範囲】

【請求項1】

光を電気信号に変換する光電変換素子群と、該光電変換素子で発生した信号電荷を順次転送する垂直CCDおよび水平CCDと、該水平CCDからの光信号電荷が送られてくる浮遊拡散層をリセットするためのリセットトランジスタと、該光信号電荷を検知増幅する出力回路とを有する2次元CCD型固体撮像素子において、

前記CCD型固体撮像素子は、過剰電荷排出用の基板電圧を印加する基板電圧発生回路と前記リセットトランジスタのゲートにパルス電圧を印加するリセットパルス発生回路とを前記半導体基板上に内蔵し、前記CCD型固体撮像素子の外部から前記出力回路の電源電圧値と等しいかそれより高い正の電源及び前記垂直CCDの転送パルスの最低電圧値と等しいかそれより低い負の電源の供給を受けると共に、前記基板電圧又は前記パルス電圧は、前記CCD型固体撮像素子外部からのパルスと前記正又は負の電源とを用いて前記CCD型固体撮像素子の内部において発生されることを特徴とする2次元CCD型固体撮像素子。

【請求項2】

光を電気信号に変換する光電変換素子群と、該光電変換素子で発生した信号電荷を順次転送する垂直CCDおよび水平CCDと、該水平CCDからの光信号電荷が送られてくる浮遊拡散層をリセットするためのリセットトランジスタと、該光信号電荷を検知増幅する出力回路とを1つの半導体基板上に有する2次元CCD型固体撮像素子において、

前記CCD型固体撮像素子は、過剰電荷排出用の基板電圧を印加する基板電圧発生回路と

前記リセットトランジスタのゲートにパルス電圧を印加するリセットパルス発生回路とを前記1つの半導体基板上に有し、前記出力回路の電源電圧値と等しいかそれより高い正の電源及び前記垂直CCDの転送パルスの最低電圧値と等しいかそれより低い負の電源の供給を受けると共に、前記基板電圧又は前記パルス電圧は、前記CCD型固体撮像素子の外部からのパルスと前記正又は負の電源を用いて前記CCD型固体撮像素子の内部において発生されることを特徴とする2次元CCD型固体撮像素子。

【請求項3】

光を電気信号に変換する光電変換素子群と、該光電変換素子で発生した信号電荷を順次転送する垂直CCDおよび水平CCDと、該水平CCDからの光信号電荷が送られてくる浮遊拡散層をリセットするためのリセットトランジスタと、該光信号電荷を検知増幅する出力回路とを有する2次元CCD型固体撮像素子において、

10

前記CCD型固体撮像素子は、過剰電荷排出用の基板電圧を印加する基板電圧発生回路と前記リセットトランジスタのゲートにパルス電圧を印加するリセットパルス発生回路とを前記半導体基板上に内蔵し、かつ、前記出力回路の電源電圧値と等しいかそれより高い正の電源入力端子及び前記垂直CCDの転送パルスの最低電圧値と等しいかそれより低い負の電源入力端子を有すると共に、前記基板電圧又は前記パルス電圧は、前記CCD型固体撮像素子外部からのパルスと前記正又は負の電源とを用いて前記CCD型固体撮像素子の内部において発生されることを特徴とする2次元CCD型固体撮像素子。

【請求項4】

光を電気信号に変換する光電変換素子群と、該光電変換素子で発生した信号電荷を順次転送する垂直CCDおよび水平CCDと、該水平CCDからの光信号電荷が送られてくる浮遊拡散層をリセットするためのリセットトランジスタと、該光信号電荷を検知増幅する出力回路とを有する2次元CCD型固体撮像素子において、

20

前記CCD型固体撮像素子は、過剰電荷排出用の基板電圧を印加する基板電圧発生回路と前記リセットトランジスタのゲートにパルス電圧を印加するリセットパルス発生回路とを前記半導体基板上に内蔵し、かつ、前記出力回路の電源電圧値と等しいかそれより高い正の電源入力端子及び前記垂直CCDの転送パルスの最低電圧値と等しいかそれより低い負の電源入力端子を有すると共に、前記基板電圧又は前記パルス電圧は、前記CCD型固体撮像素子の外部からのパルスと前記正又は負の電源の供給を受けて前記CCD型固体撮像素子の内部において発生することを特徴とする2次元CCD型固体撮像素子。

30

【請求項5】

前記CCD型固体撮像素子には、更にアース電源が供給されることを特徴とする請求項1から4の何れかに記載の2次元CCD型固体撮像素子。

【請求項6】

前記正の電源は、出力回路用の電源として用いられることを特徴とする請求項1から4の何れかに記載の2次元CCD型固体撮像素子。

【請求項7】

前記負の電源は、保護回路のウエル電圧用の電源として用いられることを特徴とする請求項1から4の何れかに記載の2次元CCD型固体撮像素子。

【請求項8】

40

光を電気信号に変換する光電変換素子群と、該光電変換素子で発生した信号電荷を順次転送する垂直CCDおよび水平CCDと、該水平CCDからの光信号電荷が送られてくる浮遊拡散層をリセットするためのリセットトランジスタと、該光信号電荷を検知増幅する出力回路とを有する2次元CCD型固体撮像素子を用いたカメラにおいて、

前記CCD型固体撮像素子は、過剰電荷排出用の基板電圧を印加する基板電圧発生回路と前記リセットトランジスタのゲートにパルス電圧を印加するリセットパルス発生回路とを前記半導体基板上に内蔵し、前記CCD型固体撮像素子の外部から前記出力回路の電源電圧値と等しいかそれより高い正の電源及び前記垂直CCDの転送パルスの最低電圧値と等しいかそれより低い負の電源の供給を受けると共に、前記基板電圧又は前記パルス電圧は、前記CCD型固体撮像素子外部からのパルスと前記正又は負の電源とを用いて前記CC

50

D型固体撮像素子の内部において発生されることを特徴とする2次元CCD型固体撮像素子を用いたカメラ。

【請求項9】

前記カメラは、タイミング発生器をCCD型固体撮像素子の外部に有することを特徴とする請求項8記載の2次元CCD型固体撮像素子を用いたカメラ。

【請求項10】

前記カメラは、タイミング発生器をCCD型固体撮像素子の内部に有することを特徴とする請求項8記載の2次元CCD型固体撮像素子を用いたカメラ。

【発明の詳細な説明】

【0001】

10

【産業上の利用分野】

本発明はCCD型撮像素子に関し、特に容易で低消費電力な駆動ができ、また低消費電力かつ低雑音な出力回路を有する2次元CCD型撮像素子に関する。

【0002】

【従来の技術】

従来、家庭用ビデオカメラ等に用いられる固体撮像素子には、CCD型固体撮像素子が広く用いられている。このような従来のCCD型固体撮像素子は図15に示すインタ-ライン型と呼ばれる素子構成をもち、表1に示す駆動条件で駆動がなされ、図16に示す構成によりカメラシステムの中で用いられる。

図15において、1は光電変換を行うホトダイオ-ド、2、3はホトダイオ-ドで光電変換された信号電荷を転送するための垂直CCD及び水平CCD、4は水平CCD3と出力回路を仕切るアウトプットゲ-ト、5は水平CCD3から信号電荷の送られてくる浮遊拡散層を水平CCDの転送周期ごとにリセットするためのリセットトランジスタ、6、8はそれぞれ初段ソ-スフォロワ-を構成するドライバトランジスタ、負荷トランジスタ、9、10はそれぞれ次段ソ-スフォロワ-を構成するドライバトランジスタ、負荷トランジスタである。垂直CCD2の中の区切りは1ポリシリコン電極からなる1転送段を、水平CCDの中の区切りは第1層ポリシリコンと第2層ポリシリコン電極からなる1転送段を示す。また、水平CCD3とアウトプットゲ-トを構成する第2層ポリシリコン電極下にはチャンネル電圧を低くするためボロンのイオン打ち込みがなされている。また、リセットトランジスタ5は水平CCDを構成する第1層ポリシリコン電極下と同様のディプレッション型トランジスタからなる。v1、v2、v3、v4は垂直CCD2を駆動するための4相のパルスの入力端子、h1、h2は水平CCD3を駆動するための2相のパルスの入力端子、ogはアウトプットゲ-トの直流バイアス電圧入力端子、rgはリセットパルス入力端子、rdは浮遊拡散層のリセット電圧入力端子、vgは負荷トランジスタのゲ-ト電圧入力端子、odは出力回路の電源電圧入力端子、subは基板電圧入力端子、wellはウェル電圧入力端子、vssは保護回路のウェル電圧入力端子、outは信号出力端子である。

20

30

【0003】

ホトダイオ-ド1で光電変換された信号電荷は、v1もしくはv3端子に高電圧が印加され一括して垂直CCD2に送られ、ついでv1からv4端子に中電圧と低電圧の電圧レベルをもつ4相のパルスが印加され一行ずつ水平CCD3に転送され、その後h1、h2端子に2相のパルスが印加され水平CCD3内を順次転送される。水平CCD3より浮遊拡散層に転送された信号電荷による電位変化がトランジスタ6、8からなる初段ソ-スフォロワ-により検出され、トランジスタ9、10からなる次段ソ-スフォロワ-によりout端子に出力される。ついで、rg端子にリセットパルスが印加されリセットトランジスタ5が導通し、浮遊拡散層はrd端子に印加されリセット電圧にリセットされる。以上の動作が繰り返され、信号が順次出力される。また、sub端子には通常はホトダイオ-ドで生じる過剰電荷を排出するため所定の直流電圧が印加され、動解像度の向上とフリッカ防止を目的とした電子シャッタを実現するため走査の途中で高電圧が印加される。

40

このような構成と動作を持つCCD型固体撮像素子は通列表1に示す駆動条件により駆動

50

がなされる。表1は図15に示した各端子に印加されるパルスと直流バイアス電圧の1例を示すものである。well端子電圧を基準電圧としてv1からv4端子には暗電流低減のため最低電圧が垂直CCD層の表面にp型反転層が形成される電圧(以下ピンニング電圧)以下とした負値の垂直CCD走査パルスが印加され、ホトダイオードから垂直CCDへの信号電荷転送時には、v1、v3端子には高電圧が印加される。また、h1、h2端子には図16のタイミング発生器の出力電圧が直接印加される。これは、ドライバを設けることによる不要な消費電力の発生を防ぎ、カメラシステムを低消費電力化するためである。さらに、水平CCDから出力拡散層への電荷転送をとどこおりなく行うために、og端子にはh1並びにh2端子に印加される水平CCD転送パルスの高電圧に等しい電圧が、rd端子にはアウトプットゲート下のチャンネル電圧より十分に高い電圧が印加される。rg端子の低電圧は浮遊拡散層からの信号電荷の漏れを防ぐために水平CCD転送パルスの低電圧に等しく、高電圧は十分に低いオン抵抗を実現するため水平CCD転送パルスの高電圧より十分に高い電圧を印加する。また、od端子には電圧値数を増やさないためにrd端子と同一電圧が印加される。一方、sub端子に印加される過剰電荷排出用の直流電圧は素子ごとにばらつくため各素子ごとに調整がなされ、電子シャッターパルスのための高電圧は素子のばらつきの上限值に設定される。

【0004】

【表1】

従来のCCD型撮像素子駆動条件(表1)

	ピン名称	電圧 (V)		
		低電圧	中電圧	高電圧
パルス	v1	-9	0	15
	v2	-9	0	
	v3	-9	0	15
	v4	-9	0	
	h1	0		5
	h2	0		5
	rg	0		9
	sub	9-17(調整)		30
直流バイアス	og		0	
	od		15	
	rd		15	
	vg		2	
	well		0	
	vss		-9	

以上のCCD型固体撮像素子は図16に示す構成によりカメラ内で用いられる。図中、161は図15に示したCCD型固体撮像素子、162はCCD型固体撮像素子161を駆動するためのタイミング発生器、163は各パルスの電圧値を所定の値とするためのドライバ、164はCCD型固体撮像素子161の出力から雑音を除去するための相関二重サンプリング回路、165は信号の出力レベルに応じて電圧利得を変える自動利得制御回路、166はA/D変換器、167はデジタル信号処理回路、168はD/A変換器、1

69はカメラのバッテリー170からカメラ各部に必要な電圧を供給するDC-DC変換器である。タイミング発生器162、相関二重サンプリング回路164と自動利得制御回路165、デジタル信号処理装置167、A/D変換器166、D/A変換器168は、それぞれ単一電源で動作する単一チップの集積回路から成る。

CCD型固体撮像素子161はタイミング発生器162でタイミングを発生しDC-DC変換器169により電圧の供給されたドライバ163により所定の電圧値にしたパルスと、DC-DC変換器169から供給される直流電圧により駆動され、素子からの出力信号は相関二重サンプリング回路164と自動利得制御回路165により雑音除去・利得制御後、A/D変換器166によりデジタル信号に変換されデジタル信号処理装置167で信号処理がなされ、再びD/A変換器168によりアナログ信号に変換されTV信号となる。

10

なお、この種のCCD型固体撮像素子については、例えば、テレビジョン学会技術報告、13巻、11号、pp.61-72(1989.2)、テレビジョン学会技術報告、12巻、13号、pp.31-36(1988.2)において、さらに、この種のCCD型固体撮像素子をもちいたカメラのデジタル信号処理装置についてはアイ・エス・エス・シィ・シィ・ダイジェスト オブ テクニカル ペーパーズ 第250頁から第251頁(1991)(ISSCC DIGEST OF TECHNICAL PAPERS pp.250-251(1987))において論じられている。

【0005】

【発明が解決しようとする課題】

20

上記従来技術は、CCD型固体撮像素子の駆動に使い勝手の改善や低消費電力化の考慮がされておらず、撮像素子の使い勝手が悪く、カメラの低消費電力化が困難である。さらに、撮像素子内の出力回路の低消費電力化・低雑音化が難しいという問題があった。すなわち、第1に、周辺回路の単一電源化が進む中で、図15に示したCCD型撮像素子の駆動には表1に示す多値の電圧レベルを持つパルスと直流電圧が必要でありこれらを発生するドライバ163とDC-DC変換器169をカメラシステムの中に設けなければならなかった。これがCCD型撮像素子を扱いにくいものとする一因となっていた。さらに、信号処理回路のデジタル化によりカメラの無調整化が進む中で、sub端子に印加される過剰電荷排出用の直流電圧を素子ごとに調整しなければならない点も、CCD型撮像素子を扱いにくいものとする他の一因となっていた。

30

【0006】

また、第2に、カメラの低消費電力化を目指し、タイミング発生器162や信号処理装置167の電源電圧は現状の5Vから3.3V、さらには1.5Vと低電圧化が図られている。しかし、高速転送が必要な水平CCD3の駆動電圧を下げることは困難である。従って、タイミング発生器162の出力電圧をh1、h2端子に印加して水平CCD3を駆動することが困難となり、水平CCDを駆動するためのドライバをカメラシステム内に設ける必要があった。このようにドライバ部を撮像素子外部に設けるとドライバと撮像素子の配線容量や撮像素子のピン容量等の寄生容量を駆動するための無効電力が発生し、カメラの低消費電力化をはばむ一因となっていた。さらに、上述した多値電圧を発生するDC-DC変換169の電力は下げることができず、これが、カメラの低消費電力化をはばむ他の一因となっていた。

40

さらに、第3に、タイミング発生器162の0~5Vの出力電圧をh1、h2端子に印加し、水平CCD3を駆動しているために、水平CCDのチャネル電圧が高く、rd端子電圧が高くなる。この結果、rd端子と等しい電圧に設定される出力回路の電源電圧であるod端子電圧も高くなり、出力回路で発生する消費電力が大きくなっていた。さらに、電源電圧が高いために、チャネル長の短いトランジスタを用いることが困難であり雑音が大きいという問題も生じていた。従って、本発明の第1の目的は、駆動が容易で使い勝手の良いCCD型固体撮像素子を提供することにある。

また、本発明の第2の目的は、カメラの低消費電力化が可能なCCD型撮像素子を提供することにある。

50

さらに、本発明の別の目的は、出力回路の電源電圧を下げ、低消費電力かつ低雑音のCCD型固体撮像素子の出力回路を提供することにある。

【0007】

【課題を解決するための手段】

上記第1、第2の目的を達成するための本発明のCCD型固体撮像素子は、例えば図1に示すように、外部から複数個のまたは単一のトリガパルスと正、負の2電源の供給を得て、垂直CCD、水平CCD、リセットトランジスタ、および出力回路をトリガパルスの入力により所定のパルス電圧および直流電圧により駆動する電圧発生回路(11~17)を少なくとも内蔵することとする。

あるいはさらに上記正、負の2電源は、上記出力回路の電源電圧値と等しい正電源値(VDD)と、上記垂直CCDの転送パルスの最低電圧値と等しい負電源値(VSS)を有することとする。

10

またあるいはその上に、上記電圧発生回路は、上記出力回路の第1導電型のMOSトランジスタと同一形成による第1導電型のMOSトランジスタと、上記光電変換素子表面の第2導電型の第2の不純物層の形成とともにソースドレイン拡散層を形成する第2導電型のMOSトランジスタとを相互に接続した相補型MOSトランジスタの構成を備えることとする。

ここで、上記電圧発生回路は相補型MOSトランジスタの構成を備えることとし、該電圧発生回路は、正電源とアース電源間またはアース電源と負電源間、または正電源と負電源間に第1と第2の相補形MOSトランジスタの構成を備え、それぞれの相補形MOSトランジスタのゲート相互を接続して入力点とし、それぞれの相補形MOSトランジスタのソースドレイン間の接続点を出力点とし、第1の相補形MOSトランジスタの入力点にトリガパルスを入力し、第1と第2の相補形MOSトランジスタの出、入力点を相互に接続し、第2の相補形MOSトランジスタの出力点をこれらの回路の出力点とするパルス発生回路の構成を備えることとすれば、電圧発生回路を低電力化する上で好ましい。

20

ここで、正の入力トリガパルスにより上記のパルス発生回路で負の出力パルスを発生させるため、負電源供給のパルス発生回路の場合、該パルス発生回路の入力点は、容量を介して外部パルス端子と、またクランプダイオードを介して負電源端子とそれぞれ接続されるようにすればよい。

上記電圧発生回路として垂直CCD転送パルス発生回路の場合は、例えば図3に示すように、アース電源と上記負電源間に上記のパルス発生回路を有して、トリガパルスの入力により上記負電源値の出力パルスを発生し、該出力パルスを垂直CCDに印加するようにすればよい。

30

あるいは垂直CCDに上記負電源値、正電源値、および低い電圧値の3値のパルスを印加する垂直CCD3値パルス発生回路については、例えば図4に示すように、アース電源と負電源間、および正電源とアース電源間に上記のパルス発生回路を有して、トリガパルスの入力によりそれぞれ上記負電源値の出力パルスを発生する垂直CCD転送パルス発生回路と、上記正電源値の出力パルスを発生する垂直CCD読み出しパルス発生回路とを備え、とともに、両回路の出力を切り替えるスイッチ回路を有してその出力を垂直CCDに印加するようにすればよい。

40

【0008】

上記第2、第3の目的を達成するための電圧発生回路として、水平CCDに印加する水平CCD転送パルス発生回路について、例えば図5に示すように、アース電源と負電源間に上記のパルス発生回路を有するとともに、その出力に電圧振幅制限手段を有して、トリガパルスの入力により上記負電源値パルスより電圧振幅を制限した負電圧パルスを発生させて水平CCDに印加することとした。

パルス電圧をリセットトランジスタのゲートに印加するリセットパルス発生回路については、例えば図6に示すように、上記正電源とアース電源間に上記のパルス発生回路を有してトリガパルスの入力によりこれを電圧増幅してパルス電圧を発生し、これを上記ゲートに印加するようにすればよい。

50

出力電圧を下げて第3の目的を達成するため、リセット電圧発生回路については、例えば図7に示すように、正電源とアース電源間に上記パルス発生回路を有するとともに、該パルス電圧を昇圧して平滑する手段を備え、トリガパルスの入力により該昇圧電圧をリセットトランジスタのドレインに印加することとする。

【0009】

ここで、上記のパルス電圧を昇圧する手段としては、正電源とアース電源との間のパルス発生回路の出力点に容量の一方の端子を接続し、該容量の他方の端子と正電源との間をダイオード接続するとともに、該他方の端子と出力端子をダイオード接続した構成を備えるようにすればよい。

【0010】

また第1の目的を達成するために、過剰電圧排出用として基板に電圧を印加するための基板電圧発生回路については、正電源と負電源間に上記のパルス発生回路を有するとともに、基板用直流電源を有し、上記パルス発生回路の出力点と基板との間に容量を接続し、かつ、該基板と上記基板用直流電源とをディプレッショントランジスタから成るスイッチを介して接続する構成を有するようにすればよい。ディプレッショントランジスタを用いることにより電圧降下を小さくでき、パルス発生回路の出力点と基板との間を容量結合することにより、高速で高い電圧を基板に印加できる。

ここで、基板用直流電源としては、例えば図9に示すように正電源をそのまま利用するか、または例えば図13のように、正電源の供給を得て基板に印加する直流電圧を発生する回路と該直流電圧を調整する手段を備えて、調整された直流電圧を基板への印加出力とするようにしてもよい。

この場合に基板に印加する直流電圧を発生する回路としては、上記正電源電圧を昇圧した電圧から基板に印加する直流電圧を降圧により発生させるものとし、また直流電圧を調整する手段としては、電圧調整手段を備えたバイアス電圧発生回路の電圧をもとに上記降圧電圧を調整するようにすれば素子内部で基板電圧の調整ができ、使い勝手がよくなる。

垂直CCDに正電源電圧以上の読み出し電圧を印加する垂直CCD3値パルス発生回路については、例えば図10のように、さきの垂直CCD3値パルス発生回路の正電源とアース電源間の第1と第2の相補型MOSトランジスタから成るパルス発生回路に、該パルス発生回路と同一の構成の第3と第4の相補型MOSトランジスタから成る構成を上記正電源とアース電源間に付加し、さらに第3の相補型トランジスタのゲート相互を接続した入力点を第2の相補型MOSトランジスタの出力点に接続し、第4の相補型MOSトランジスタのソースドレイン間を接続した出力点を容量を介して垂直CCDに結合する構成を付加すればよい。

【0011】

上記第3の目的を達成するための出力回路としては、複数段の増幅器構成を有する場合において、次段以降のドライバトランジスタの基板不純物濃度を初段ドライバトランジスタの基板不純物濃度より低くすることとする。

【0012】

上記第1、第2の目的を達成するための本発明のCCD型固体撮像素子において、外部から単一のトリガパルスと正、負の2電源の供給を得て動作する素子では、例えば図14のように上記単一の外部トリガパルスを基本クロックとして該基本クロックから所望のタイミングの複数個のトリガパルスを発生し、該トリガパルスにより内蔵の電圧発生回路を駆動するタイミング発生器を内蔵するものとする。

そして、内蔵のタイミング発生器が上述の電圧発生回路にトリガパルスを与えるものとするればよい。

【0013】

【作用】

本発明で、外部からトリガパルスと正、負の2電源の供給を得て、所定の電圧レベルのパルスや所定の直流電圧を発生させる電圧発生回路をCCD型撮像素子内に内蔵すれば、従来外部電源として多種の電圧レベルの電源を要していたのに対して電源の種類数の低減を

10

20

30

40

50

もたらすことが可能になる。

この場合に本発明では、上記の2電源値や内蔵回路の形成に関して次のような点に着眼した。すなわち、

CCD型撮像素子の駆動用として大きな電流駆動能力を必要とされる電源電圧の中で、出力回路の電源電圧は最高の正電圧値を有するものであり、垂直CCDの転送パルスの最低電圧は最低の負電圧値を有する。

集積回路の昇圧回路は通常電流駆動能力が小さいから、このような最高の正電圧値や最低の負電圧値を正、負の電源値とすることにより、かつ外部からトリガパルスを得ることにより、CCDを駆動するための所定の電圧のパルスと直流電圧を低消費電力で発生させることが可能となる。

10

さらに内蔵集積回路として消費電力を低減するために、相補形MOSトランジスタで回路を構成することが望ましいが、出力回路の第1導電型のMOSトランジスタの形成とともに上記相補形MOSトランジスタの第1導電型のMOSトランジスタを形成し、光電変換素子表面の第2導電型の第2の不純物層の形成とともに上記相補形MOSトランジスタの第2導電型のMOSトランジスタのソースドレイン拡散層を形成することにより、CCD型撮像素子を形成するための製造工程を何等変更することなく上記相補形MOSトランジスタを形成することが可能になる。

このような着眼による電源値や回路形成を採用することにより、垂直CCD、水平CCD、リセットトランジスタおよび出力回路を所定のパルス電圧および直流電圧で駆動する消費電力の少ない電圧発生回路をCCD型固体撮像素子と一緒に形成するようにして具合よく内蔵することが可能になる。

20

以上のようなわけで、本発明によれば、素子外に図16に示したような、従来要したドライバ163を設ける必要がなくなり、また、DC-DC変換器169は正、負の2電圧を撮像素子に供給するだけでよいことになる。この結果、CCD型固体撮像素子の使い勝手がよくなる。また、DC-DC変換器の供給する電圧値数が減ったことにより、カメラの低消費電力化も可能になる。

#### 【0014】

さらに、CCD撮像素子内に外部電源により基板に印加される直流電圧を発生する回路を設けるとともに、この直流電圧を調整する手段を設け、素子内部で電圧の調整を行うことにより、カメラシステムを作成する際には調整が不要となる。この結果、CCD型固体撮像素子の使い勝手がよくなる。

30

また、水平CCD転送パルス発生回路はタイミング発生器からのパルスをトリガとして所定の電圧レベルのパルスを図15のh1、h2端子に印加する。この結果、タイミング発生器の電源電圧が下がっても、素子外部にドライバを設ける必要がない。したがって、ドライバにおける無効電力の発生もなく、図16におけるタイミング発生器162や信号処理装置167の電源電圧を低減し、カメラの低消費電力化を図れる。

あるいは、水平バッファ回路の少なくとも低電圧を負とすることにより、水平CCD下のチャンネル電圧が低くなり、図15におけるrd端子電圧を下げられる。さらに、rd端子電圧をod端子電圧から昇圧回路により発生させることにより、素子外部から供給される電源数を増加させることなくod端子電圧をrd端子電圧をより低くすることができる。

40

通例、初段のドライバトランジスタが飽和動作し出力回路が線形範囲で動作するためには、od端子電圧はrd端子電圧より初段のドライバトランジスタのしきい電圧を引いた値より高い必要がある。したがって、od端子電圧を下げるには初段ドライバトランジスタのしきい電圧を高い値とすればよい。しかし、図15で述べたような次段ドライバが初段ドライバと同一の構造を持つ場合にはトランジスタのしきい電圧が高すぎると次段ドライバトランジスタが十分に導通せず次段の動作が困難となる。そこで、本発明では次段以降のドライバトランジスタの基板不純物濃度を初段のドライバトランジスタの基板不純物濃度より低くし、初段ドライバトランジスタのしきい電圧を高くしod端子電圧を下げると共に、次段以降のドライバトランジスタのしきい電圧を低くし、線形動作範囲で次段が動作するようにした。以上の結果、出力回路の電源であるod端子電圧を低くし、低消費電

50



力化ができる。また、電源電圧の低減により短チャネルトランジスタの使用が可能となり低雑音化が図れる。

【0015】

【実施例】

#### 第1の実施例

本発明の第1の実施例を図1から図9により説明する。図1は第1の実施例の全体構成図、図2(a)は第1の実施例の図1のA-A'部の断面図、図2(b)は図1のB-B'部分の断面図、(c)はPチャネルトランジスタに対応する部分の断面図、図3は第1の実施例の垂直CCD転送パルス発生回路、図4は第1の実施例の垂直CCD3値パルス発生回路、図5は第1の実施例の水平CCD転送パルス発生回路、図6は第1の実施例のリセットパルス発生回路、図7は第1の実施例のリセットドレイン電圧発生回路、図8は第1の実施例の出力回路負荷トランジスタのバイアス電圧発生回路、図9は第1の実施例の基板電圧発生回路である。

10

【0016】

図1において1から10は図15と同様である。但し、リセットトランジスタ5は水平CCDを構成する第2層ポリシリコン電極下と同様のイオン打ち込みのされたディプレッション型トランジスタからなる。11は図9に示す基板電圧発生回路、12は図3に示す垂直CCD転送パルス発生回路、13は図4に示す垂直CCD3値パルス発生回路、14は図5に示す水平CCD転送パルス発生回路、15は図6に示すリセットパルス発生回路、16は図7に示すリセット電圧発生回路、17は図8に示す出力回路負荷トランジスタのバイアス電圧発生回路である。V1、V2、V3、V4は垂直CCD2の転送パルスのトリガ-入力端子、V1R、V3Rは垂直CCD2の読み出しパルスのトリガ-入力端子、H1、H2は水平CCD3の転送パルスのトリガ-入力端子、RGはリセットパルスのトリガ-入力端子、SUBは電子シャッター-パルスのトリガ-入力端子、WELLはウェル電圧入力端子、VDDは正電源電圧入力端子、VSSは負電源電圧入力端子、OUTは信号出力端子である。タイミング発生器のトリガ-パルスと正、負の2電源から所定の電圧を持つパルスと直流電圧が素子内部で発生し図15で述べたと同様の動作が行われる。

20

【0017】

通例、集積回路内で用いられる昇圧回路は電流駆動能力が小さい。そこで、正電源は大きな電流駆動能力を必要とされる最高電圧以上、負電源は大きな電流駆動能力を必要とされる最低電圧以下とする必要がある。2次元CCD型撮像素子の場合、大きな電流駆動能力が必要とされるのは、垂直CCD2と水平CCD3の転送パルスの高低電圧並びに出力回路の電源電圧である。以上の結果、正電源電圧値は出力回路の電源電圧値より高くすればよい。出力回路の電源には常時貫通電流がながれているので、不要な消費電力を発生させないために、本実施例では、正電源値は出力回路の電源電圧値と等しくした。また、負電源値は垂直CCDの転送パルスの最低電圧値より低くすれば良い。不要な降圧器を設けなくても良いように、本実施例では、負電源値は垂直CCDの転送パルスの最低電圧値と等しくした。すなわち、本実施例では、正電源値は出力回路の電源電圧値と等しく、負電源値は垂直CCDの転送パルスの最低電圧値と等しくすることにより、タイミング発生器のトリガ-パルスと正、負の2電源から所定の電圧を持つパルスと直流電圧を素子内部で容易に発生することが可能となっている。

30

40

11から17の内臓回路における消費電力を低減するために相補型MOSトランジスタにより回路を構成することが望ましい。本実施例では、このような相補型のトランジスタをCCD型撮像素子を形成するための製造工程に何ら変更をすることなく実現している。

図2を用いこの点について説明する。同図(a)は図1のA-A'部に対応する部分の断面図であり従来と同様である。図中、20はn型基板、21はp型ウェル、22はスミア電荷等の不要電荷のCCDn層23への混入を防ぐためのp型2重ウェル、24はCCDのポリシリコン電極、25はホットダイオ-ドn層26から基板への過剰電荷排出を低い電圧で行うためのnウェル、27は暗電流を抑圧するためにホットダイオ-ド表面に設けられたp+層、28は遮光用第2層アルミである。また、同図(b)は図1のB-B'部のn

50

チャンネルトランジスタの断面図であり従来と同様である。図中、20、21、22、24は図(a)と同様であり、29は配線用の第1層アルミ、30はnチャンネルMOSトランジスタのn型ソ-ストレイン拡散層である。11から17の内臓回路を実現するためのnチャンネルMOSトランジスタは図(b)と同様の構造を持つ。図(c)は11から17の内臓回路を実現するため新たに設けたpチャンネルMOSトランジスタの断面構造図を示す。20、24、25、27は図(a)と同様で、29は図(b)と同様である。なお、p+層27と配線層29とのコンタクトは従来例におけるp型ウェル21と配線層29とのコンタクトと同時にされる。本実施例では、pチャンネルトランジスタのソ-ストレイン拡散層をホットダイオ-ド表面に設けられたp+層と兼用することにより、CCD型撮像素子を形成するための製造工程に何ら変更をすることなく相補型のトランジスタを実現して

10

いる。なお、pチャンネルトランジスタのしきい電圧を低くしたい場合にはn型ウェル25をpチャンネルトランジスタ下に設けなくても良い。また、水平CCDの第2層ポリシリコン電極下に打ち込まれるチャンネル電圧調整用の通例ボロンからなるイオン打ち込みをポリシリコン電極24の下に打ち込んで良い。逆に、しきい電圧を高くしたい場合にはホットダイオ-ドn層26をトランジスタ下に設ければ良い。

さらに、nチャンネルトランジスタのしきい電圧を小さくしたい場合にはp型2重ウェル22をnチャンネルトランジスタ下に設けなくても良い。

また、本実施例のpチャンネルトランジスタを用いる際にはソ-ストレイン拡散層27がn型基板20に対し順方向にバイアスされないようにn型基板に印加される電圧は正電源より高い電圧としている。

20

#### (1) 垂直CCD転送パルス発生回路

低電圧が負の垂直CCDの転送パルスを外部からの正のトリガ-パルスにより発生させるにはレベルシフトを行い電圧増幅することが必要である。

図3に第1の実施例の垂直CCD転送パルス発生回路を示す。図中、31は結合容量、32はクランプダイオ-ド、33は第1の反転回路を構成するnチャンネルMOSトランジスタ、34は第1の反転回路を構成するpチャンネルMOSトランジスタ、35は第2の反転回路を構成するnチャンネルMOSトランジスタ、36は第2の反転回路を構成するpチャンネルMOSトランジスタである。

外部からの正のパルスはダイオ-ド32により負電源 $V_{SS}$ にクランプされた入力点Aに結合容量31を介し電圧シフトして伝達される。ついで、第1の反転回路により電圧増幅された後、第2の反転回路で電圧増幅され垂直CCD転送パルスとなる。外部パルスの電圧振幅は垂直CCD転送パルスの電圧振幅より小さいため、第1の反転回路は外部パルスの電圧が高いときに貫通電流が流れる。この貫通電流を小さくし消費電力低減するためには第1の反転回路の電流駆動能力は低くせざるをえず、大容量の垂直CCD電極を駆動できない。そこで、本実施例では第2の反転回路を設け、第1の反転回路には高い電流駆動能力がなくても良いようにしている。すなわち、本実施例によれば、入力点が外部パルスと容量により結合し、かつ、負電源にクランプされた第1の反転回路を設けることによりレベルシフトと電圧増幅を行い、第1の反転回路の出力を入力とする第2の反転回路を設けることで消費電力の低い垂直CCD転送パルス発生器を実現している。

30

40

なお、ダイオ-ド32は図2のp型ウェル21内にn型拡散層を設けることにより容易に実現できる。さらに、クランプはダイオ-ド接続されたMOSトランジスタで行っても良い。

#### (2) 垂直CCD3値パルス発生回路

本実施例では垂直CCD転送パルスを発生する負電源回路と読み出しパルスを発生する正電源回路を設け、この2つの回路の出力をスイッチにより切り替えることにより垂直CCD3値パルスを発生させる。

図4に第1の実施例の垂直CCD3値パルス発生回路を示す。図中、41は結合容量、42はクランプダイオ-ド、43、37は第1の反転回路を構成するnチャンネルMOSトランジスタ、44、38は第1の反転回路を構成するpチャンネルMOSトランジスタ、45

50

、39は第2の反転回路を構成するnチャンネルMOSトランジスタ、46、40は第2の反転回路を構成するpチャンネルMOSトランジスタで、41から46で構成される回路あるいは37から40で構成される回路は図3と同様の回路である。また、47は垂直CCD転送パルス発生回路と垂直CCD電極間のスイッチとなるnチャンネルMOSトランジスタ、48は読み出しパルス発生回路と垂直CCD電極間のスイッチとなるpチャンネルMOSトランジスタである。なお、nチャンネルMOSトランジスタ47のウェルは第2の反転回路の出力に接続され基板効果によるしきい電圧の増加を防いでいる。負値の垂直転送パルスを発生する転送パルス発生回路は負電源とアース電源間に設けられ、転送パルス発生回路を構成するMOSトランジスタ43から46の各端子間電圧は $V_{ss}$ 以下となる。また、正值の読み出しパルスを発生する読み出しパルス発生回路は正電源とアース電源間に設けられ、読み出しパルス発生回路を構成するMOSトランジスタ37から40の各端子間電圧が $V_{DD}$ 以下となる。

10

**【0018】**

垂直CCD2の読み出しパルスのトリガ - 入力端子 $V_{1R}$ 、 $V_{3R}$ に低い電圧が印加されている時はノードBの電圧は $V_{DD}$ 、ノードCの電圧は0Vとなっている。この結果、nチャンネルMOSトランジスタ47が導通し垂直CCDの転送パルスが垂直CCD電極に接続されたノードDに印加される。一方、ゲート接地されたpチャンネルMOSトランジスタ48のソース・ドレインには0Vもしくは負電源電圧 $V_{ss}$ が印加されているので導通することはない。ついで、転送パルスが0Vとなった状態でトリガ - 入力端子 $V_{1R}$ 、 $V_{3R}$ に高い電圧が掛ると、ノードBが0VとなりnチャンネルMOSトランジスタ47が非導通となる。一方、ノードCが $V_{DD}$ となりpチャンネルMOSトランジスタ48が導通し垂直CCD電極に接続されたノードDに $V_{DD}$ が印加される。すなわち、ノードBの電圧が $V_{DD}$ となりnチャンネルMOSトランジスタ47が導通している時には0から $V_{ss}$ の転送パルスが垂直CCD電極に接続されたノードDに印加され、読み出しパルス発生回路の出力となるノードCの電圧は0Vとなっている。この結果、pチャンネルMOSトランジスタ48のソース・ドレイン間電圧は最大でも $V_{ss}$ となる。また、ノードCが $V_{DD}$ となりpチャンネルMOSトランジスタ48が導通し垂直CCD電極に接続されたノードDに $V_{DD}$ が印加される時には、垂直CCD転送パルスを発生する負電源回路の出力は0Vとなっている。この結果、nチャンネルMOSトランジスタ47のソース・ドレイン間電圧は最大でも $V_{DD}$ となる。

20

30

以上述べたように、本実施例によれば垂直CCD3値パルスを垂直CCD転送パルスを発生する負電源回路と読み出しパルスを発生する正電源回路を設け、この2つの回路の出力をスイッチにより切り替えることにより、各MOSトランジスタのソース・ドレイン間電圧を $V_{DD}$ もしくは $V_{ss}$ と低い値としながら3値パルスを発生することができる。

また、MOSトランジスタ47をnチャンネル、MOSトランジスタ48をpチャンネルで構成し、各MOSトランジスタのオフ時のゲート電圧を接地電圧としたことにより、次のような作用効果がある。すなわち、ノードBの電圧が $V_{DD}$ となりnチャンネルMOSトランジスタ47が導通している時には0から $V_{ss}$ の転送パルスが垂直CCD電極に接続されたノードDに印加される。この時、読み出しパルス発生回路の出力となるノードCの電圧は0Vとなっている。以上の結果、ゲートに0Vを加えることにより、pチャンネルMOSトランジスタ48を非導通とすることができ、そのゲート・ソース間電圧は0V、ゲート・ドレイン間電圧は最大でも $V_{ss}$ とできる。また、読み出しパルス発生回路の出力であるノードCの電圧が $V_{DD}$ となりpチャンネルMOSトランジスタ48が導通すると、垂直CCD電極に接続されたノードDに $V_{DD}$ が印加される。この時、垂直CCD転送パルスを発生する負電源回路の出力は0Vとなっている。以上の結果、ゲート電圧を0Vとすることにより、nチャンネルMOSトランジスタ47を非導通にすることができ、そのゲート・ソース間電圧は0V、ゲート・ドレイン間電圧は最大でも $V_{DD}$ にすることができる。したがってオフ時の各スイッチMOSトランジスタのゲート・ドレイン間電圧とゲート・ソース間電圧を $V_{DD}$ もしくは $V_{ss}$ と低い値としながら3値パルスを発生することができる。

40

50

## (3) 水平CCD転送パルス発生回路

本実施例の水平CCD転送パルスは出力回路のリセット電圧と電源電圧を下げるためにその最低電圧を負としている。さらに、その最低電圧は無効な電圧領域を生じないようにチャンネル電圧を低くするためのイオン打ち込みがなされた水平CCDの第2層ポリシリコン電極下のピンニング電圧より高い値とする。この結果、水平CCD転送パルス最低電圧は垂直CCD転送パルスの最低電圧より高い負の値となる。一方、その電圧振幅は消費電力低減のため通例垂直CCD転送パルスより小さい。そこで、本実施例では水平CCDの転送パルスを外部からの正のトリガ・パルスをレベルシフトした後負電源回路の電圧振幅を制限することにより発生させる。

図5に第1の実施例の水平CCD転送パルス発生回路を示す。図中、51は結合容量、52はクランプダイオード、53は第1の反転回路を構成するnチャンネルMOSトランジスタ、54は第1の反転回路を構成するpチャンネルMOSトランジスタ、55は第2の反転回路を構成するnチャンネルMOSトランジスタ、56は第2の反転回路を構成するpチャンネルMOSトランジスタで、51から56で構成される回路は図3と同様の回路である。また、57は、パルスの負電圧を制限するためのpチャンネルMOSトランジスタ、58、59はpチャンネルMOSトランジスタ57のゲートにバイアス電圧を与えるpチャンネルMOSトランジスタ、60、61、62はバイアス電圧発生回路を構成するnチャンネルMOSトランジスタである。なお、nチャンネルMOSトランジスタ60、61、62のウェルはそれぞれのソースに接続され各トランジスタのしきい電圧は等しくなっている。H1、H2端子に印加されたトリガ・パルスにより発生したパルスは、pチャンネルMOSトランジスタ57により負電圧が制限され、水平CCD転送パルスとなる。第2の反転回路の出力が0Vの時ノードEはバイアス電圧発生回路のバイアス電圧からpチャンネルMOSトランジスタ59のしきい電圧だけ高い値となっている。第2の反転回路の出力がV<sub>SS</sub>となるとトランジスタ57のドレインもしくはソースとゲート間の容量結合により、ノードEの電圧は低くなる。この後、ノードEの電圧がある電圧以下になるとトランジスタ58が導通し、ノードEはバイアス電圧発生回路のバイアス電圧よりpチャンネルMOSトランジスタ58のしきい電圧だけ低い値にクランプされる。この結果、第2の反転回路の出力はノードEよりpチャンネルMOSトランジスタ57のしきい電圧だけ高い値、すなわち、バイアス電圧発生回路のバイアス電圧と等しい値に制限される。本実施例によれば水平CCDの転送パルスを外部からの正のトリガ・パルスをレベルシフトした後負電源回路の電圧振幅を制限することにより発生させる事ができる。

## 【0019】

なお、パルスの高電圧を制限するにはトランジスタ57から59をnチャンネルMOSトランジスタとし所望のバイアス電圧を与えれば良い。

また、パルスの電圧を制限するために電源電圧に電圧リミッタを掛けても良い。

## (4) リセットパルス発生回路

本実施例ではアウトプットゲートの直流バイアス電圧は水平CCD転送パルスの高電圧である0Vとする。また、リセットトランジスタ5はアウトプットゲートを構成する第2層ポリシリコン電極下と同様のディプレッション型トランジスタからなる。この結果、浮遊拡散層からの信号電荷の漏れを防ぐためにはリセットパルスの低電圧は0V以下であれば良い。そこで、本実施例では正電源と0Vを2電源とする回路によりリセットパルスを発生させている。

図6に第1の実施例のリセットパルス発生回路を示す。図中、63は第1の反転回路を構成するnチャンネルMOSトランジスタ、64は第1の反転回路を構成するpチャンネルMOSトランジスタ、65は第2の反転回路を構成するnチャンネルMOSトランジスタ、66は第2の反転回路を構成するpチャンネルMOSトランジスタで、63から66で構成される回路は図3と同様の回路である。本実施例によればリセットパルスは外部からの正のトリガ・パルスを電圧増幅することにより発生させる事ができる。

## (5) リセット電圧発生回路

本実施例では出力回路の電源電圧を下げるためにリセット電圧を出力回路の電源電圧と別

10

20

30

40

50

にし、リセット電圧を出力回路の電源電圧から昇圧により発生させる。

#### 【0020】

図7に第1の実施例のリセット電圧発生回路を示す。図中、63から66は図6と同様であり、71はチャ-ジポンプ用容量、72、73はダイオ-ド接続されたnチャンネルMOSトランジスタである。なお、nチャンネルMOSトランジスタ72のウェルは電源VDDに接続され基板効果によるしきい電圧の上昇を防いでいる。トリガパルスによるチャ-ジポンプにより、正電源電圧VDDからnチャンネルMOSトランジスタのしきい電圧だけ降下した直流電圧の約2倍がリセット電圧となる。本実施例によれば出力回路の電源電圧よりリセット電圧を昇圧により発生させることにより、何ら外部から供給される電源数を増加させることなく出力回路の電源電圧をリセット電圧より低い電圧にすることができる。10  
 なお、高いリセット電圧を得るためにしきい電圧の低いnチャンネルMOSトランジスタが必要なときには図2(b)の構造で2重pウェルを設けない構造のトランジスタを用いければ良い。

#### (6) 負荷トランジスタバイアス電圧発生回路

図8に負荷トランジスタバイアス電圧発生回路を示す。図中、81、82、83はバイアス電圧発生回路を構成するnチャンネルMOSトランジスタである。なお、nチャンネルMOSトランジスタ81、82、83のウェルはそれぞれのソ-スに接続され各トランジスタのしきい電圧は等しくなっている。電源電圧はダイオ-ド接続されたトランジスタにより1/3に分圧され負荷のバイアス電圧となる。なお、バイアス電圧は必要に応じ自由に設定できることは言うまでもない。20

#### (7) 基板電圧発生回路

n型基板20には常時は過剰電圧排出用の直流電圧を印加し、電子シャッタ動作時には高い正電圧を印加する必要がある。本実施例ではこの高い電圧を外部のトリガ-パルスより電圧増幅したパルスを容量結合により基板に印加し発生させている。

図9に第1の実施例の基板電圧発生回路を示す。図中、91は結合容量、92はクランプダイオ-ド、93は第1の反転回路を構成するnチャンネルMOSトランジスタ、94は第1の反転回路を構成するpチャンネルMOSトランジスタ、95は第2の反転回路を構成するnチャンネルMOSトランジスタ、96は第2の反転回路を構成するpチャンネルMOSトランジスタで、91から96で構成される回路は図3と同様の回路である。また、97は第2の反転回路と基板間の結合容量、99は基板容量、98は基板に印加される直流電圧VDDと基板間のスイッチである。なお、スイッチ98はCCDを構成していると同様のnチャンネルディプレッションMOSトランジスタからなる。SUB端子に印加される電圧が低いときにはノ-ドFの電圧はVDDとなり、スイッチ98が導通し基板電圧はVDDとなる。一方、ノ-ドGはVssとなっている。SUB端子に印加される電圧が高くなると、まず、ノ-ドFがVssとなりスイッチ98が閉じる。その後、ノ-ドGがVssからVDDとなり、基板電圧は(VDD - Vss)の電圧を容量97と基板容量99で容量分割した値だけ上昇する。本実施例では以上述べたように容量結合により昇圧を行うことにより高速で基板に高い電圧を印加できる。また、スイッチとしてCCDを構成しているnチャンネルディプレッションMOSトランジスタを用いることにより電圧降下なくVDDを基板に印加し、かつ、昇圧が可能となっている。40

なお、シャッタ-パルスの振幅を大きくするために結合容量を大きくしたいときには結合容量を素子外部に設けても良い。

また、シャッタ-パルスの振幅を大きくする必要のないときは低電圧側電源Vssを0Vとしても良い。

さらに、スイッチ98が非導通となったときゲ-トドレイン間にかかる高電圧が問題となるときには図中H部に図5で述べたと同様の電圧リミッタを設ければ良い。これによりスイッチ98のゲ-トにかかる低電圧はソ-ス電圧がVDDのときスイッチが非導通となる最低電圧とすることができ、ゲ-トドレイン間電圧の低減が可能となる。

#### 【0021】

以上の本実施例によれば、単一レベルの外部パルスと正、負の2電源により駆動でき、使 50

い勝手が良く、カメラの低消費電力化を可能とする2次元CCD型固体撮像素子を提供できる。また、外部パルスから負値の水平CCD駆動パルスを発生させる回路、出力回路の電源電圧からリセット電圧を発生する昇圧回路を内蔵することにより出力回路の電源電圧を低くでき、低消費電力かつ低雑音の出力回路を実現できる。

### 第2の実施例

第1の実施例の垂直CCD3値パルス発生回路では読み出しパルスの電圧がVDDであり電圧値が不足する場合がある。本実施例は正電源電圧VDDを垂直CCDの駆動電極に印加後さらに容量結合により昇圧を行うことにより正電源電圧以上の読み出し電圧を実現したものである。

図10に第2の実施例の垂直CCD3値パルス発生回路を示す。図中、41から47、48、37から40は図4と同様である。104は第3の反転回路を構成するnチャンネルMOSトランジスタ、105は第3の反転回路を構成するpチャンネルMOSトランジスタ、106は第4の反転回路を構成するnチャンネルMOSトランジスタ、107は第4の反転回路を構成するpチャンネルMOSトランジスタ、103は昇圧の為にダイオード接続されたnチャンネルMOSトランジスタ、102は昇圧パルスを伝達するためのゲート接地されたpチャンネルMOSトランジスタ、101は第4の反転回路と垂直CCD電極との結合容量である。

垂直CCDの読み出しパルスのトリガ入力端子V1R、V3Rに低い電圧が掛っているときはノードBの電圧はVDD、ノードC、Iの電圧は0Vとなっている。この結果、nチャンネルMOSトランジスタ47が導通し垂直CCDの転送パルスが垂直CCD電極に接続されたノードDに印加される。一方、ゲート接地されたpチャンネルMOSトランジスタ48のソースドレインには0Vもしくは負電源電圧Vssが印加されているので導通することはない。さらに、pチャンネルMOSトランジスタ102のドレインも0Vであり導通することはない、そのソースはフローティングとなり、結合容量101は転送パルスの負荷となることはない。ついで、転送パルスが0Vとなった状態でトリガ入力端子V1R、V3Rに高い電圧が印加されると、ノードBが0VとなりnチャンネルMOSトランジスタ47が非導通となる。一方、ノードCがVDDとなりpチャンネルMOSトランジスタ48が導通し垂直CCD電極に接続されたノードDはVDDからトランジスタ103のしきい電圧分だけ低下した電圧が印加される。この後、ノードIが0VからVDDとなり、pチャンネルMOSトランジスタ102が導通し、この電圧変化により結合容量101を介しノードDの電圧がさらに上昇する。以上述べたように、本実施例によれば正電源電圧VDDを垂直CCDの駆動電極に印加後さらに容量結合により昇圧を行うことにより正電源電圧以上の読み出し電圧を実現できる。

なお、読み出しパルスの振幅を大きくするために結合容量を大きくしたいときには結合容量を素子外部に設けても良い。

### 第3の実施例

通例、初段のドライバトランジスタが飽和動作し出力回路が線形範囲で動作するためには、出力回路電源電圧はリセット電圧より初段のドライバトランジスタのしきい電圧引いた値より高い必要がある。従って、出力回路電源電圧を下げるには初段ドライバトランジスタ6のしきい電圧を大きな値とすれば良い。しかし、図15で述べたような次段ドライバ9が初段ドライバ6と同一の構造を持つ従来例の場合にはトランジスタのしきい電圧が高すぎると次段ドライバトランジスタが十分に導通せず次段の動作が困難となる。そこで、本実施例では次段以降のドライバトランジスタの基板不純物濃度を初段のドライバトランジスタの基板不純物濃度より低くし、次段以降のドライバトランジスタのしきい電圧を低くし、線形動作範囲で次段が動作するようにした。

図11に第3の実施例の出力回路構成図を示す。図中、111、112は初段ソースフォロワを構成するドライバトランジスタ、負荷トランジスタ、113、114は次段ソースフォロワを構成するドライバトランジスタ、負荷トランジスタ、115、116は終段ソースフォロワを構成するドライバトランジスタ、負荷トランジスタ、117は図8で述べた負荷トランジスタのバイアス電圧発生回路、119は図2(b)で述べた光電変

10

20

30

40

50

換部と同様のn型基板20上に形成されたpウェル21と2重pウェル22の形成領域、118はpウェル21と同じ深さを持ちやや濃度の高い第3のpウェルの形成領域である。2重pウェル層はスミア抑圧のため高濃度に設定されている。初段ソ-スフォロワ-の出力電圧は初段ドライバトランジスタ111の大きなしきい電圧による電圧降下により低い電圧となる。一方、次段及び終段のドライバトランジスタ113、115のしきい電圧は0Vに近い小さな値で、しきい電圧による電圧降下は少なく各段の入力電圧と出力電圧はほぼ等しく、次段及び終段の動作が困難となることはない。本実施例によれば次段以降のドライバトランジスタ113、115の基板不純物濃度を初段のドライバトランジスタ111の基板不純物濃度より低くすることにより、次段以降の動作範囲を困難にすることなく初段における高いしきい電圧による大きな電圧降下を実現し、電源電圧を低め、低消費電力、かつ、低雑音の出力回路を実現できる。

10

なお、本実施例では出力回路の周波数特性改善を目的としてソ-スフォロワ-が3段構成の場合を述べたが、段数は2段以上であれば本発明の効果は同様にえられる。

また、電子シャッタ-時の誤動作を防ぐため第3のpウェル118をpウェル21と同じ深さでやや高濃度としたが、誤動作が問題とならないときは、第3のpウェル118をpウェル21と同一構造にすれば良い。

さらに、負荷トランジスタ112、114、116は119と同一構造のウェル内に形成しても良い。

また、ドライバトランジスタ113、115を分離されたウェル内に形成し、そのウェルを各ソ-スフォロワ-の出力に接続し基板効果をなくすことにより、各トランジスタのしきい電圧をさらに0Vに近づけることができる。

20

#### 第4の実施例

第1の実施例では基板にかかる過剰電圧排出用の直流電圧は正電源VDDとした。しかし、従来例で説明したようにこの直流電圧は素子ごとにばらつき調整が必要である。そこで、本実施例においては、VDDより昇圧した電圧から基板にかかる直流電圧を降圧により発生させ、この降圧器に電圧を調整する手段を付加したものである。

本発明の第4の実施例を図12から図13により説明する。図12は第4の実施例の全体構成図、図13は第4の実施例の基板電圧発生回路である。図12において1から10、12から17は図1と同様である。121は図13に示す基板電圧発生回路である。また、V1、V2、V3、V4、V1R、V3R、H1、H2、RG、SUB、WELL、VDD、Vss、OUTも図1と同様である。タイミング発生器のトリガ-パルスと正、負の2電源から所定の電圧を持つパルスと直流電圧が素子内部で発生し図17で述べたと同様の動作が行われる。図13で、91から99は図9と同様、139は図7と同様の直流昇圧回路、131から134はバイアス電圧を発生するためのnチャンネルMOSトランジスタ、135はバイアス電圧を調整するためのフュ-ズ、137は昇圧した電圧をバイアス電圧に応じ降下させ直流の基板電圧を発生させるCCDを構成していると同様のnチャンネルディプレッションMOSトランジスタ、138はトランジスタ137にわずかなバイアス電流を流すための負荷トランジスタ、136は負荷トランジスタ138にバイアス電圧を供給する図8と同様の回路である。

30

昇圧回路139の出力電圧は131から134により発生したバイアス電圧よりnチャンネルディプレッションMOSトランジスタ137のしきい電圧の絶対値だけ高い電圧に降下され基板直流電圧となる。負荷138より供給されるバイアス電流は基板に高い電圧が発生した際の誤動作を防いでいる。さらに、電圧降下をnチャンネルディプレッションMOSトランジスタで行うことにより電源電圧VDD以下のバイアス電圧を与えてもVDD以上の基板電圧を発生することが可能となっている。また、スイッチ98はVDD以上の電圧を伝達するためそのウェルを基板電圧発生回路の出力に接続し基板効果によるしきい電圧上昇を防いでいる。本回路の他の動作は図9と同様である。基板電圧の調整は必要に応じフュ-ズ135を切断することにより可能となっている。フュ-ズを切断することにより、ノ-ドJの電圧が上昇し基板電圧は高くなる。本実施例によればVDDより昇圧した電圧から基板にかかる直流電圧を降圧により発生させ、この降圧器に電圧を調整する手段を

40

50

付加することにより、素子内部で基板電圧調整ができ、CCD型撮像素子の使い勝手が良くなる。

第5の実施例

第1の実施例では各端子に外部からトリガ・パルスを印加しなければならず、カメラシステムを構築するにはタイミング発生器と2次元CCD型素子の配線を行わなければならない。本実施例はこのような煩雑さを回避するためタイミング発生器も内蔵した例である。図14に第5の実施例の構成図を示す。図中、1から17は図1と同様で、141はタイミング発生器142の電源を外部の正電源VDDから発生させる降圧回路である。外部の基本クロックから各パルスのタイミングパルスがタイミング発生器142により発生し、図1と同様にこのパルスと正、負の電源から所定の電圧レベルのパルスと直流電圧が発生し、図1と同様の動作が行われる。本実施例によれば、単一の外部パルスと正、負の2電源とア・スにより駆動でき、使い勝手の良い2次元CCD型固体撮像素子を提供できる。

10

【0022】

以上の実施例では、インタ・ラインCCD型撮像素子の例を述べたが、本発明は、CCD型撮像素子の具体的構成に依らず、フレ・ムインタ・ライン型、フレ・ムトランスファ型、チャ・ジスイ・プ型等のCCD型撮像素子でも同様に実施できる。

また、本発明は、垂直CCD並びに水平CCDの具体的構成に依らず例えば、水平CCDが2本並列に設けられたCCD型撮像素子でも同様の効果がある。以上の結果、第1の実施例については表2で示す駆動条件で駆動がなされ、図17に示す構成によりカメラシステムの中で用いられる。また第5の実施例については表3で示す駆動条件で駆動がなされ、図18に示す構成によりカメラシステムの中で用いられる。何れも従来の表1に示されたものより電源電圧の種類が非常に少なくなっていることがわかる。

20

【0023】

【表2】

第1の実施例のCCD型撮像素子駆動条件(表2)

	ピン名称	電圧 (V)	
		低電圧	中電圧
パルス	V1	0	5
	V2	0	5
	V3	0	5
	V4	0	5
	V1R	0	5
	V3R	0	5
	H1	0	5
	H2	0	5
	SUB	0	5
	RG	0	5
直流	VDD		10
	well		0
	vss		-9

30

40

【0024】

50



【表 3】

## 第5の実施例のCCD型撮像素子駆動条件 (表3)

	ピン名称	電圧 (V)	
		低電圧	中電圧
パルス	CLK	0	5
直 流	VDD		10
	well		0
	vss		-9

10

## 【発明の効果】

本発明によれば、CCD型撮像素子で、外部のドライバが不用となり、外部のDC-DC変換器の供給する電源数も減り、かつ、カメラシステムを作成する際に基板に印加する直流電圧を調整する必要がないので使い勝手が良くなる。さらに、DC-DC変換器から供給する電源数が減り、タイミング発生器の電源電圧を下げても素子外部に水平CCDを駆動するためのドライバを素子外部に設ける必要がないので、カメラの低消費電力化を図れる。また、出力回路のリセット電圧を下げ、さらに、リセット電圧より出力回路の電源電圧を下げることで、出力回路の消費電力と低雑音化を図れる。

20

## 【図面の簡単な説明】

【図1】本発明の第1の実施例の全体構成を示す図である。

【図2】図1のA-A'、B-B'に対応する部分並びにpチャネルMOSトランジスタの断面構造を示す図である。

【図3】図1の垂直CCD転送パルス発生回路を示す回路図である。

【図4】図1の垂直CCD3値パルス発生回路を示す回路図である。

【図5】図1の水平CCD転送パルス発生回路を示す回路図である。

30

【図6】図1のリセットパルス発生回路を示す回路図である。

【図7】図1のリセット電圧発生回路を示す回路図である。

【図8】図1の出力回路負荷トランジスタのバイアス電圧発生回路を示す回路図である。

【図9】図1の基板電圧発生回路を示す回路図である。

【図10】本発明の第2の実施例の垂直CCD3値パルス発生回路を示す回路図である。

【図11】本発明の第3の実施例の出力回路構成を示す図である。

【図12】本発明の第4の実施例の全体構成を示す図である。

【図13】図12の基板電圧発生回路を示す図である。

【図14】本発明の第5の実施例の全体構成を示す図である。

【図15】従来のCCD型固体撮像素子の全体構成を示す図である。

40

【図16】従来のCCDカメラブロック図である。

【図17】第1の実施例のCCD型固体撮像素子のCCDカメラブロック図である。

【図18】第5の実施例のCCD型固体撮像素子のCCDカメラブロック図である。

## 【符号の説明】

- 1 ... ホトダイオード、                    2 ... 垂直CCD、                    3 ... 水平CCD、  
 4 ... アウトプットゲート、            5 ... リセットゲート、  
 6、111 ... 初段ソーフォロワードライバトランジスタ、  
 8、112 ... 初段ソーフォロワートリスタ、  
 9、113 ... 次段ソーフォロワードライバトランジスタ、  
 10、114 ... 次段ソーフォロワートリスタ、

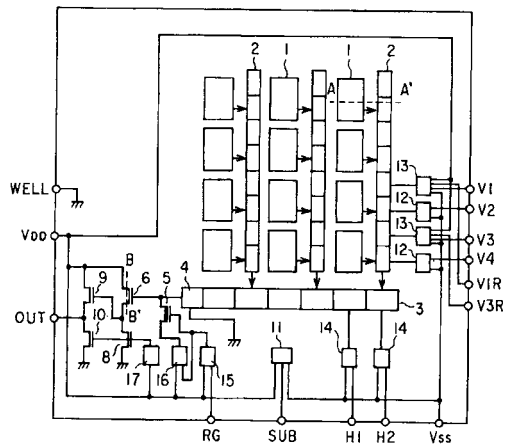
50

- 1 1、1 2 1 ... 基板電圧発生回路、 1 2 ... 垂直 C C D 転送パルス発生回路、  
 1 3 ... 垂直 C C D 3 値パルス発生回路、 1 4 ... 水平転送パルス発生回路、  
 1 5 ... リセットパルス発生回路、 1 6 ... リセット電圧発生回路、  
 1 7 ... 負荷ゲートバイアス発生回路、 2 0 ... n 型基板、  
 2 1 ... p 型ウェル、 2 2 ... p 型 2 重ウェル、 2 3 ... 垂直 C C D n 層、  
 2 4 ... ポリシリコン電極、 2 5 ... n ウェル、 2 6 ... ホトダイオド n 層、  
 2 7 ... 表面 p + 層、 2 8 ... 遮光用第 2 層アルミ、  
 2 9 ... 配線用第 1 層アルミ、 3 0 ... n 型拡散層、  
 3 1、4 1、5 1、7 1、9 1、9 7、1 0 1 ... 結合容量、  
 3 2、4 2、5 2、9 2 ... クランプダイオド、 10  
 3 3、4 3、3 7、5 3、6 3、9 3 ... 第 1 反転回路 n チャンネルトランジスタ、  
 3 4、4 4、3 8、5 4、6 4、9 4 ... 第 1 反転回路 p チャンネルトランジスタ、  
 3 5、4 5、3 9、5 5、6 5、9 5 ... 第 2 反転回路 n チャンネルトランジスタ、  
 3 6、4 6、4 0、5 6、6 6、9 6 ... 第 2 反転回路 p チャンネルトランジスタ、  
 4 7 ... n チャンネルトランジスタスイッチ、  
 4 8、1 0 2 ... p チャンネルトランジスタスイッチ、  
 5 7 ... p チャンネルトランジスタ電圧リミッタ、  
 5 8、5 9 ... 電圧リミット用 p チャンネルトランジスタ、  
 6 0、6 1、6 2、8 1、8 2、8 3、1 3 1、1 3 2、1 3 3、1 3 4 ... バイアス電圧  
 発生回路 n チャンネルトランジスタ、 20  
 7 2、7 3、1 0 3 ... 昇圧回路 n チャンネルトランジスタ、  
 9 8 ... n チャンネルディプレッショントランジスタスイッチ、  
 9 9 ... 基板容量、  
 1 0 4 ... 第 3 反転回路 n チャンネルトランジスタ、  
 1 0 5 ... 第 3 反転回路 p チャンネルトランジスタ、  
 1 0 6 ... 第 4 反転回路 n チャンネルトランジスタ、  
 1 0 7 ... 第 4 反転回路 p チャンネルトランジスタ、  
 1 1 5 ... 終段ソ - スフォロウ - ドライバトランジスタ、  
 1 1 6 ... 終段ソ - スフォロウ - 負荷トランジスタ、  
 1 1 7、1 3 6 ... バイアス電圧発生回路、 1 1 8 ... 第 3 p ウェル、 30  
 1 1 9 ... p ウェル 2 1 と p 型 2 重ウェル 2 2 の形成領域、1 3 5 ... フュ - ズ、  
 1 3 7 ... n チャンネルディプレッショントランジスタ電圧リミッタ、  
 1 3 8 ... 負荷 n チャンネルトランジスタ、 1 3 9 ... 昇圧回路、  
 1 4 1 ... 降圧回路、 1 4 2 ... タイミング発生回路、  
 V 1、V 2、V 3、V 4 ... 垂直 C C D 転送トリガ - パルス入力端子、  
 V 1 R、V 3 R ... 垂直 C C D 読み出しトリガ - パルス入力端子、  
 H 1、H 2 ... 水平 C C D 転送トリガ - パルス入力端子、  
 R G ... リセットトリガ - パルス入力端子、  
 S U B ... 電子シャッタトリガ - パルス入力端子、 V D D ... 正電源入力端子、  
 V s s ... 負電源入力端子、 O U T ... 信号出力端子、 40  
 W E L L ... ウェル電圧入力端子、  
 1 6 1、1 7 1、1 8 1 ... C C D 型撮像素子、  
 1 6 2 ... タイミング発生器、  
 1 6 3 ... ドライバ、  
 1 6 4 ... 相関二重サンプリング回路、  
 1 6 5 ... 自動利得制御回路、  
 1 6 6 ... A / D 変換器、  
 1 6 7 ... デジタル信号処理回路、  
 1 6 8 ... D / A 変換器、  
 1 6 9 ... D C - D C 変換器、 50

170 ... カメラのバッテリー。

【図1】

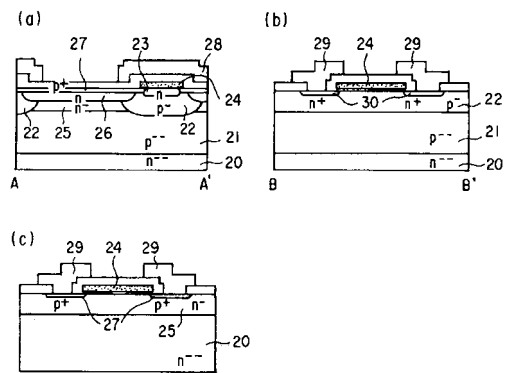
本発明の第1の実施例の全体構成図 (図1)



- 1...ホトダイオード
- 2...垂直 CCD
- 3...水平 CCD
- 4...アウトプットゲート
- 5...リセットゲート
- 6...初段ソースフォロワー  
ドライバトランジスタ
- 8...初段ソースフォロワー  
負荷トランジスタ
- 9...次段ソースフォロワー  
ドライバトランジスタ
- 10...次段ソースフォロワー負荷トランジスタ
- 11...基板電圧発生回路
- 12...垂直 CCD 転送パルス発生回路
- 13...垂直 CCD 3 値パルス発生回路
- 14...水平 CCD 転送パルス発生回路
- 15...リセットパルス発生回路
- 16...リセット電圧発生回路
- 17...負荷ゲートバイアス発生回路
- V00...正電源入力端子
- Vss...負電源入力端子
- V1~V4, VIR, V3R, HI, H2, RG, SUB...トリガパルス入力端子

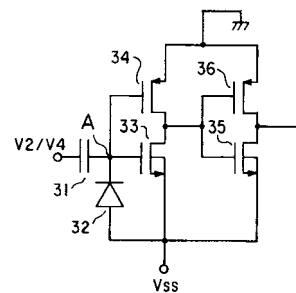
【図2】

本発明の第1の実施例の断面図 (図2)



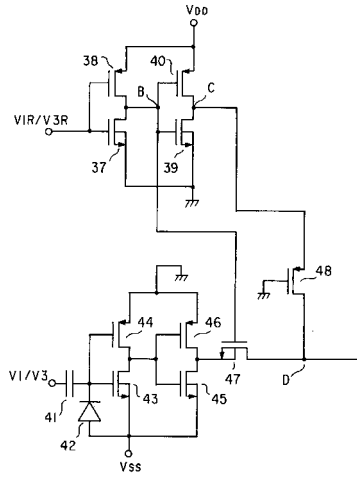
【図3】

本発明の第1の実施例の垂直 CCD 転送パルス発生回路 (図3)



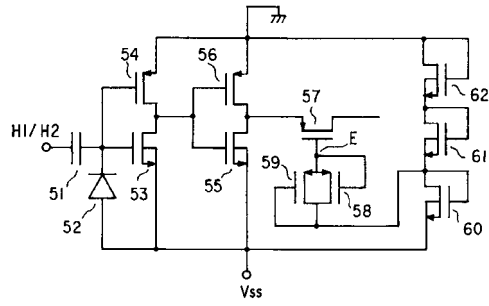
【図4】

本発明の第1の実施例の垂直CCD3値パルス発生回路 (図4)



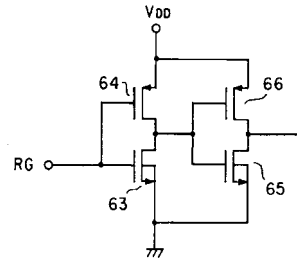
【図5】

本発明の第1の実施例の水平CCD転送パルス発生回路 (図5)



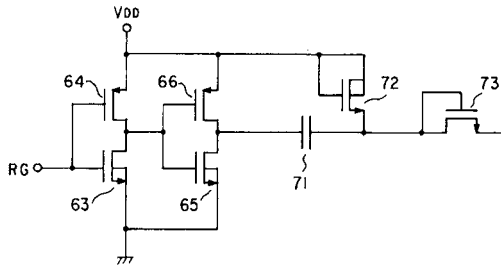
【図6】

本発明の第1の実施例のリセットパルス発生回路 (図6)



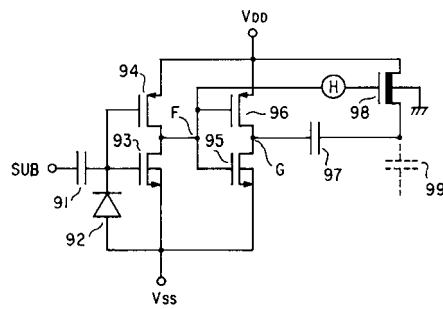
【図7】

本発明の第1の実施例のリセット電圧発生回路 (図7)



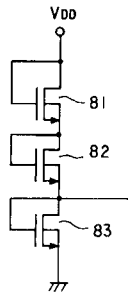
【図9】

本発明の第1の実施例の基板電圧発生回路 (図9)



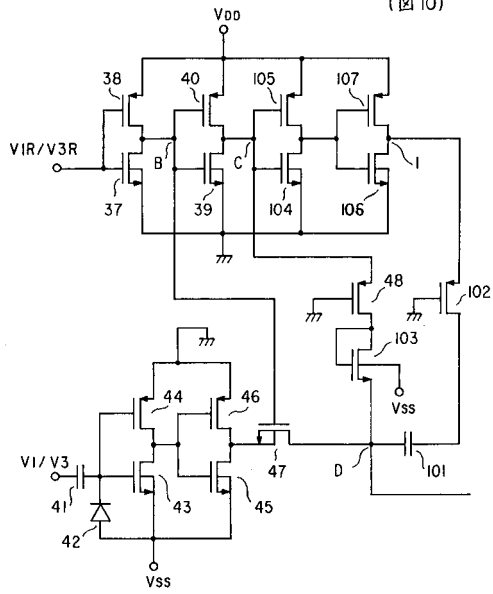
【図8】

本発明の第1の実施例の出力回路負荷トランジスタバイアス電圧発生回路 (図8)



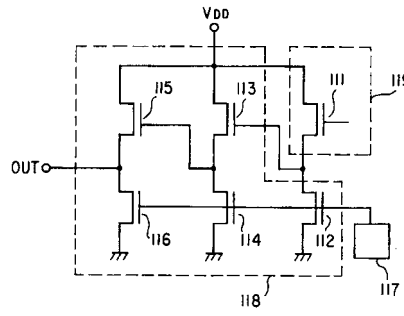
【図10】

本発明の第2の実施例の垂直CCD3値パルス発生回路 (図10)



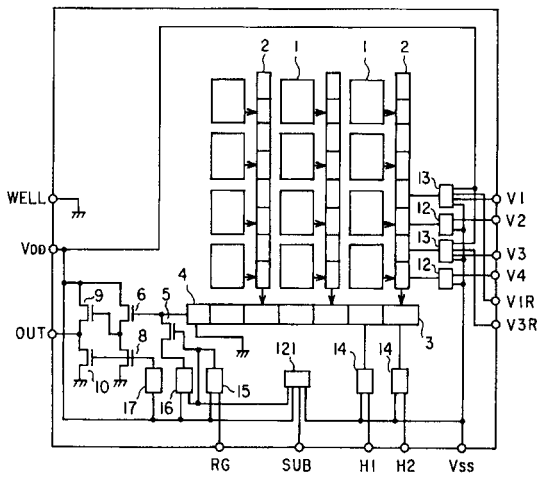
【図11】

本発明の第3の実施例の出力回路構成図 (図11)



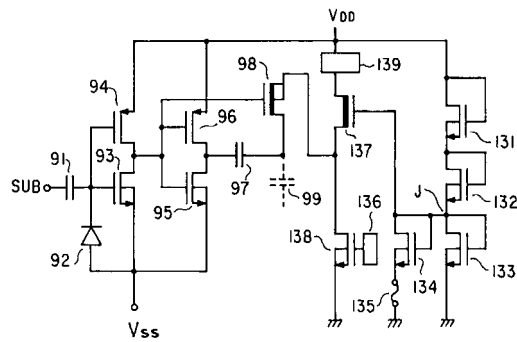
【図12】

本発明の第4の実施例の全体構成図 (図12)



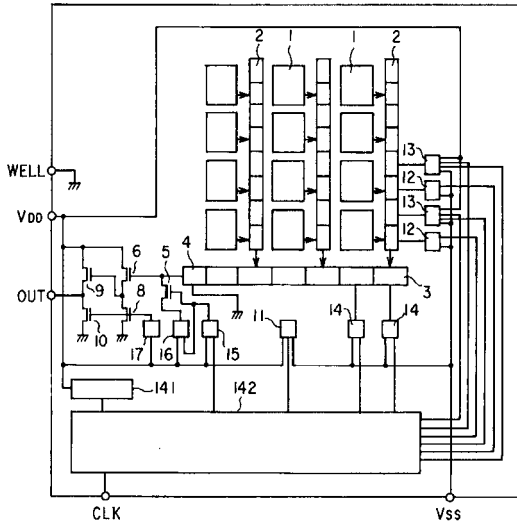
【図13】

本発明の第4の実施例の基板電圧発生回路 (図13)



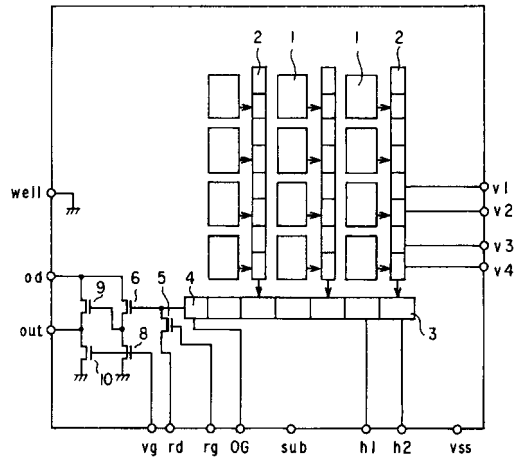
【図14】

本発明の第5の実施例の構成図 (図14)



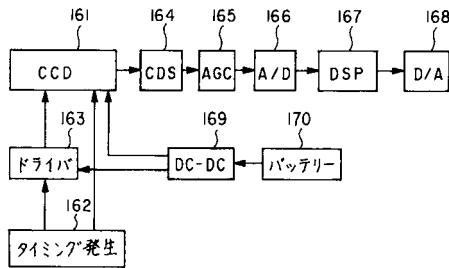
【図15】

従来のCCD型撮像素子の全体構成図 (図15)



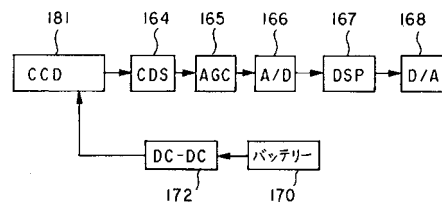
【図16】

従来のCCDカメラブロック図 (図16)



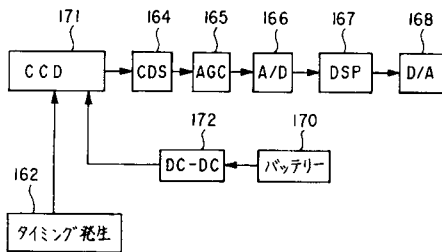
【図18】

第5の実施例のCCD型撮像素子のCCDカメラブロック図 (図18)



【図17】

第1の実施例のCCD型撮像素子のCCDカメラブロック図 (図17)



---

フロントページの続き

- (72)発明者 田中 治彦  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 小野 秀行  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 佐藤 朗  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

審査官 徳田 賢二

- (56)参考文献 特開昭64-86677(JP,A)  
特開平4-109776(JP,A)  
特開平4-253483(JP,A)  
特開平5-64090(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H04N 5/335

H01L 27/148

H01L 27/04